



**ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ**

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(21)(22) Заявка: 2013120615/08, 06.05.2013

(24) Дата начала отсчета срока действия патента:
06.05.2013

Приоритет(ы):

(22) Дата подачи заявки: 06.05.2013

(45) Опубликовано: 27.08.2014 Бюл. № 24

(56) Список документов, цитированных в отчете о поиске: SU 1671047 A1, 05.12.1988. SU 1612802 A1, 02.10.1988. SU 1269210 A1, 07.11.1986. RU 2022372 C1, 30.10.1994. US 6621481 B1, 16.09.2003. US 2009122951 A1, 14.05.2009. US 2007104307 A1, 10.05.2007

Адрес для переписки:

630090, г.Новосибирск, пр. Академика
Лаврентьева, 13, ИФП СО РАН

(72) Автор(ы):

Демьяненко Михаил Алексеевич (RU),
Есаев Дмитрий Георгиевич (RU),
Козлов Александр Иванович (RU),
Марчишин Игорь Владимирович (RU),
Овсяк Виктор Николаевич (RU),
Филиппова Валерия Викторовна (RU)

(73) Патентообладатель(и):

Федеральное государственное бюджетное
учреждение науки Институт физики
полупроводников им. А.В. Ржанова
Сибирского отделения Российской академии
наук (ИФП СО РАН) (RU)

(54) СДВИГОВЫЙ РЕГИСТР

(57) Реферат:

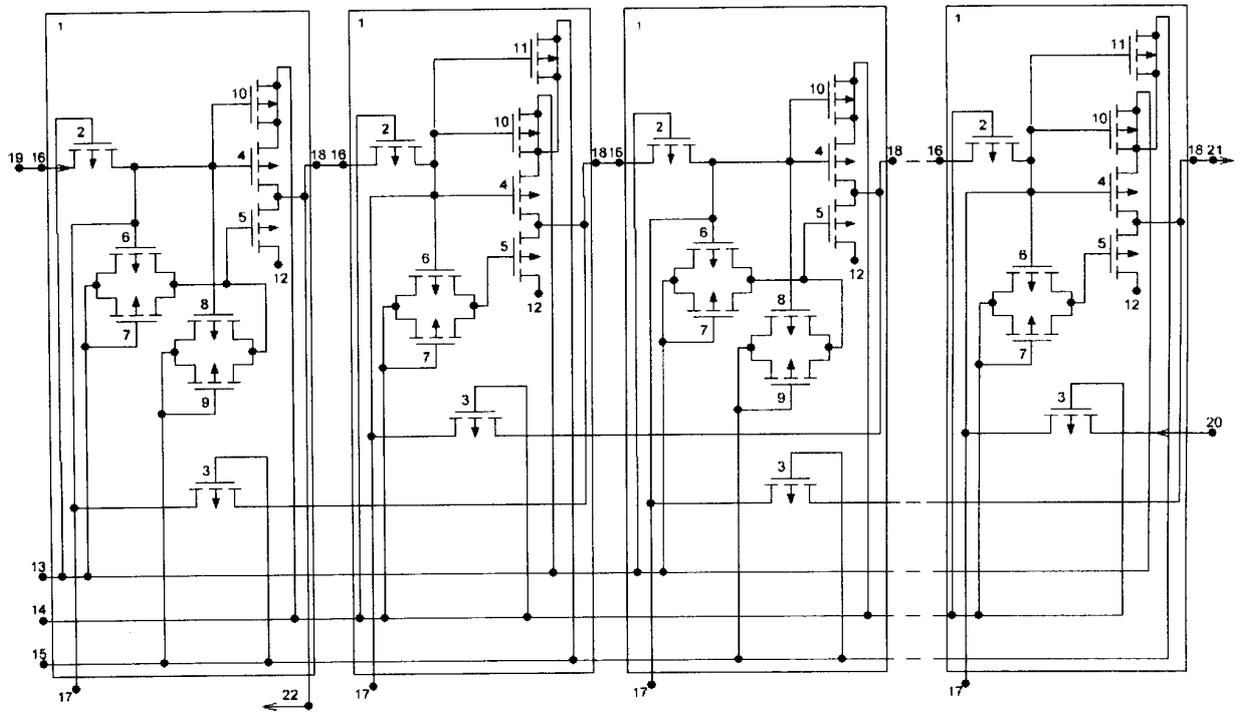
Изобретение относится к оптоэлектронике и микроэлектронике и может быть использовано для построения сдвиговых регистров в фотоприемных submodule для мозаичных фотоприемников, в частности, в фотоприемниках на микроболометрах. Техническим результатом является обеспечение возможности двунаправленной передачи информации и минимизация занимаемой площади кристалла

БИС. Устройство содержит ячейки, каждая из которых состоит из двух коммутирующих и информационного р-МОП транзисторов, р-МОП транзисторов управления нагрузкой, нагрузочного р-МОП транзистора, варактора, тактовых шин, шины нулевого потенциала, а также двух дополнительных р-МОП транзисторов управления нагрузкой в нечетной ячейке или второго варактора в четной ячейке. 3 ил.

RU 2 527 188 C1

RU 2 527 188 C1

RU 2527188 C1



Фиг.1

RU 2527188 C1



FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY

(12) ABSTRACT OF INVENTION

(21)(22) Application: 2013120615/08, 06.05.2013

(24) Effective date for property rights:
06.05.2013

Priority:

(22) Date of filing: 06.05.2013

(45) Date of publication: 27.08.2014 Bull. № 24

Mail address:

630090, g.Novosibirsk, pr. Akademika Lavrent'eva,
13, IFP SO RAN

(72) Inventor(s):

Dem'janenko Mikhail Alekseevich (RU),
Esaev Dmitrij Georgievich (RU),
Kozlov Aleksandr Ivanovich (RU),
Marchishin Igor' Vladimirovich (RU),
Ovsjuk Viktor Nikolaevich (RU),
Filippova Valerija Viktorovna (RU)

(73) Proprietor(s):

Federal'noe gosudarstvennoe bjudzhetnoe
uchrezhdenie nauki Institut fiziki
poluprovodnikov im. A.V. Rzhanova Sibirskogo
otdelenija Rossijskoj akademii nauk (IFP SO
RAN) (RU)

(54) SHIFT REGISTER

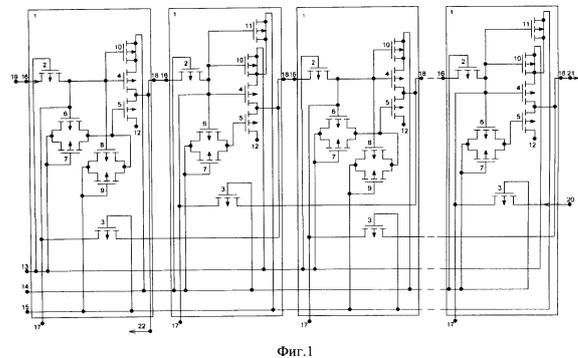
(57) Abstract:

FIELD: electricity.

SUBSTANCE: device contains cells, each of them consisting of two switching and informative p-channel MOS transistors load control p-channel MOS transistor, load p-channel MOS transistor, varactor diode, SCLs, zero potential bus and two additional load control p-channel MOS transistors in an odd cell or the second varactor diode in an even cell.

EFFECT: provision of bidirectional data transfer and minimisation of space required for LSI chip.

3 dwg



RU 2 527 188 C1

RU 2 527 188 C1

Изобретение относится к оптоэлектронике и микроэлектронике и может быть использовано для построения сдвиговых регистров в фотоприемных субмодулях для мозаичных фотоприемников, в частности, в фотоприемниках на микроболометрах.

Известен сдвиговый регистр (Патент РФ на изобретение №2 344 498 «Сдвиговый регистр» МПК: G11C 19/00, H03K 3/037, H03K 9/001, опубликован 20.01.2009 г.), который выполнен на элементах И, ИЛИ, НЕ, содержащий в каждом разряде первый и второй RS-триггеры, четыре логических элемента И, один элемент ИЛИ, информационный вход, первую и вторую шины управления приемом кода в первый и второй триггеры при выполнении операции сдвига кода, информационный выход, при этом выходы первого и третьего элементов И соединены с R-входами первого и второго RS-триггеров соответственно, выход второго элемента И подключен к первому входу первого элемента ИЛИ, второй вход которого соединен с информационным входом, а выход упомянутого элемента ИЛИ подключен к S-входу первого триггера, первые входы первого и второго элементов И связаны с первой шиной управления приемом кода в первый триггер, первые входы третьего и четвертого элементов И соединены с второй шиной управления приемом кода во второй триггер, причем нулевой и единичный выходы первого триггера i -го разряда соединены с вторыми входами третьего и четвертого элементов И $(i+1)$ -го разряда соответственно, нулевой и единичный выходы второго триггера 1-го разряда соединены со вторыми входами первого и второго элементов И $(i+1)$ -го разряда соответственно, кроме того, первый и второй входы второго элемента ИЛИ соединены с S-входами первого и второго триггеров, выход упомянутого элемента ИЛИ является информационным выходом i -го разряда и т.д.

Недостатком этого сдвигового регистра является необходимость использования в каждом разряде два RS-триггера, что увеличивает аппаратные затраты и повышает потребление энергоснабжения.

Известен реверсивный регистр сдвига (Патент РФ на изобретение №2022372 «Реверсивный регистр сдвига», МПК: G11C 19/00, опубликован 30.10.1994 г.), сущность которого состоит в том, что он содержит в каждом разряде JK-триггер, четыре элемента И, в каждом разряде, кроме первого и последнего, четыре элемента ИЛИ, в первом и последнем разрядах - три элемента ИЛИ, шины управления направлением сдвига вправо и влево, вход сброса регистра, вход сдвига, прямой и инверсный информационные входы регистра и выход информации в прямом последовательном коде при сдвиге вправо, прямой и инверсный информационные парафазные входы регистра и выход информации в прямом последовательном коде при сдвиге влево, вход управления режимом сдвига - уплотнение единиц и вход управления режимом сдвига - уплотнение нулей, причем прямой выход JK-триггера каждого разряда, кроме последнего, соединен соответственно с первым входом первого элемента И последующего разряда, а прямой выход JK-триггера каждого разряда, кроме первого, соединен соответственно с первым входом второго элемента И предыдущего разряда, выходы первого и второго элементов И каждого разряда соединены с входами первого элемента ИЛИ, вход которого соединен с J-входом JK-триггера данного разряда, вторые входы первого и второго элементов И всех разрядов являются соответственно входами управления сдвигом вправо и сдвигом влево регистра и т.д. Введение в известный регистр сдвига в каждый разряд, кроме первого и последнего, двух элементов ИЛИ (пятого и шестого), в первую ячейку пятого элемента ИЛИ, в последнюю ячейку шестого элемента ИЛИ, а также новых связей позволяет расширить функциональные возможности реверсивного регистра сдвига за счет уплотнения нулей кодовой комбинации как влево, так и вправо регистра.

Недостатком реверсивного регистра сдвига, как и предыдущего, является то, что он

имеет сложную структуру и управление, состоит из большого количества транзисторов и вследствие этого при использовании в качестве блока адресации по вертикали в мозаичных фотоприемниках приводит к падению эффективности преобразования изображений в мозаичном фотоприемнике в целом. (Эффективность преобразования изображений - это отношение количества работающих фоточувствительных элементов (ФЧЭ) в мозаичном фотоприемнике к сумме ФЧЭ, потерянных в «слепых зонах» и работающих в мозаичном фотоприемнике).

Известен регистр сдвига на МДП-транзисторах (Авторское свидетельство №1269210, МПК: G11C 19/00, опубликованное 07.11.1986 г.), в котором выход каждого из инверторов, составляющих регистр, через коммутирующие транзисторы соединен с входами последующего и предыдущего инверторов. При этом во время первого такта работы сдвигового регистра образуются триггеры, состоящие из четного и последующего нечетного инверторов, а во время второго такта работы - из четного и предыдущего нечетного инверторов.

Недостатком этого регистра сдвиг на МДП-транзисторах является то, что он требует большого количества тактовых шин для управляющих сигналов и сложную диаграмму управляющих сигналов, что усложняет технологию его изготовления, снижает быстродействие, повышает стоимость устройства и существенно понижает эффективность мозаичного фотоприемника в целом.

Известен также сдвиговый регистр, принятый за прототип, приведенный в книге под редакцией П. Йесперса, Ф. Ван де Виле и М. Уайта. Полупроводниковые формирователи сигналов изображения, изд. «Мир», М. 1979, стр.135, рис.7. Сдвиговый регистр содержит ячейки, каждая из которых состоит из коммутирующего и информационного р-МОП транзисторов, первого и второго р-МОП транзисторов управления нагрузкой, нагрузочного р-МОП транзистора, варактора, шины нулевого потенциала, первой и второй тактовых шин, причем исток коммутирующего р-МОП транзистора является входом в ячейку, а в первой ячейке сдвигового регистра является одновременно и информационным входом сдвигового регистра при считывании информации слева направо, его затвор соединен с первой тактовой шиной в нечетной ячейке или со второй тактовой шиной в четной ячейке, сток коммутирующего р-МОП транзистора соединен с затвором первого р-МОП транзистора управления нагрузкой и с затворами информационного р-МОП транзистора и варактора, диффузионные области которого соединены со стоком информационного р-МОП транзистора и со второй тактовой шиной в нечетной ячейке или с первой тактовой шиной в четной ячейке, исток информационного р-МОП транзистора соединен со стоком нагрузочного р-МОП транзистора и является выходом ячейки, а в последней ячейке сдвигового регистра одновременно и информационным выходом сдвигового регистра при считывании информации слева направо, исток нагрузочного р-МОП транзистора соединен с шиной нулевого потенциала, а его затвор соединен со стоком первого и истоком второго р-МОП транзисторов управления нагрузкой, затвор второго р-МОП транзистора управления нагрузкой соединен с истоком первого и стоком второго р-МОП транзисторов управления нагрузкой и с первой тактовой шиной в нечетной ячейке или со второй тактовой шиной в четной ячейке.

Этот сдвиговый регистр, принятый за прототип, содержит меньшее количество шин, выполнен по менее сложной технологии, по сравнению с известными аналогами, но имеет существенный недостаток, а именно сдвигает информацию только в одну сторону.

Техническим результатом изобретения является:

- расширение функциональных возможностей за счет обеспечения реверсивности

сдвига информации внутри сдвигового регистра,

- расширение области применения за счет возможности двунаправленной передачи информации,

- минимизация занимаемой площади кристалла БИС.

5 Технический результат достигается тем, что в сдвиговом регистре, содержащем ячейки, каждая из которых состоит из коммутирующего и информационного р-МОП транзисторов, первого и второго р-МОП транзисторов управления нагрузкой, нагрузочного р-МОП транзистора, первого варактора, шины нулевого потенциала, первой и второй тактовых шин, причем исток коммутирующего р-МОП транзистора
10 является входом в ячейку, а в первой ячейке сдвигового регистра является одновременно и информационным входом сдвигового регистра при считывании информации слева направо, его затвор соединен с первой тактовой шиной в нечетной ячейке или со второй тактовой шиной в четной ячейке, сток коммутирующего р-МОП транзистора соединен с затвором первого р-МОП транзистора управления нагрузкой и с затворами
15 информационного р-МОП транзистора и первого варактора, диффузионные области которого соединены со стоком информационного р-МОП транзистора и со второй тактовой шиной в нечетной ячейке или с первой тактовой шиной в четной ячейке, исток информационного р-МОП транзистора соединен со стоком нагрузочного р-МОП транзистора и является выходом ячейки, а в последней ячейке сдвигового регистра
20 одновременно и информационным выходом сдвигового регистра при считывании информации слева направо, исток нагрузочного р-МОП транзистора соединен с шиной нулевого потенциала, а его затвор соединен со стоком первого и истоком второго р-МОП транзисторов управления нагрузкой, затвор второго р-МОП транзистора управления нагрузкой соединен с истоком первого и стоком второго р-МОП
25 транзисторов управления нагрузкой и с первой тактовой шиной в нечетной ячейке или со второй тактовой шиной в четной ячейке; в каждую ячейку введены третья тактовая шина и второй коммутирующий р-МОП транзистор, а также два дополнительных р-МОП транзистора управления нагрузкой в нечетной ячейке или второй варактор в четной ячейке, причем исток второго коммутирующего р-МОП транзистора соединен со стоком первого коммутирующего р-МОП транзистора, с затворами информационного р-МОП транзистора, первого варактора и первого р-МОП транзистора управления нагрузкой и является вторым входом ячейки, затвор второго коммутирующего р-МОП
30 транзистора соединен с третьей тактовой шиной в нечетной ячейке или со второй тактовой шиной в четной ячейке, сток второго коммутирующего р-МОП транзистора соединен с выходом последующей ячейки, а в последней ячейке сдвигового регистра является одновременно и вторым информационным входом сдвигового регистра при считывании информации справа налево. В нечетной ячейке исток первого дополнительного р-МОП транзистора управления нагрузкой соединен с объединенными стоком и затвором второго дополнительного р-МОП транзистора управления нагрузкой
40 и с третьей тактовой шиной; затвор первого дополнительного р-МОП транзистора управления нагрузкой соединен со стоком первого и истоком второго коммутирующих р-МОП транзисторов и с затворами информационного р-МОП транзистора, первого р-МОП транзистора управления нагрузкой и первого варактора; сток первого дополнительного р-МОП транзистора управления нагрузкой соединен с истоком второго дополнительного р-МОП транзистора управления нагрузкой, со стоком первого и истоком второго р-МОП транзисторов управления нагрузкой и с затвором нагрузочного р-МОП транзистора. В четной ячейке затвор второго варактора соединен со стоком первого и истоком второго коммутирующих р-МОП транзисторов и с

затворами информационного р-МОП транзистора, первого р-МОП транзистора управления нагрузкой и первого варактора, диффузионные области второго варактора соединены со стоком информационного р-МОП транзистора и с третьей тактовой шиной. Выход первой ячейки сдвигового регистра является вторым информационным

5

выходом сдвигового регистра при считывании информации слева направо. Предлагаемый сдвиговый регистр позволяет расширить область его применения за счет возможности двунаправленной передачи информации и минимизировать занимаемую площадь кристалла БИС за счет сокращения количества используемых тактовых шин и транзисторов.

10

Сущность изобретения поясняется нижеследующим описанием и прилагаемыми фигурами.

На фиг.1 представлена функциональная схема сдвигового регистра, на фиг.2 приведены временные диаграммы работы сдвигового регистра при выполнении операции сдвига информации вправо (считывание информации слева на право) и влево.

15

На фиг.1 приняты следующие обозначения: ячейки 1, каждая из которых состоит из первого 2 и второго 3 коммутирующих, информационного 4, нагрузочного 5 р-МОП транзисторов, первого 6 и второго 7 р-МОП транзисторов управления нагрузкой, дополнительных первого 8 и второго 9 р-МОП транзисторов управления нагрузкой в каждой нечетной ячейке, первого варактора 10 и введенного в каждую четную ячейку

20

второго варактора 11, шины нулевого потенциала 12, первой 13, второй 14 и третьей 15 тактовых шин, первого 16, второго 17 входов и выхода 18 ячейки, первого 19, второго 20 информационных входов, первого 21 и второго 22 информационных выходов сдвигового регистра. Предлагаемый сдвиговый регистр осуществляется следующим образом. В каждой

ячейке 1 исток первого коммутирующего р-МОП транзистора 2, образуя первый вход 16 ячейки, в первой ячейке является одновременно и первым информационным входом 19 сдвигового регистра при выполнении операции сдвига сигнала импульса вправо. Его затвор соединен с первой 13 тактовой шиной в нечетной ячейке или со второй 14 тактовой шиной в четной ячейке. Сток первого коммутирующего р-МОП транзистора 2, образуя второй вход 17 ячейки, соединяется с истоком второго коммутирующего р-МОП транзистора 3, с затворами информационного р-МОП транзистора 4, первого р-МОП транзистора управления нагрузкой 6, первого варактора 10 и с затвором первого дополнительного р-МОП транзистора управления нагрузкой 8 (в нечетной ячейке) или с затвором второго варактора 11 (в четной ячейке). Затвор второго коммутирующего

3 р-МОП транзистора соединен с третьей 15 тактовой шиной в нечетной ячейке или со второй 14 тактовой шиной в четной ячейке. Сток второго коммутирующего р-МОП транзистора 3 соединен с выходом 18 последующей ячейки, а в последней ячейке сдвигового регистра является вторым информационным входом 20 сдвигового регистра при считывании информации справа налево. Диффузионные области первого варактора 10 соединены со стоком информационного 4 р-МОП транзистора и со второй тактовой шиной 14 в нечетной ячейке или с первой тактовой шиной 13 в четной ячейке. Исток информационного р-МОП транзистора 4 соединен со стоком нагрузочного р-МОП транзистора 5 и является выходом 18 ячейки, а в последней ячейке сдвигового регистра одновременно и первым информационным выходом сдвигового регистра 21 при

считывании информации слева направо. Исток нагрузочного р-МОП транзистора 5 соединен с шиной нулевого потенциала 12, а его затвор соединен со стоком первого 6 и истоком второго 7 р-МОП транзисторов управления нагрузкой в четной ячейке, а в нечетной ячейке еще и со стоком первого дополнительного 8 и истоком второго

45

дополнительного 9 р-МОП транзисторов управления нагрузкой. Объединенные затвор и сток второго р-МОП транзистора управления нагрузкой 7 соединены с первой тактовой шиной 13 в нечетной ячейке или со второй 14 тактовой шиной в четной ячейке. Объединенные затвор и сток второго дополнительного р-МОП транзистора управления нагрузкой 9 соединены с третьей 15 тактовой шиной (в нечетной ячейке). Затвор второго варактора 11 (в четной ячейке) соединен со стоком первого 2 и с истоком второго 3 коммутирующих р-МОП транзисторов и с затворами информационного 4, первого управления нагрузкой 6 р-МОП транзисторов и первого варактора 10, объединенные диффузионные области второго варактора 11 соединены со стоком информационного р-МОП транзистора 4 и с третьей тактовой шиной 15. Выход 18 первой ячейки сдвигового регистра является одновременно и вторым информационным выходом 22 сдвигового регистра при считывании информации справа налево.

На фиг.2а приведена временная диаграмма операции сдвига информации вправо, где 23 - сигнальный импульс на первом информационном входе 19 сдвигового регистра; 24, 25 - сигналы на первой 13 и второй 14 тактовых шинах соответственно; 26, 27, 28 - сигналы на выходе 18 первой, второй и последней (четной в нашем случае) ячейках соответственно. Выход 18 последней ячейки является одновременно первым информационным выходом 21 сдвигового регистра.

На фиг.2б приведена временная диаграмма операции сдвига информации влево, где 29 - сигнальный импульс на втором информационном входе 20 сдвигового регистра; 30, 31 - сигналы на второй 14 и третьей 15 тактовых шинах соответственно; 32, 33, 34 - сигналы на втором информационном выходе 22 сдвигового регистра, который является одновременно выходом 18 первой ячейки, и на выходе 18 предпоследней и последней ячеек сдвигового регистра соответственно.

Рассмотрим работу сдвигового регистра.

Сдвиговый регистр работает следующим образом при выполнении операции сдвига сигнального импульса вправо (считывание информации слева на право, фиг.2а).

В исходном положении на первом 19 и втором 20 информационных входах сдвигового регистра нулевой потенциал. Первый синхронизирующий импульс сигнала 24, который приходит по первой тактовой шине 13, открывает первый коммутирующий 2 и второй управления нагрузкой 7 р-МОП транзисторы первой и всех нечетных ячеек 1. Если на первый информационный вход 19 сдвигового регистра поступает сигнальный импульс 23, то на выходе 18 первой ячейки устанавливается «ноль», т.к. в это же время открыты р-МОП транзисторы управления нагрузкой 6 и 7. На стоке первого р-МОП транзистора управления нагрузкой 6 и истоке второго р-МОП транзистора управления нагрузкой 7 формируется импульс, который открывает нагрузочный р-МОП транзистор 5. Т.к. на истоке нагрузочного р-МОП транзистора 5 шиной нулевого потенциала 12 удерживается нулевой потенциал, то на его стоке устанавливается «ноль». С приходом по второй тактовой шине 14 первого синхронизирующего импульса сигнала 25 открывается первый варактор 10, происходит «форсировка» узла накопления заряда за счет первого варактора 10. В результате синхронизирующий импульс сигнала 25 подается на выход 18 первой ячейки без ослабления (сигнал 26), т.е. из него не вычитается пороговое напряжение, что обеспечивает коммутацию цепей с большой скоростью. В это же время импульсом сигнала 25 открываются первый коммутирующий 2 и второй управления нагрузкой 7 р-МОП транзисторы второй и всех последующих четных ячеек. Когда импульс с выхода 18 первой ячейки поступает на первый вход 16 второй ячейки, то на ее выходе 18 устанавливается «ноль», т.к. в это время открыты р-МОП транзисторы управления нагрузкой 6 и 7 второй ячейки. На стоке первого р-МОП

транзистора управления нагрузкой 6 и истоке второго р-МОП транзистора управления нагрузкой 7 формируется импульс, который открывает р-МОП нагрузочный транзистор 5 второй ячейки. Т.к. на истоке нагрузочного р-МОП транзистора 5 с помощью шины нулевого потенциала 12 удерживается нулевой потенциал, то на его стоке устанавливается «ноль». С приходом второго синхроимпульса сигнала 24 по первой тактовой шине 13 открывается первый варактор 10 второй и всех последующих четных ячеек, происходит «форсировка» узла накопления заряда за счет первого варактора 10. В результате синхронизирующий импульс 24 подается на выход 18 второй ячейки без ослабления, т.е. из него не вычитается пороговое напряжение (сигнал 27). Таким образом, сигнальный импульс 23 с первого информационного входа 19 сдвигового регистра, т.е. с первого входа 16 первой ячейки, достигает первого информационного выхода 21 сдвигового регистра, т.е. выхода 18 последней ячейки, двигаясь слева направо (сигнал 28). На первом информационном выходе 21 сдвигового регистра, например тридцать второй ячейки, импульс сигнала 28 совпадает с семнадцатым импульсом сигнала 24.

При операции сдвига информации влево сдвиговый регистр работает аналогично операции сдвига вправо. Временная диаграмма операции сдвига информации влево приведена на фиг.2б.

С приходом первого синхроимпульса сигнала 30 по второй тактовой шине 14 на последнюю ячейку (предположим, она четная) открываются первый коммутирующий 2, второй коммутирующий 3 и второй управления нагрузкой 7 р-МОП транзисторы последней и всех предшествующих четных ячеек. Когда на второй информационный вход 20 поступает сигнальный импульс 29, то на выходе 18 последней ячейки устанавливается «ноль», т.к. в это же время в последней ячейке открыты р-МОП транзисторы управления нагрузкой 6 и 7. На стоке первого р-МОП транзистора управления нагрузкой 6 и истоке второго р-МОП транзистора управления нагрузкой 7 формируется импульс, который открывает нагрузочный р-МОП транзистор 5. Т.к. на истоке нагрузочного р-МОП транзистора 5 шиной нулевого потенциала 12 удерживается нулевой потенциал, то на его стоке устанавливается «ноль». С приходом по третьей тактовой шине 15 первого синхронизирующего импульса сигнала 31 открывается второй варактор 11, происходит «форсировка» узла накопления заряда за счет второго варактора 11. В результате синхронизирующий импульс сигнала 31 подается на выход 18 последней ячейки без ослабления (сигнал 34), т.е. из него не вычитается пороговое напряжение, что обеспечивает коммутацию цепей с большой скоростью. В это же время импульсом сигнала 31 открываются второй коммутирующий 3 и второй дополнительный управления нагрузкой 9 р-МОП транзисторы второй от конца и всех предыдущих нечетных ячеек. Когда импульс с выхода 18 последней ячейки поступает через открытый второй коммутирующий 3 р-МОП транзистор на второй вход 17 предпоследней ячейки, то на ее выходе 18 устанавливается «ноль», т.к. в это время открыты р-МОП транзисторы управления нагрузкой 8 и 9 предпоследней ячейки. На стоке первого дополнительного 8 и истоке второго дополнительного 9 р-МОП транзисторов управления нагрузкой формируется импульс, который открывает нагрузочный р-МОП транзистор 5. Т.к. на истоке нагрузочного р-МОП транзистора 5 шиной 12 удерживается нулевой потенциал, то на его стоке устанавливается «ноль». С приходом по второй тактовой шине 14 второго синхроимпульса сигнала 30 открывается первый варактор 10 предпоследней и всех предыдущих нечетных ячеек, происходит «форсировка» узла накопления заряда за счет первого варактора 10. В результате синхронизирующий импульс 30 подается на выход 18 предпоследней ячейки

без ослабления, т.е. из него не вычитается пороговое напряжение (сигнал 33). Таким образом, импульс сигнала 29 со второго информационного входа 20 сдвигового регистра (последней ячейки) достигает второго информационного выхода 22 сдвигового регистра (первой ячейки), двигаясь от конечной ячейки к первой, т.е. справа налево (сигнал 32).
5 На втором информационном выходе 22, например, сдвигового регистра из двенадцати ячеек, импульс сигнала 32 совпадает с седьмым импульсом сигнала 30.

Формула изобретения

Сдвиговый регистр, содержащий ячейки, каждая из которых состоит из
10 коммутирующего и информационного р-МОП транзисторов, первого и второго р-МОП транзисторов управления нагрузкой, нагрузочного р-МОП транзистора, первого варактора, шины нулевого потенциала, первой и второй тактовых шин, причем исток коммутирующего р-МОП транзистора является первым входом ячейки, а в первой
15 ячейке сдвигового регистра является одновременно и первым информационным входом сдвигового регистра при считывании информации слева направо, его затвор соединен с первой тактовой шиной в нечетной ячейке или со второй тактовой шиной в четной ячейке, сток коммутирующего р-МОП транзистора соединен с затвором первого р-МОП транзистора управления нагрузкой и с затворами информационного р-МОП транзистора и первого варактора, диффузионные области которого соединены со
20 стоком информационного р-МОП транзистора и со второй тактовой шиной в нечетной ячейке или с первой тактовой шиной в четной ячейке, исток информационного р-МОП транзистора соединен со стоком нагрузочного р-МОП транзистора и является выходом ячейки, а в последней ячейке сдвигового регистра одновременно и первым информационным выходом сдвигового регистра при считывании информации слева
25 направо, исток нагрузочного р-МОП транзистора соединен с шиной нулевого потенциала, а его затвор соединен со стоком первого и истоком второго р-МОП транзисторов управления нагрузкой, затвор второго р-МОП транзистора управления нагрузкой соединен с истоком первого и стоком второго р-МОП транзисторов управления нагрузкой и с первой тактовой шиной в нечетной ячейке или со второй
30 тактовой шиной в четной ячейке, отличающийся тем, что в каждую ячейку введены третья тактовая шина и второй коммутирующий р-МОП транзистор, а также два дополнительных р-МОП транзистора управления нагрузкой в нечетной ячейке или второй варактор в четной ячейке, причем исток второго коммутирующего р-МОП транзистора соединен со стоком первого коммутирующего р-МОП транзистора, с
35 затворами информационного р-МОП транзистора, первого варактора и первого р-МОП транзистора управления нагрузкой и является вторым входом ячейки, затвор второго коммутирующего р-МОП транзистора соединен с третьей тактовой шиной в нечетной ячейке или со второй тактовой шиной в четной ячейке, сток второго коммутирующего р-МОП транзистора соединен с выходом последующей ячейки, а в
40 последней ячейке сдвигового регистра является одновременно и вторым информационным входом сдвигового регистра при считывании информации справа налево, в нечетной ячейке исток первого дополнительного р-МОП транзистора управления нагрузкой соединен с объединенными стоком и затвором второго дополнительного р-МОП транзистора управления нагрузкой и с третьей тактовой
45 шиной, затвор первого дополнительного р-МОП транзистора управления нагрузкой соединен со стоком первого и истоком второго коммутирующих р-МОП транзисторов и затворами информационного р-МОП транзистора, первого р-МОП транзистора управления нагрузкой и первого варактора, сток первого дополнительного р-МОП

транзистора управления нагрузкой соединен с истоком второго дополнительного р-МОП транзистора управления нагрузкой, со стоком первого и истоком второго р-МОП транзисторов управления нагрузкой и с затвором нагрузочного р-МОП транзистора, в четной ячейке затвор второго варактора соединен со стоком первого и истоком 5 второго коммутирующих р-МОП транзисторов и затворами информационного р-МОП транзистора, первого р-МОП транзистора управления нагрузкой и первого варактора, диффузионные области второго варактора соединены со стоком информационного р-МОП транзистора и с третьей тактовой шиной, выход первой ячейки сдвигового регистра является вторым информационным выходом сдвигового регистра при 10 считывании информации справа налево.

15

20

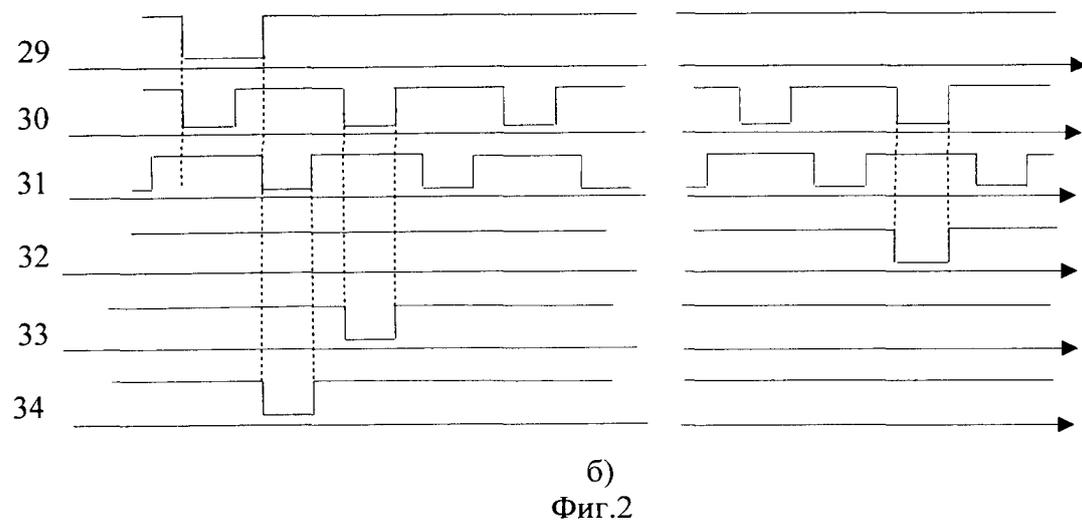
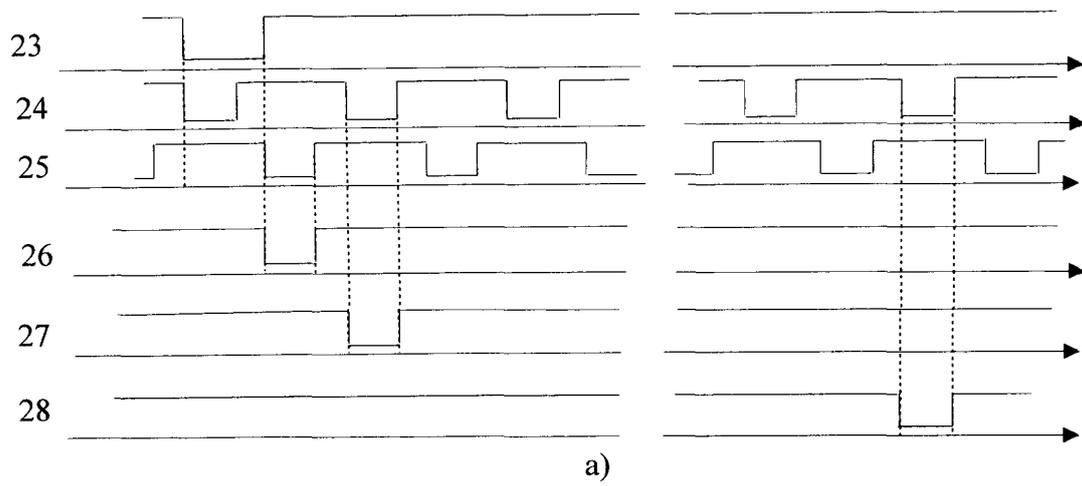
25

30

35

40

45



б)
Фиг.2