



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년08월11일
 (11) 등록번호 10-1642834
 (24) 등록일자 2016년07월20일

(51) 국제특허분류(Int. Cl.)
 H01L 21/20 (2006.01)
 (21) 출원번호 10-2010-0032863
 (22) 출원일자 2010년04월09일
 심사청구일자 2015년03월20일
 (65) 공개번호 10-2011-0113462
 (43) 공개일자 2011년10월17일
 (56) 선행기술조사문헌
 KR1020090065572 A
 KR1020070082381 A
 US20070190745 A1
 JP2517330 B2

(73) 특허권자
 삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
 강필규
 경기도 안양시 동안구 달안로 78, 셋별한양아파트
 610동 1209호 (비산동)
 배대륙
 서울특별시 송파구 올림픽로 435, 212동 2903호
 (신천동, 파크리오)
 (뒷면에 계속)
 (74) 대리인
 리앤목특허법인

전체 청구항 수 : 총 10 항

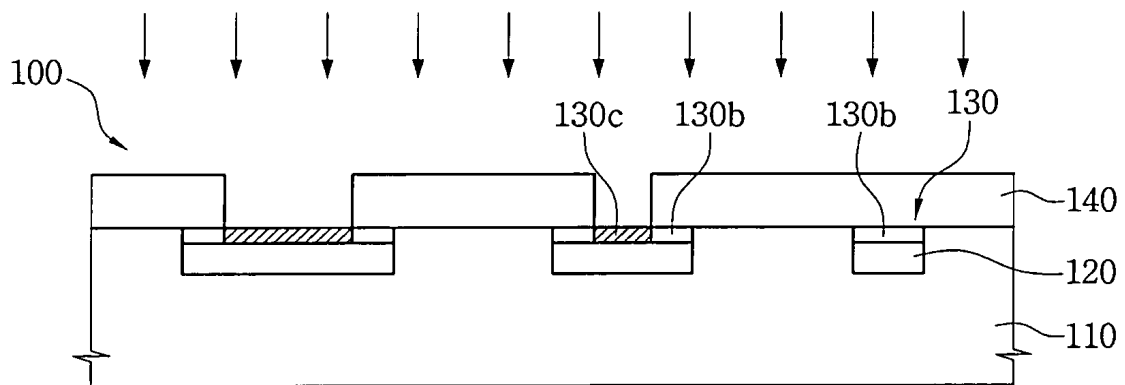
심사관 : 김중희

(54) 발명의 명칭 **LEG 공정을 이용하여 벌크 실리콘 웨이퍼의 필요한 영역내에 SOI 층을 형성하는 반도체 소자의 제조방법**

(57) 요약

벌크 실리콘 웨이퍼 상에 SOI 층을 형성하는 것을 포함하는 반도체 소자의 제조방법이 제공된다. 본 발명의 기술적 사상에 의한 반도체 소자의 제조방법은, 벌크 실리콘 웨이퍼에 SOI 층을 형성하되, 상기 SOI 층에는 제1비정질 실리콘이 절연층 상에 부분적으로 형성되며, 상기 제1비정질 실리콘층을 녹이는 1차 어닐링 공정을 수행하고, 상기 제1비정질 실리콘층은 에피택셜 성장함으로써, 단결정 실리콘층과 다결정 실리콘층으로 전환되며, 상기 다결정 실리콘층을 제2비정질 실리콘층으로 대체하며, 상기 제2비정질 실리콘층을 녹이는 2차 어닐링 공정을 수행하고, 상기 제2비정질 실리콘층은 에피택셜 성장함으로써, 단결정 실리콘층으로 전환되는 것으로 구성될 수 있다.

대표도 - 도13



(72) 발명자

최길현

서울특별시 강남구 대치1동 청실아파트 청실아파트
15동 802호

이중명

경기도 성남시 분당구 수내로 201, 414동 102호 (분당동, 샛별마을)

명세서

청구범위

청구항 1

벌크 실리콘 웨이퍼에 SOI 층을 형성하되, 상기 SOI 층에는 제1비정질 실리콘층이 절연층 상에 부분적으로 형성되고,

상기 제1비정질 실리콘층을 녹이는 1차 어닐링 공정을 수행하여 상기 제1비정질 실리콘층을 단결정 실리콘층과 제1 다결정 실리콘층으로 전환하고,

상기 제1 다결정 실리콘층을 제2비정질 실리콘층으로 대체하고,

상기 제2비정질 실리콘층을 녹이는 2차 어닐링 공정을 수행하여, 상기 제2비정질 실리콘층을 단결정 실리콘층으로 전환하는 것을 포함하는 반도체 소자의 제조방법.

청구항 2

제 1 항에 있어서,

상기 2차 어닐링 공정을 수행한 후,

상기 제2비정질 실리콘층이 단결정 실리콘층 및 제2 다결정 실리콘층으로 전환되면,

상기 제2 다결정 실리콘층을 제3비정질 실리콘층으로 대체하고,

3차 어닐링 공정을 수행하여 상기 제3비정질 실리콘층을 단결정 실리콘층으로 전환하는 것을 더 포함하는 반도체 소자의 제조 방법.

청구항 3

제 1 항에 있어서,

상기 제2비정질 실리콘층으로 대체하는 것은,

상기 제1 다결정 실리콘층을 노출시키는 포토레지스트 패턴을 형성하고,

상기 포토레지스트 패턴을 이온주입 마스크로 사용하여 상기 제1 다결정 실리콘층을 불순물로 도핑함으로써, 상기 제1 다결정 실리콘층을 제2비정질 실리콘층으로 유도하고, 상기 불순물은 실리콘(Si) 혹은 저매니움(Ge) 중에서 선택되는 것을 포함하는 반도체 소자의 제조방법.

청구항 4

제 1 항에 있어서,

상기 제2비정질 실리콘층으로 대체하는 것은,

상기 제1 다결정 실리콘층을 노출시키는 포토레지스트 패턴을 형성하고,

상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 제1 다결정 실리콘층을 제거함으로써, 상기 절연층을 노출시키는 실리콘 트렌치를 형성하고,

상기 포토레지스트 패턴을 제거하고,

상기 노출된 절연층 상에 PVD 혹은 CVD 공정을 이용하여 실리콘 물질을 증착함으로써, 상기 실리콘 트렌치에 상기 실리콘 물질을 채우고, 및

상기 제1 다결정 실리콘층이 노출될 때까지 상기 실리콘 물질을 평면화함으로써, 상기 실리콘 트렌치에 제2비정질 실리콘층이 형성되는 것을 포함하는 반도체 소자의 제조방법.

청구항 5

절연층이 하부와 측면에서 벌크층에 의하여 한정되고, 상부에서 활성층에 의하여 한정되는 기관을 준비하고, 상기 활성층은 제1비정질 실리콘층으로 구성되고,

비정질 실리콘을 단결정 실리콘으로 전환시키는 1차 어닐링 공정이 상기 제1비정질 실리콘층에 대하여 수행되고,

상기 제1비정질 실리콘층 중에서 상기 1차 어닐링 공정에도 불구하고, 상기 비정질 실리콘이 단결정 실리콘으로 전환되지 않는 부분만을 제거하고, 그 자리에 제2비정질 실리콘층을 형성하며,

비정질 실리콘을 단결정 실리콘으로 재결정화하는 2차 어닐링 공정이 상기 제2비정질 실리콘층에 대하여 수행되는 것을 포함하는 반도체 소자의 제조방법.

청구항 6

제 5 항에 있어서,

상기 1차 및 2차어닐링 공정은, 엑시머 레이저를 이용하고,

상기 엑시머 레이저의 빔 강도는, 단결정 실리콘은 녹지 않고, 비정질 실리콘만 녹도록, 비정질 실리콘 녹는점 이하로 결정됨으로써, 이미 형성된 단결정 실리콘은 그대로 두고, 비정질 실리콘만 단결정 실리콘으로 재결정화되는 반도체 소자의 제조방법.

청구항 7

제 5 항에 있어서,

상기 제2비정질 실리콘층을 형성하는 것은,

상기 1차 어닐링 공정에도 불구하고 상기 전환되지 않은 부분을 노출시키는 포토레지스트 패턴을 형성하며,

상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 노출된 부분을 제거함으로써, 상기 절연층을 노출시키는 실리콘 트렌치를 형성하며,

상기 포토레지스트 패턴을 스트립하며,

상기 실리콘 트렌치에 제2비정질 실리콘층을 형성하는 것을 포함하는 반도체 소자의 제조방법.

청구항 8

벌크층에 벌크 트렌치를 형성하고,

상기 벌크 트렌치 하부에 매립되는 절연층을 형성하며,

상기 벌크 트렌치 상부에 매립되는 제1비정질 실리콘층을 형성하며, 비정질 실리콘을 단결정 실리콘으로 전환시키는 1차 어닐링 공정이 상기 제1비정질 실리콘층에 대하여 수행되고,

상기 제1비정질 실리콘층 중에서 상기 1차 어닐링 공정에도 불구하고 비정질 실리콘이 단결정 실리콘으로 전환되지 않는 부분에 비정질화 이온주입 전처리 공정을 수행하여, 상기 전환되지 않은 부분을 제2비정질 실리콘층으로 유도하며,

비정질 실리콘을 단결정 실리콘으로 재결정화하는 2차 어닐링 공정이 상기 제2비정질 실리콘층에 대하여 수행되는 것을 포함하는 반도체 소자의 제조방법.

청구항 9

제 8 항에 있어서,

상기 절연층을 형성하는 것은,

증착 공정을 이용하여 상기 벌크층 상에 실리콘 산화물을 형성한 후, 평면화 공정을 통하여 상기 실리콘 산화물을 부분적으로 제거하되, 상기 실리콘 산화물의 상면이 상기 벌크층의 상면보다 아래에 위치할 때까지 진행되고,

상기 제1비정질 실리콘층을 형성하는 것은,

증착 공정을 이용하여 상기 절연층 상에 실리콘을 형성한 후, 평면화 공정을 통하여 상기 실리콘을 부분적으로 제거하되, 상기 실리콘의 상면이 상기 벌크층의 상면과 실질적으로 같아질 때까지 진행되는 반도체 소자의 제조 방법.

청구항 10

제 8 항에 있어서,

상기 비정질화 이온주입 전처리 공정을 수행하는 것은,

상기 1차 어닐링 공정에도 불구하고 상기 전환되지 않은 부분을 노출시키는 포토레지스트 패턴을 형성하며,

상기 노출된 부분에 대하여 상기 포토레지스트 패턴을 이온주입 마스크로 사용하여 불순물 이온을 도핑하는 것을 포함하는 반도체 소자의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 벌크 실리콘 웨이퍼(bulk silicon wafer)의 필요한 영역에 SOI(silicon-on-insulator) 층을 포함하는 반도체 소자의 제조방법에 관한 것이다. 특히, 레이저 유도 횡방향 에피택셜 성장(laser-induced lateral epitaxial growth: LEG) 방법을 이용하여 비정질 실리콘을 단결정 실리콘으로 전환시키는 반도체 소자의 제조방법에 관한 것이다.

배경 기술

[0002] 절연층 상에 단결정 실리콘층이 형성되고, 단결정 실리콘 상에 단위 트랜지스터 메모리 셀이 집적되는 SOI(silicon on insulator) 기술이 누설 전류 특성을 개선하는 점에서 주목 받고 있다. SOI 기판은, 전체 면적이 절연층과 단결정 실리콘층으로 구성되어 있기 때문에, 벌크 실리콘 웨이퍼에 비하여 매우 비싸다. 가령, SOI 기판을 이용하여 광 소자를 구현하는 것은 비경제적이다. 최근, SOI 층을 벌크 실리콘 웨이퍼의 필요한 영역에만 다양한 사이즈로 형성하는 방법 등이 활발히 제안되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 해결하고자 하는 과제는, LEG 공정을 이용하여 벌크 실리콘 웨이퍼의 필요한 영역에만 SOI 층을 형성하는 것을 포함하는 반도체 소자의 제조방법을 제공하는 것이다.

[0004] 본 발명이 해결하고자 하는 다른 과제는, LEG 공정을 이용하여 벌크 실리콘 웨이퍼의 일부 영역에 다양한 폭을 가지는 SOI 층을 형성하는 것을 포함하는 반도체 소자의 제조방법을 제공하는 것이다.

[0005] 본 발명이 해결하고자 하는 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당 업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0006] 상기 해결하고자 하는 과제를 달성하기 위한 본 발명의 기술적 사상에 의한 반도체 소자의 제조방법은, 벌크 실리콘 웨이퍼에 SOI 층을 형성하는 것을 포함할 수 있다. 상기 SOI 층에는 제1비정질 실리콘이 절연층 상에 부분적으로 형성될 수 있다. 상기 제1비정질 실리콘층을 녹이는 1차 어닐링 공정을 수행하고, 상기 제1비정질 실리콘층은 에피택셜 성장함으로써, 단결정 실리콘층과 다결정 실리콘층으로 전환될 수 있다. 상기 다결정 실리콘층을 제2비정질 실리콘층으로 대체할 수 있다. 상기 제2비정질 실리콘층을 녹이는 2차 어닐링 공정을 수행하고, 상기 제2비정질 실리콘층은 에피택셜 성장함으로써, 단결정 실리콘층으로 전환될 수 있다.

[0007] 상기 해결하고자 하는 다른 과제를 달성하기 위한 본 발명의 기술적 사상에 의한 반도체 소자의 제조방법은, 절연층이 하부와 측면에서 벌크층에 의하여 한정되고, 상부에서 활성층에 의하여 한정되는 기판을 준비하는 것을 포함할 수 있다. 상기 활성층은 제1비정질 실리콘층으로 구성될 수 있다. 비정질 실리콘을 단결정 실리콘으로 전환시키는 1차 어닐링 공정이 상기 제1비정질 실리콘층에 대하여 수행될 수 있다. 상기 제1비정질 실리콘층 중에서 상기 1차 어닐링 공정에도 불구하고, 상기 비정질 실리콘이 단결정 실리콘으로 전환되지 않는 부분만을

제거하고, 그 자리에 제2비정질 실리콘층을 형성할 수 있다. 비정질 실리콘을 단결정 실리콘으로 재결정화하는 2차 어닐링 공정이 상기 제2비정질 실리콘층에 대하여 수행될 수 있다.

[0008] 상기 해결하고자 하는 또 다른 과제를 달성하기 위한 본 발명의 기술적 사상에 의한 반도체 소자의 제조방법은, 벌크층에 벌크 트렌치를 형성하는 것을 포함할 수 있다. 상기 벌크 트렌치 하부에 매립되는 절연층을 형성할 수 있다. 상기 벌크 트렌치 상부에 매립되는 제1비정질 실리콘층을 형성할 수 있다. 비정질 실리콘을 단결정 실리콘으로 전환시키는 1차 어닐링 공정이 상기 제1비정질 실리콘층에 대하여 수행될 수 있다. 상기 제1비정질 실리콘층 중에서 상기 1차 어닐링 공정에도 불구하고 비정질 실리콘이 단결정 실리콘으로 전환되지 않는 부분에 비정질화 이온주입 전처리 공정을 수행하여, 상기 전환되지 않은 부분을 제2비정질 실리콘층으로 유도할 수 있다. 비정질 실리콘을 단결정 실리콘으로 재결정화하는 2차 어닐링 공정이 상기 제2비정질 실리콘층에 대하여 수행될 수 있다.

[0009] 상기 해결하고자 하는 또 다른 과제를 달성하기 위한 본 발명의 기술적 사상에 의한 반도체 소자의 제조방법은, 벌크 실리콘 웨이퍼 상에 리세스를 형성하는 것을 포함할 수 있다. 절연층이 상기 리세스 내에 형성될 수 있다. 제1비정질 실리콘층이 상기 절연층 상에 형성될 수 있다. 제1 결정화 공정을 수행하여 상기 제1 비정질 실리콘층의 일부가 단결정화되고, 상기 제1 비정질 실리콘층이 단결정화 되지 않은 부분에 제2 비정질 실리콘층이 형성될 수 있다. 제2 결정화 공정을 수행하여 상기 제2 비정질 실리콘층이 단결정화될 수 있다.

발명의 효과

[0010] 위에서 설명한 바와 같이, 본 발명의 기술적 사상에 의한 반도체 소자의 제조방법에 의하면 다음과 같은 효과를 기대할 수 있다.

[0011] 첫째, 재결정화가 충분히 진행되지 않은 영역이 비정질 실리콘으로 대체되고, 비정질 실리콘은 2회 혹은 3회 이상의 어닐링 공정을 통하여 재결정화될 수 있다. 비정질 실리콘의 횡방향 길이가 긴 경우에도, 비정질 실리콘이 전체 길이에 걸쳐 재결정화될 수 있기 때문에, 횡방향 에피택셜 성장의 한계를 극복할 수 있다.

[0012] 둘째, 결정화가 충분히 진행되지 않은 영역이 제거되고, 제거된 영역이 녹는점이 단결정 실리콘보다 낮은 비정질 실리콘으로 대체되며, 비정질 실리콘의 녹는점 이하에서 어닐링됨으로써, 이미 재결정화된 단결정 실리콘은 어닐링에 의하여 전혀 간섭을 받지 않고 비정질 실리콘만 재결정화가 진행될 수 있다.

[0013] 셋째, 결정화가 충분히 진행되지 않은 영역이 이온 주입되고, 이온 주입된 영역이 녹는점이 단결정 실리콘보다 낮은 비정질 실리콘으로 대체되며, 비정질 실리콘의 녹는점 이하에서 어닐링됨으로써, 단결정 실리콘은 어닐링에 의하여 전혀 간섭을 받지 않고 비정질 실리콘만 재결정화가 진행될 수 있다.

도면의 간단한 설명

- [0014] 도 1 은, 본 발명의 기술적 사상에 의한 반도체 소자의 구성을 나타내는 평면도이다.
- 도 2는, 벌크 실리콘 웨이퍼에 SOI 층이 형성되는 반도체 소자의 구성을 나타내기 위하여, 도 1의 절단선 A-A'의 단면을 나타내는 종단면도이다.
- 도 3 내지 도 12는 본 발명의 기술적 사상에 의한 반도체 소자의 제조방법을 나타내는 종단면도들이다.
- 도 13은 본 발명의 기술적 사상에 의한 다양한 응용 실시예에 의한 반도체 소자의 제조방법을 나타내는 종단면도이다.
- 도 14는 본 발명의 기술적 사상에 의한 광 입출력 소자의 구성을 나타내는 사시도이다.
- 도 15는 본 발명의 기술적 사상에 의한 광전 집적 회로의 구성을 개략적으로 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0015] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 각 구성의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

- [0016] 도 1은, 본 발명의 기술적 사상에 의한 반도체 소자의 구성을 나타내는 평면도이다. 도 2는, 벌크 실리콘 웨이퍼 상에 SOI 층이 형성되는 반도체 소자의 구성을 나타내기 위하여, 도 1의 절단선 A-A'의 단면을 나타내는 종단면도이다.
- [0017] 도 1 및 도 2를 참고하면, 반도체 소자(100)는, 다수의 벌크 트렌치들(114)을 가지는 벌크층(110), 각 벌크 트렌치(114)의 하부 영역에 매몰되는 절연층들(120), 및 각 벌크 트렌치(114)의 상부 영역에 매몰되는 활성층들(130)을 포함할 수 있다. 벌크 트렌치들(114), 절연층들(120) 및 활성층들(130)은 다양한 폭(W1, W2 및 W2)을 가질 수 있다. 각 절연층(120)과 각 활성층(130)은, 활성층(130)이 절연층(120)의 상부에 적층되는 실리콘-온-인슐레이터(Silicon-on-insulator: SOI) 구조를 구성할 수 있다.
- [0018] 벌크층(110)은, 벌크 실리콘 웨이퍼(bulk silicon wafer)를 포함할 수 있다. 절연층(120)은, 실리콘 산화물(SiO₂) 혹은 실리콘 산질화물(SiON)로 구성될 수 있다. 절연층(120)은, 벌크층(110)과 활성층(130)에 의하여 포위되어 있기 때문에, 매몰 산화막(buried oxide: BOX) 형태로 구성될 수 있다. 활성층(130)은, 실리콘(Si)이나 실리콘 저매니움(SiGe)과 같은 반도체 물질로 구성됨으로써, 3차원 트랜지스터의 채널이나 광전 소자의 광도파로로 사용될 수 있다.
- [0019] 상기 반도체 소자(100)는, 벌크 실리콘 웨이퍼의 일부 영역에만 SOI 층을 포함할 수 있기 때문에, 실리콘 산화물과 단결정 실리콘이 웨이퍼 전체 영역에 형성되어 있는 통상의 SOI 기판과 구별될 수 있다. SOI 층이 벌크 실리콘 웨이퍼의 일부 영역에만 부분적으로 형성되는 반도체 소자(100)는, SOI 기판과 비교하여 필요한 부분에만 원하는 폭으로 SOI 층을 형성할 수 있어 경제적이다. SOI 층은, 제품의 종류와 기능에 따라 서로 다른 사이즈, 가령 소폭(W3), 중폭(W2) 혹은 광폭(W1)으로 형성될 수 있다.
- [0020] 벌크층(110)이 부분적으로 리세스되고, 리세스 영역에 BOX(buried oxide) 타입의 절연층(120)이 형성되며, 실리콘이 절연층(120) 상에 증착된 후, 평면화 공정을 이용하여 벌크 실리콘 웨이퍼(110)의 상면이 노출될 때까지 제거됨으로써, 벌크층(110)의 상면 레벨과 활성층(130)의 상면 레벨이 실질적으로 일치할 수 있다. 따라서 SOI 층은 단일 벌크 실리콘 웨이퍼 상에서 디램(DRAM) 기타 전자 소자와 함께 웨이퍼 레벨에서 집적될 수 있다. 따라서, 전자 소자가 벌크 실리콘 웨이퍼 상에서 제작될 때, SOI 층은 CMP 공정에 의하여 간섭을 받지 않을 수 있다.
- [0021] 이하에서, 본 발명의 기술적 사상에 의한 다양한 실시예들에 의한 반도체 소자의 제조방법들이 설명된다.
- [0022] 도 3 내지 도 12는 본 발명의 기술적 사상에 의한 반도체 소자의 제조방법을 나타내는 종단면도들이다.
- [0023] 도 3을 참조하면, 벌크층(110)의 소정 영역에 다수의 벌크 트렌치들(114)이 형성될 수 있다. 벌크 트렌치(114)들은, 리세스 공정을 이용하여 뒤에 형성될 절연층(도 4의 120 참조) 및 활성층(도 5의 130 참조)이 매립될 수 있는 충분한 깊이로 형성될 수 있다. 벌크층(110)은, 단결정 실리콘(single-crystalline Si)과 같은 반도체 물질로 구성될 수 있다. 가령, 벌크층(110)은, 벌크 실리콘 웨이퍼(bulk silicon wafer)로 구성될 수 있다.
- [0024] 도 4를 참조하면, 절연 물질(도시되지 않음)이 벌크층(110) 상에 형성됨으로써, 벌크 트렌치들(114)을 채울 수 있다. 상기 절연 물질은 단결정 실리콘과 비교하여 절연성이 우수하고, 굴절율이 낮은 실리콘 산화물 혹은 실리콘 산질화물로 형성될 수 있다. 상기 절연 물질은, 열산화 공정 혹은 화학 기상 증착(CVD) 공정에 의하여 증착될 수 있다.
- [0025] 계속해서, 절연 물질이 부분적으로 제거됨으로써, 각 벌크 트렌치(114)의 하부 영역을 채우는 절연층들(120)을 형성할 수 있다. 절연층(120)은, 부분 화학적 기계적 연마(CMP) 공정 및/또는 부분 에치백 공정을 이용하여 형성될 수 있다. 상기 공정은 벌크층(110)의 상면이 노출되고 나서, 절연층들(120)의 상면이 벌크층(110)의 상면보다 하부에 형성될 때까지 진행될 수 있다. 절연층(120)의 상면 레벨이 벌크층(110)의 상면 레벨보다 낮게 위치됨으로써, 후속 공정에서 활성층(130)이 매립될 수 있는 공간이 절연층(120) 상에 마련될 수 있다.
- [0026] 도 5를 참고하면, 벌크층(110) 상에 비정질 실리콘(도시되지 않음)이 형성될 수 있다. 상기 비정질 실리콘은 화학 기상 증착(CVD) 공정을 이용하여 적어도 절연층들(120) 상에 증착될 수 있다. 계속해서, 실리콘 물질이 부분적으로 제거됨으로써, 트렌치(114)의 상부 영역을 채우는 활성층들(130)을 형성할 수 있다. 활성층들(130)은, CMP 공정 혹은 에치백 공정을 이용하여 형성될 수 있다. 진술한 평탄화 공정은 적어도 벌크층(110)의 상면이 완전히 노출되고, 활성층(130)의 상면이 벌크층(110)의 상면과 실질적으로 같아질 때까지 진행될 수 있다. 이하, 상기 비정질 실리콘(a-Si)을 제1비정질 실리콘층(130a)이라고 한다.
- [0027] 이와 같이, 벌크층(110)의 상면이 활성층들(130)의 상면과 동일한 레벨에 위치하기 때문에, 후속 공정에서 활성

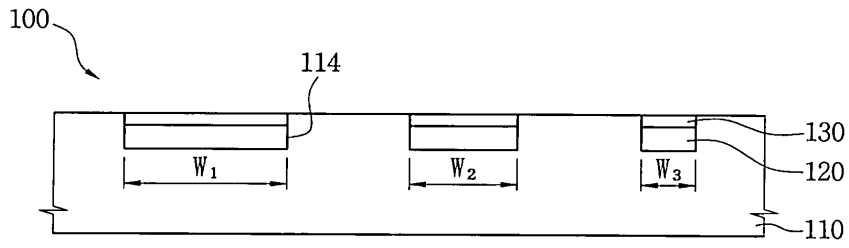
층(130)을 에피택셜 성장시키는데 있어서 별도의 종자층이 형성되지 않을 수 있다. 벌크층(110)을 종자층(seed layer)으로 활용할 수 있기 때문이다. 특히, 벌크층(110)의 상면 레벨이 활성층들(130)의 상면 레벨과 일치하기 때문에, 활성층들(130)의 재결정화가 횡방향으로 진행되는 데 매우 효과적이다.

- [0028] 도 6을 참조하면, 비정질 실리콘을 재결정화하는 1차 어닐링 공정이 제1비정질 실리콘막(130a)에 대하여 실시될 수 있다.
- [0029] 재결정화(re-crystallization)는, 열처리 공정(annealing process)에 의하여 수행될 수 있다. 비정질 실리콘(a-Si)이 열처리되면, 비정질 실리콘(a-Si)은 단결정 실리콘(single-crystalline Si) 혹은 다결정 실리콘(poly-crystalline Si)으로 전환될 수 있다. 즉, 재결정화에 의하여, 활성층들(130)의 비정질 상태(amorphous state)가 결정질 상태(crystalline state)로 변경될 수 있다. 열처리 공정은, 엑시머 레이저 처리 기술(excimer laser processing technique)과 같은 레이저 어닐링 공정에 의하여 실행될 수 있다. 엑시머 레이저 빔은, 매우 짧은 시간 동안, 가령 수나노초 동안 비정질 실리콘(a-Si)에 조사되어, 비정질 실리콘(a-Si)을 쉽게 녹일 수 있다. 비정질 실리콘(a-Si)이 레이저 공정에 의하여 녹은 후 다시 응고되면서, 비정질 실리콘(a-Si)은 재결정화될 수 있다. 이로써, 비정질 실리콘은 단결정 실리콘으로 전환될 수 있다.
- [0030] 비정질 실리콘을 재결정화기 위하여, 레이저 어닐링 공정이 제1비정질 실리콘층(130a) 상에 실시되면, 고체 상태의 비정질 실리콘이 레이저 빔을 이용하여 녹을 수 있다. 이때, 재결정화는, 벌크층(110)으로부터 시작하여 횡방향으로 진행될 수 있다. 제1비정질 실리콘층(130a)은 벌크층(110)을 종자층으로 하여 횡방향으로 재결정화가 진행되며, 벌크층(110)과 동일한 결정 방위를 가지게 된다. 즉, 비정질 실리콘은, 단결정 실리콘으로 구성된 벌크층(110)과 동일한 결정 방위를 가짐으로써, 단결정 실리콘으로 재결정화되는 것이다.
- [0031] 도 7을 참조하면, 폭이 비교적 넓은 활성층(130)은 충분히 재결정화가 수행되지 못할 수 있다. 가령, 비정질 실리콘은 시드층 즉, 단결정 실리콘으로부터 소정 영역 즉, 경계선(132) 까지 횡방향 에피택셜 성장할 수 있다. 가령, 경계선(132) 내부 영역의 비정질 실리콘은 LEG 공정을 통하여 단결정 실리콘으로 전환될 수 있지만, 경계선(132) 외부 영역의 비정질 실리콘은 단결정 실리콘으로 전환되지 못하고, 유사 단결정 실리콘 혹은 다결정 실리콘으로 전환될 수 있다.
- [0032] 한편, 다결정 실리콘층(130c)이 광 입출력 소자로 사용되면, 광 손실이 초래될 수 있다. 다결정 실리콘의 결정 입계(grain boundary)에서 빛이 산란될 수 있기 때문이다.
- [0033] 도 8 내지 도 11을 참조하면, 다결정 실리콘을 다시 재결정화하기 위하여, 2차 어닐링 공정이 실시될 수 있다.
- [0034] 단결정 실리콘(single-crystalline Si)의 녹는점(melting point)은 대략 1450℃ 정도 이상이고, 다결정 실리콘(poly-crystalline Si)의 녹는점은 대략 1400℃ 정도 이상이다. 따라서, 양 실리콘의 녹는점은 같거나 유사하다. 재결정화를 위하여 활성층들(130)에 레이저 빔이 조사되면, 다결정 실리콘(poly-crystalline Si) 뿐만 아니라 단결정 실리콘(single-crystalline Si)도 함께 녹아 버릴 수 있다.
- [0035] 한편, 비정질 실리콘(a-Si)은 녹는점(melting point)은 대략 1000℃ 정도 이상이다. 단결정 실리콘(single-crystalline Si) 혹은 다결정 실리콘(poly-crystalline Si)과 비교하면, 비정질 실리콘(a-Si)은 상대적으로 저온에서 녹는 것을 알 수 있다. 단결정 실리콘(single-crystalline Si)과 녹는점이 유사한 다결정 실리콘(poly-crystalline Si)이 단결정 실리콘(single-crystalline Si)보다 녹는점이 낮은 비정질 실리콘(a-Si)으로 대체되면, 레이저 빔의 조사가 상대적 저온에서 수행될 수 있다. 따라서, 비정질 실리콘(a-Si)의 녹는점 이하의 온도에서 레이저 빔이 조사되면, 단결정 실리콘(single-crystalline Si)은 녹지 않고, 비정질 실리콘(a-Si)만 녹게 됨으로써, 이미 재결정화된 단결정 실리콘(single-crystalline Si)에는 영향을 주지 않으면서 비정질 실리콘(a-Si)의 재결정화를 실현할 수 있다.
- [0036] 도 8을 참조하면, 활성층들(130) 상에 포토레지스트(도시되지 않음)가 소정의 두께로 형성될 수 있다. 노광 및 현상 공정을 이용하여 포토레지스트가 선택적으로 제거됨으로써, 다결정 실리콘층들(130c)이 노출되는 포토레지스트 패턴들(140)을 형성할 수 있다. 이미 재결정화된 단결정 실리콘층(130b)은 노출되지 않도록 한다.
- [0037] 도 9를 참조하면, 포토레지스트 패턴(140)을 식각 마스크로 사용하여 노출된 다결정 실리콘층들(130c)이 제거될 수 있다. 건식 식각 방법이 이용될 수 있다. 다결정 실리콘층들(130c)이 제거됨으로써, 절연층들(120)을 노출시키는 실리콘 트렌치들(134)이 형성될 수 있다. 식각 공정 후에, 포토레지스트 패턴(140)이 제거될 수 있다.
- [0038] 도 10을 참조하면, 실리콘 트렌치들(도 9의 134)을 채울 수 있도록, 비정질 실리콘(a-Si)이 전면적으로 증착될

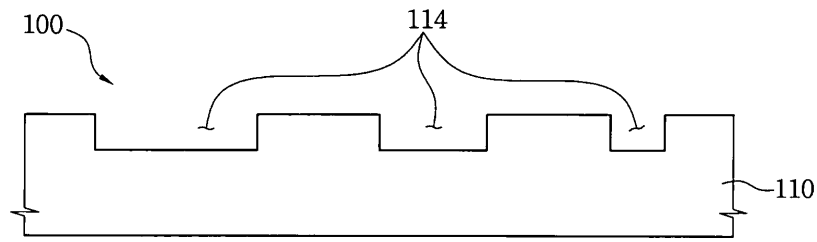
수 있다. PVD 혹은 CVD 방법이 이용될 수 있다. 전술한 바와 같이, 실리콘과 같은 반도체 물질을 PVD 혹은 CVD 방법을 이용하여 전면적으로 증착하게 되면, 증착된 실리콘은 비정질 상태에 있게 된다. 단결정 실리콘층들(130b)이 노출될 때까지 평탄화 공정이 수행될 수 있다. 이로써, 실리콘 트렌치들(134) 내에 제2비정질 실리콘층들(130d)이 형성될 수 있다.

- [0039] 도 11을 참조하면, 제2비정질 실리콘층들(130d) 상에 2차 어닐링 공정이 실시될 수 있다. 이를 위하여, 레이저 빔이 조사될 수 있다. 레이저 빔이 단결정 실리콘층들(130b) 상에도 조사될 수 있으나, 어닐링은 비정질 실리콘(a-Si)의 녹는점 이하의 온도에서 진행되기 때문에, 단결정 실리콘(single-crystalline Si)은 그대로 있게 된다.
- [0040] 레이저 빔의 조사에 의하여, 비정질 실리콘은 횡방향에서 재결정화될 수 있다. LEG 공정을 이용하여 도 2에 도시된 바와 같이, 재결정화가 충분하게 수행되면, 재결정화 공정은 더 이상 요구되지 않는다. LEG 공정에도 불구하고 도 12에 도시된 바와 같이, 재결정화가 부분적으로 수행되면, 재결정화 공정이 더 요구될 수 있다. 활성층(130)이 일부 다결정 실리콘층(130c) 상태에 있게 되면, 활성층(130)이 전부 단결정 실리콘층(130b)으로 전환될 때까지, 도 7 내지 도 10에 도시된 바와 같이 전술한 동일한 과정이 반복하여 수행될 수 있다. 가령, 활성층(130)의 폭(W3)이 상대적으로 큰 경우에는 어닐링 공정이 2번 이상 진행될 수 있다.
- [0041] 도 13은 본 발명의 기술적 사상에 의한 다양한 응용 실시예에 의한 반도체 소자의 제조방법을 나타내는 종단면도이다.
- [0042] 다시 도 8을 참조하면, 벌크층(110) 상에 포토레지스트막이 소정의 두께로 형성되고, 노광 및 현상 공정을 이용하여 다결정 실리콘들(130c)을 노출시키는 포토레지스트 패턴(140)이 형성되는 점에서, 상기 일 실시예와 동일하다.
- [0043] 도 13을 참조하면, 포토레지스트 패턴들(140)을 식각 마스크가 아닌 이온주입 마스크로 사용하여 노출된 다결정 실리콘층들(130c)에 이온주입 공정이 실시될 수 있다. 다결정 실리콘(poly-crystalline Si)을 비정질 실리콘(a-Si)으로 유도하기 위하여, 비정질화 이온주입 전처리(Pre-Amorphization Implantation: PAI) 공정이 사용될 수 있다. 비정질화 이온주입 전처리(PAI) 공정에서, 실리콘(Si) 혹은 저매니움(Ge)이 도펀트로 이 이용될 수 있다. 다결정 실리콘을 비정질 상태로 전환시킬 수 있을 정도의 충분한 에너지와 도우즈로 도펀트가 주입될 수 있다. 따라서, 실리콘(Si) 혹은 저매니움(Ge)이 도핑된 다결정 실리콘층들(130c)은 비정질 상태로 전환될 수 있다.
- [0044] 다시 도 10을 참조하면, 이온주입을 통하여 다결정 실리콘이 비정질 실리콘으로 유도됨으로써, 다결정 실리콘층들(130c)이 제2비정질 실리콘층들(130d)로 재결정화될 수 있다. 다시 도 11을 참조하면, 이를 재결정화 하기 위하여, 이온 주입된 제2비정질 실리콘층들(130d) 상에 2차 혹은 3차 어닐링 공정이 실시될 수 있다. 이로써, 단결정 실리콘층들(130b)로부터 횡방향으로 재결정화가 진행됨으로써, 활성층(130)이 궁극적으로 전부 단결정 실리콘(single-crystalline Si)으로 재결정화되는 점은 상기 일 실시예와 동일하다.
- [0045] 도 14는 본 발명의 기술적 사상에 의한 광 입출력 소자의 구성을 나타내는 사시도이다.
- [0046] 도 14를 참조하면, LEG 공정을 이용하여 벌크 실리콘 웨이퍼 상에 SOI 층이 형성되는 반도체 소자(100)는 광 입출력 소자(210)를 제조하는데 이용될 수 있다. 절연층(120)과 활성층(130)으로 구성되는 SOI 층이 벌크층(110)의 리세스 내부에 형성됨으로써, 광 입출력 소자(210)는 광 도파로의 기능을 수행할 수 있다.
- [0047] 광 신호가 입출력되는 양측 단자들(212)의 폭이 그 사이에서 광 신호가 전달되는 도파로(214)의 폭보다 비교적 넓다. 양측 단자들(212)의 면적이 확장됨으로써, 광 신호가 양측 단자들(212)에서 용이하게 송수신될 수 있다. 통상의 에피택셜 성장 공정 등을 이용하여 광폭을 가지는 비정질 실리콘이 단결정 실리콘으로 전환될 때, 폭 방향에서 성장의 한계가 있을 수 있다. 그러나, 본 발명의 레이저 유도 횡방향 에피택셜 성장을 이용하는 기술은 광 입출력 소자(210)의 광폭 단자들(212)에 적합하다. 따라서, 레이저 유도 횡방향 에피택셜 성장을 이용하게 되면, 비정질 실리콘의 폭이 비교적 큰 경우에도 재결정화의 한계가 없다.
- [0048] 도 15는 본 발명의 기술적 사상에 의한 광전 집적 회로의 구성을 개략적으로 나타내는 블록도이다.
- [0049] 도 15를 참조하면, 광 입출력 소자(210)는 광전 집적 회로(200)를 제조하는데 이용될 수 있다. 광전 집적 회로(200)는, 상호 통신을 수행하는 제1 및 제2전자 소자(220, 230), 제1전자 소자(220)로부터 전기 신호(222)를 수신하여 광 신호(224)를 발생시키는 제1광전 소자(240), 광 신호(224)를 전달하는 광 입출력 소자(210), 및 광 입출력 소자(210)로부터 광 신호(226)를 수신하여 전기 신호(228)를 발생시키는 제2광전 소자(250)를 포함할 수

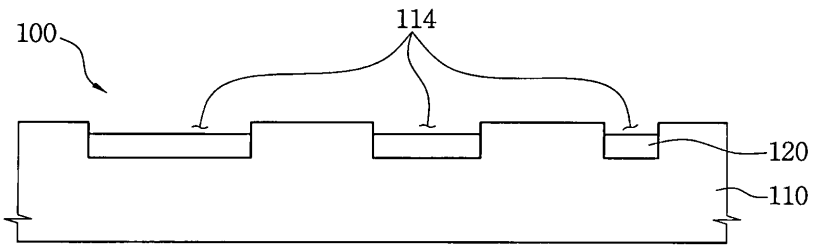
도면2



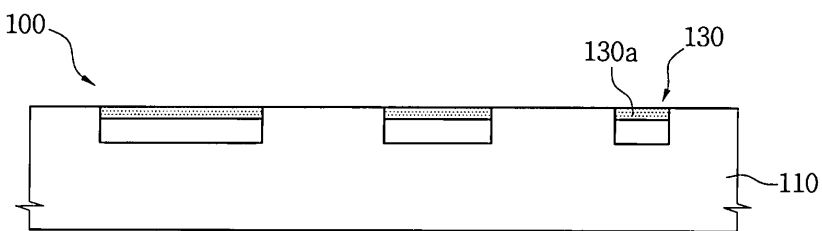
도면3



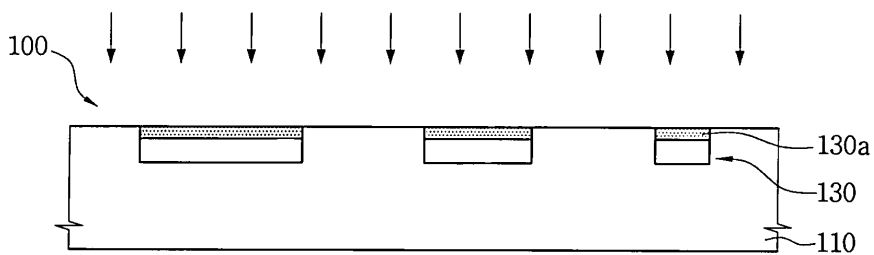
도면4



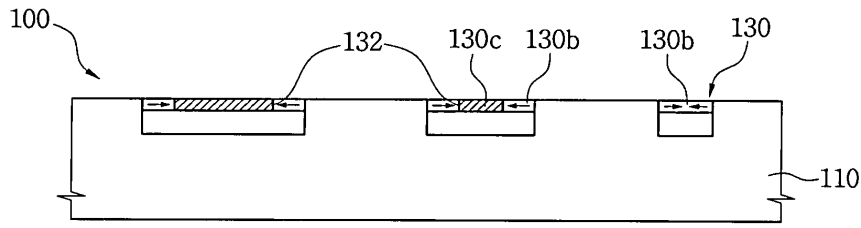
도면5



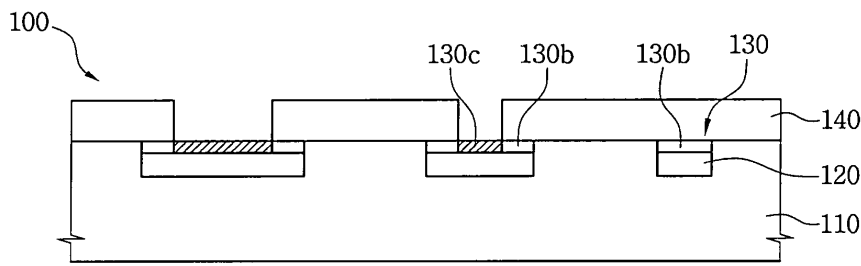
도면6



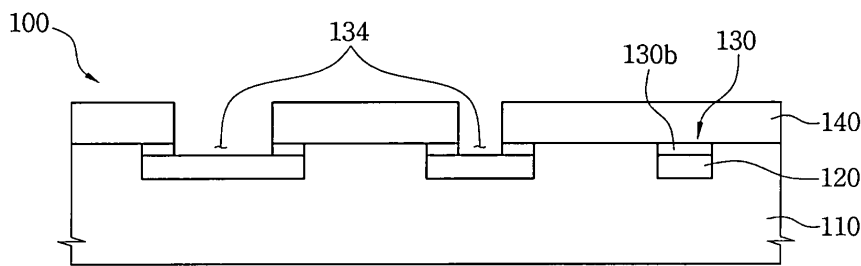
도면7



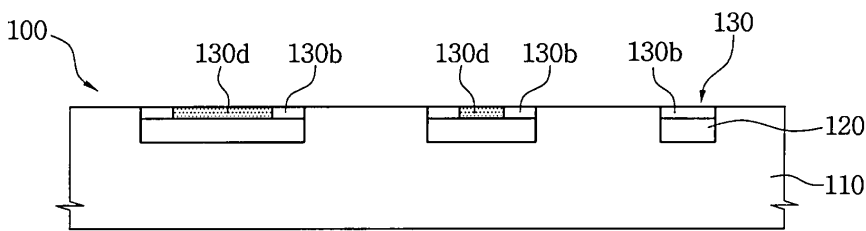
도면8



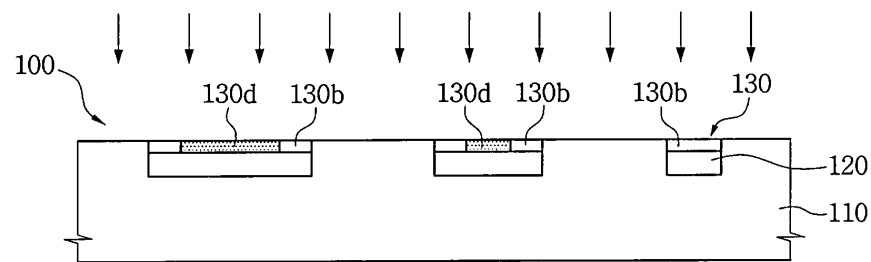
도면9



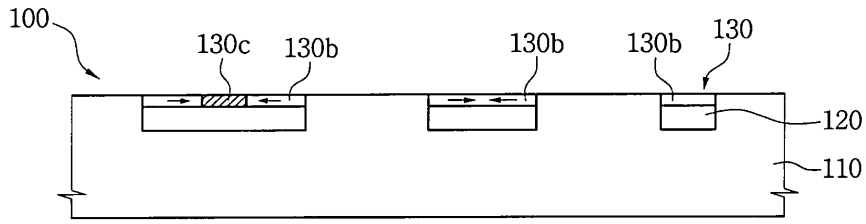
도면10



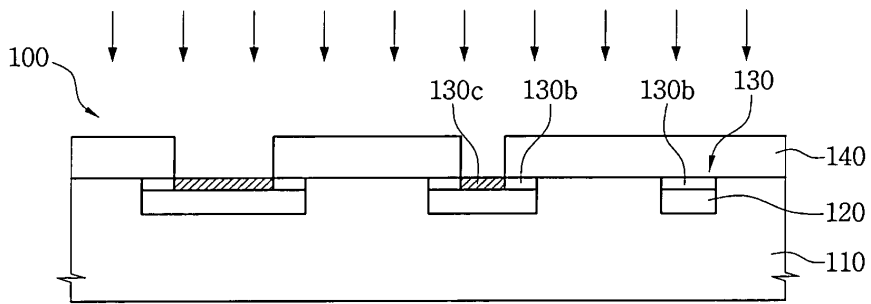
도면11



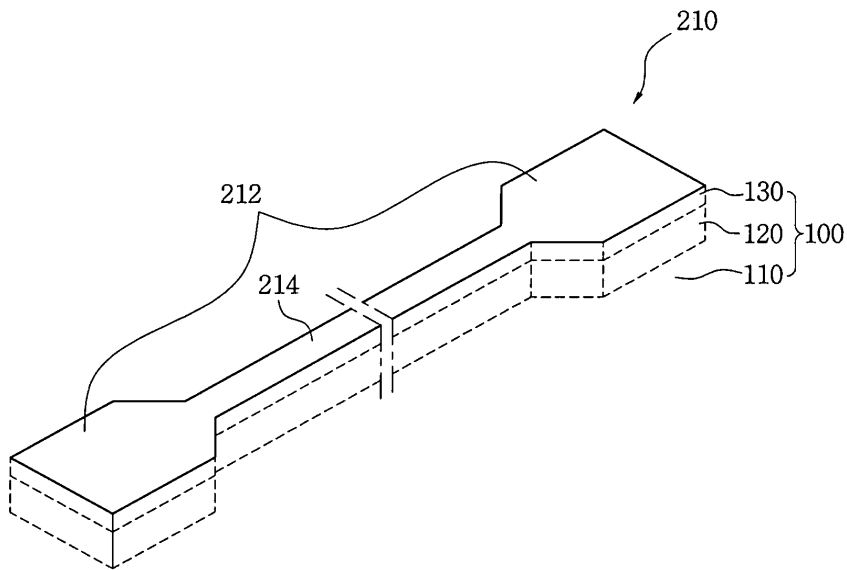
도면12



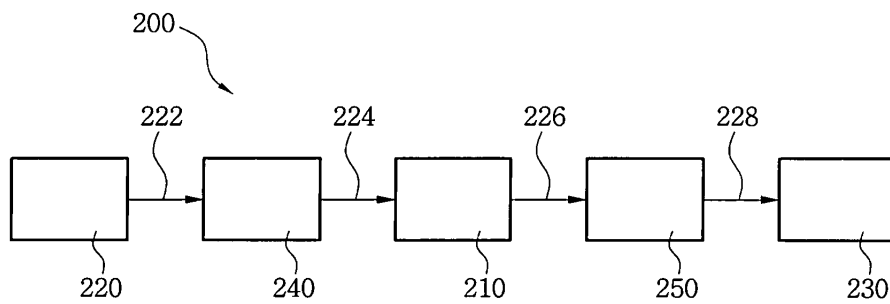
도면13



도면14



도면15



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 4(평탄화 특징 참조)

【변경전】

제1 단결정 실리콘층

【변경후】

제1 다결정 실리콘층