(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[8]
H01L 21/336 (2006.01)

(45) 공고일자 2006년01월26일
(11) 등록번호 10-0546723
(24) 등록일자 2006년01월19일

(21) 출원번호 10-2003-0101879
(22) 출원일자 2003년12월31일

(65) 공개번호 10-2005-0069626
(43) 공개일자 2005년07월05일

(73) 특허권자 동부아남반도체 주식회사
서울 강남구 대치동 891-10

(72) 발명자 서영훈
경기도부천시원미구상동라일락마을2334동302호

(74) 대리인 서천석

심사관 : 정회환

(54) 반도체 소자의 폴리레지스터 형성방법

요약

본 발명은 반도체 소자의 폴리레지스터 형성방법에 관한 것으로, 보다 자세하게는 비정질 실리콘이나 도핑된 폴리실리콘을 증착하여 폴리레지스터를 형성함으로써 폴리레지스터의 낮은 저항을 실현하고 공정을 단순화 할 수 있는 방법에 관한 것이다.

본 발명의 반도체 소자의 폴리레지스터 형성방법은 소자분리막이 구비된 반도체 기판에 버퍼 산화막을 형성하는 단계; 상기 버퍼 산화막의 상부에 폴리레지스터 물질을 증착하는 단계; 상기 폴리레지스터 물질을 부분식각하여 폴리레지스터 영역을 형성하는 단계; 상기 폴리레지스터 영역을 포함한 반도체 기판에 게이트 산화막 및 폴리실리콘을 증착하는 단계; 상기 폴리실리콘을 부분식각하여 게이트 전극 및 폴리레지스터 전극을 형성하는 단계; 상기 게이트 전극을 마스크로 하여 LDD 영역을 형성하는 단계; 및 상기 게이트 전극과 폴리레지스터 전극의 측벽부에 스페이서를 형성하는 단계로 이루어짐에 기술적 특징이 있다.

따라서, 본 발명의 반도체 소자의 폴리레지스터 형성방법은 비정질 실리콘이나 도핑된 폴리실리콘을 증착하여 폴리레지스터를 형성함으로써 폴리레지스터의 낮은 저항을 실현하고 공정을 단순화 할 수 있는 효과가 있다.

대표도

도 2e

색인어

폴리레지스터

명세서

도면의 간단한 설명

도 1a 내지 도 1c는 종래기술에 의한 폴리레지스터 형성방법의 공정 단면도.

도 2a 내지 도 2e는 본 발명에 의한 폴리레지스터 형성방법의 공정 단면도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 폴리레지스터(polyresistor) 형성방법에 관한 것으로, 보다 자세하게는 비정질(amorphous) 실리콘이나 도핑된 폴리실리콘(doped polysilicon)을 증착하여 폴리레지스터를 형성함으로써 폴리레지스터의 낮은 저항을 실현하고 공정을 단순화 할 수 있는 방법에 관한 것이다.

일반적으로 아날로그 반도체 장치는 로우와 하이의 두 가지 상태만의 신호를 갖는 디지탈 반도체 장치와는 다르게 여러 상태의 정보를 저장하기 위해서 회로의 필요한 각각의 노드(node)에 레지스터와 캐패시터(capacitor)를 첨가하게 되며, 이러한 레지스터의 저항값과 캐패시터의 용량은 전압의 변화에 따라 변화가 큰 경우 불량이 발생된다. 그러므로 모오스 전계효과 트랜지스터(metal-oxide-semiconductor field effect transistor)와 폴리 레지스터가 결합된 아날로그 반도체 장치에서는 레지스터가 특정 저항값을 갖도록 요구된다.

또한, 일반적으로 반도체 소자가 초고집적화 될수록 기생저항(parasitic resistance) 효과를 줄이기 위해 게이트 전극과 소오스/드레인 전극에 선택적으로 금속층이나 금속 실리사이드층을 형성하는 자기 정렬 방식의 실리사이드(self-aligned silicide) 즉 살리사이드(sailcide) 구조를 도입하게 되는데, 이러한 살리사이드 구조가 레지스터로 사용되는 폴리실리콘상에도 형성되므로써 특정 저항값을 갖는 레지스터를 형성하기 위해서는 별도의 공정을 추가하여 이러한 레지스터상에는 실리사이드가 형성되지 않도록 해야 한다.

도 1a부터 도 1c는 종래의 실시 예에 따라 아날로그용 폴리레지스터를 제조하는 과정을 나타내는 공정 단면도이다.

먼저, 도 1a에 도시한 바와 같이, 반도체 기판(1)에 소자 분리막(2)을 형성한 다음, 상기 소자 분리막(2) 상부에는 폴리실리콘을 증착하고 소정의 불순물을 이온주입하여 특정 저항값을 가지는 폴리 레지스터(24)를 형성한다. 액티브 영역에는 게이트 산화막(3), 게이트 전극(4)과 소오스/드레인 전극(5)을 형성한다. 이 후, 전면에 산화막을 소정 두께로 증착한 다음, 비등방성 식각하여 게이트의 측벽과 폴리레지스터의 측벽, 캐패시터의 측벽에 스페이서 산화막(12)을 형성한다. 이 후, 전면에 층간 절연막(100)을 형성하고, 소자 분리막의 가장자리 소정 부분을 포함한 소오스/드레인 및 게이트 전극 영역을 노출시킨다.

다음, 도 1b와 같이, 전면에 Ti, Cr, Ni 등과 같은 고융점 금속막을 소정두께로 전면에 증착한 다음, 열처리 공정을 통하여 실리콘 영역에 실리사이드막(300)을 형성하고, 산화막 상의 반응하지 않은 금속은 식각하여 제거함으로써, 소오스/드레인 및 게이트 영역에 실리사이드를 형성한다. 상기한 실리사이드 형성공정을 살리사이드 공정이라 한다.

다음, 도 1c와 같이, 전면에 층간 절연막(6)을 소정 두께로 증착한 다음, 소자 분리막 위에 형성된 폴리 레지스터의 상부 소정 부분과 상부 캐패시터 상의 소정 부분, 소오스 드레인 영역에 형성된 실리사이드의 소정 부분을 노출시키는 콘택홀을 형성하고, 상기 노출된 부분과 전기적으로 연결되는 금속배선(7A, 7B, 7C, 7D, 7E)을 형성한다.

상기한 종래의 방법에 따르면 레지스터 물질로서 폴리실리콘을 증착하고 불순물을 이온주입하여 폴리레지스터를 형성하였다. 하지만, 상기 폴리실리콘 물질은 낮은 저항을 실현하기 위해 이온주입을 고농도로 실시하여야 하기 때문에 소오스/드레인 및 게이트를 형성하기 위한 공정과 동시에 실시되지 못하고 별도의 공정으로 진행하여야 한다. 따라서 공정이 복잡해 지고, 낮은 저항의 폴리레지스터 형성이 어렵다는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 비정질 실리콘이나 도핑된 폴리실리콘을 증착하여 폴리레지스터를 형성함으로써 폴리레지스터의 낮은 저항을 실현하고 공정을 단순화 할 수 있는 방법을 제공함에 본 발명의 목적이 있다.

발명의 구성 및 작용

본 발명의 상기 목적은 소자분리막이 구비된 반도체 기판에 버퍼 산화막을 형성하는 단계; 상기 버퍼 산화막의 상부에 폴리레지스터 물질을 증착하는 단계; 상기 폴리레지스터 물질을 부분식각하여 폴리레지스터 영역을 형성하는 단계; 상기 폴리레지스터 영역을 포함한 반도체 기판에 게이트 산화막 및 폴리실리콘을 증착하는 단계; 상기 폴리실리콘을 부분식각하여 게이트 전극 및 폴리레지스터 전극을 형성하는 단계; 상기 게이트 전극을 마스크로 하여 LDD 영역을 형성하는 단계; 및 상기 게이트 전극과 폴리레지스터 전극의 측벽부에 스페이서를 형성하는 단계로 이루어진 반도체 소자의 폴리레지스터 형성방법에 의해 달성된다.

본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다.

먼저, 도 2a는 실리콘 기판(1)에 소자분리막(2)을 형성하고 버퍼 산화막(3) 그리고 비정질 실리콘(4)이나 도핑된 폴리실리콘(4)을 순차적으로 증착하여 패턴(5)을 형성하는 단계이다.

다음, 도 2b는 상기 패턴에 의해 형성된 폴리레지스터에 추가적인 이온주입 공정을 실시하는 단계이다. 이 단계는 상기 폴리레지스터의 저항을 더 낮추기 위해 선택적으로 실행되는 단계이다.

다음, 도 2c는 게이트 산화막(6)과 폴리실리콘(7)을 순차적으로 증착하고 패턴(8)을 형성하는 단계이다.

다음, 도 2d는 상기 패턴을 식각마스크로 하여 건식식각을 실시하여 게이트 전극과 폴리레지스터를 형성하는 단계이다. 이후 종래의 트랜지스터 공정과 동일하게 LDD(lightly doped drain) 영역(9)을 형성하기 위한 이온주입을 실시한다.

다음, 도 2e는 게이트 전극과 폴리레지스터 전극의 측벽에 스페이서(spacer, 10)를 형성하는 단계이다. 이후 소오스/드레인 영역을 형성하기 위한 이온주입 공정, 실리사이드 형성공정 등의 단계는 종래의 트랜지스터 제조공정과 동일하다.

상술한 바와 같이 비정질 실리콘이나 도핑된 폴리실리콘을 증착하여 폴리레지스터를 형성함으로써 이후 이온주입을 실시하지 않고도 낮은 저항의 폴리레지스터를 형성할 수 있고, 추가적인 이온주입 단계를 실시할 경우에는 더욱 낮은 저항의 폴리레지스터를 형성할 수 있다. 또한 소오스/드레인 및 게이트 전극을 형성하는 종래의 트랜지스터 제조공정과 동시에 진행할 수 있어서, 공정의 단순화에 기여할 수 있다.

상세히 설명된 본 발명에 의하여 본 발명의 특징부를 포함하는 변화들 및 변형들이 당해 기술 분야에서 숙련된 보통의 사람들에게 명백히 쉬워질 것임이 자명하다. 본 발명의 그러한 변형들의 범위는 본 발명의 특징부를 포함하는 당해 기술 분야에 숙련된 통상의 지식을 가진 자들의 범위 내에 있으며, 그러한 변형들은 본 발명의 청구항의 범위 내에 있는 것으로 간주된다.

발명의 효과

따라서, 본 발명의 반도체 소자의 폴리레지스터 형성방법은 비정질 실리콘이나 도핑된 폴리실리콘을 증착하여 폴리레지스터를 형성함으로써 폴리레지스터의 낮은 저항을 실현하고 공정을 단순화 할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

반도체 소자의 폴리레지스터 형성방법에 있어서,

소자분리막이 구비된 반도체 기판에 버퍼 산화막을 형성하는 단계;

상기 버퍼 산화막의 상부에 폴리레지스터 물질을 증착하는 단계;

상기 폴리레지스터 물질을 부분식각하여 폴리레지스터 영역을 형성하는 단계;

상기 폴리레지스터 영역을 포함한 반도체 기판에 게이트 산화막 및 폴리실리콘을 증착하는 단계;

상기 폴리실리콘을 부분식각하여 게이트 전극 및 폴리레지스터 전극을 형성하는 단계;

상기 게이트 전극을 마스크로 하여 LDD 영역을 형성하는 단계; 및

상기 게이트 전극과 폴리레지스터 전극의 측벽부에 스페이서를 형성하는 단계

를 포함하여 이루어짐을 특징으로 하는 반도체 소자의 폴리레지스터 형성방법.

청구항 2.

제 1항에 있어서,

상기 폴리레지스터 영역을 형성하는 단계는 상기 폴리레지스터 물질을 부분식각한 후 별도의 이온주입 공정을 더 추가하여 실시함을 특징으로 하는 반도체 소자의 폴리레지스터 형성방법.

청구항 3.

제 2항에 있어서,

상기 별도의 이온주입 공정으로 폴리레지스터의 저항이 더욱 낮아짐을 특징으로 하는 반도체 소자의 폴리레지스터 형성방법.

청구항 4.

제 1항에 있어서,

상기 폴리레지스터 물질은 비정질 실리콘 또는 도핑된 폴리실리콘임을 특징으로 하는 반도체 소자의 폴리레지스터 형성방법.

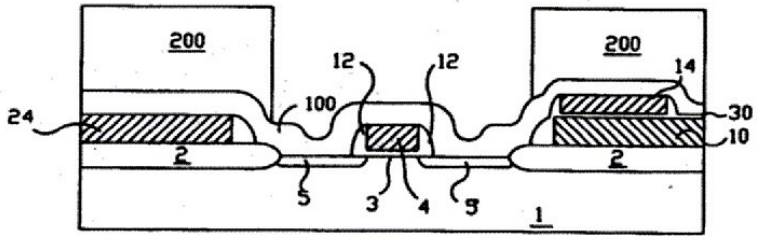
청구항 5.

제 1항에 있어서,

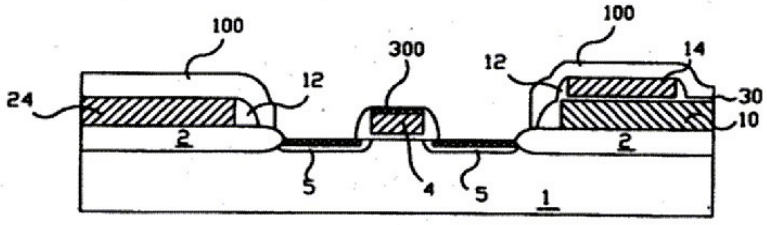
상기 게이트 전극 및 폴리레지스터 전극을 형성하는 단계는 게이트 산화막을 식각정지막으로 하여 폴리실리콘을 부분식각하여 동시에 형성됨을 특징으로 하는 반도체 소자의 폴리레지스터 형성방법.

도면

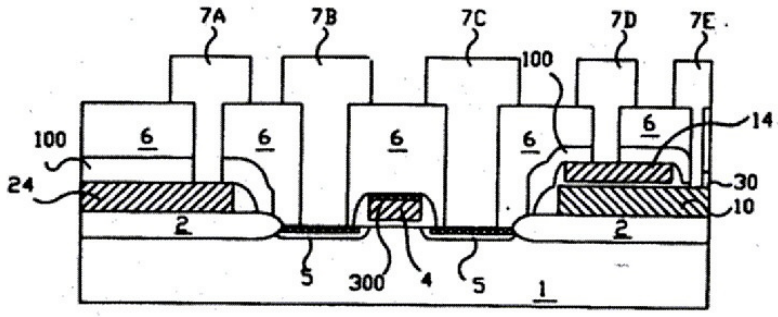
도면1a



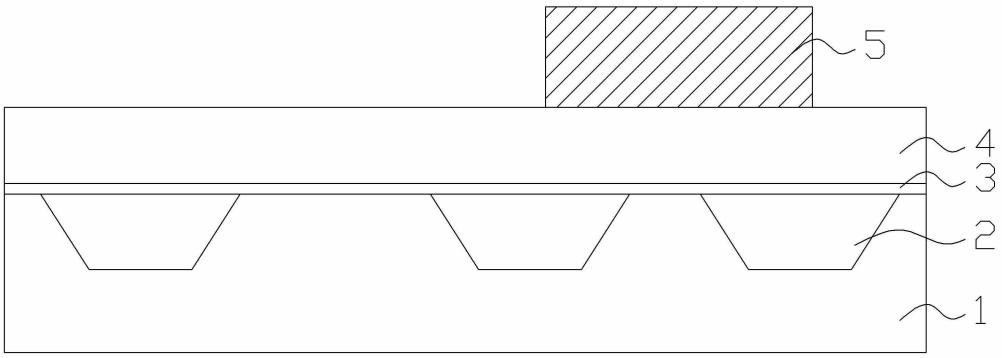
도면1b



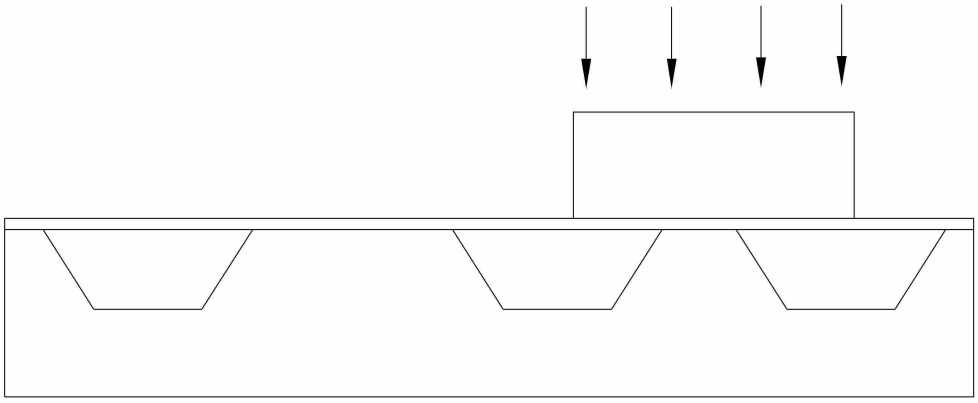
도면1c



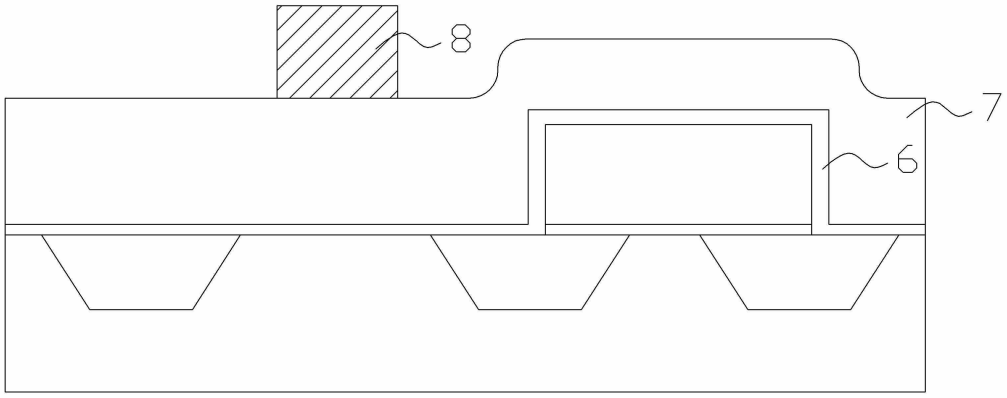
도면2a



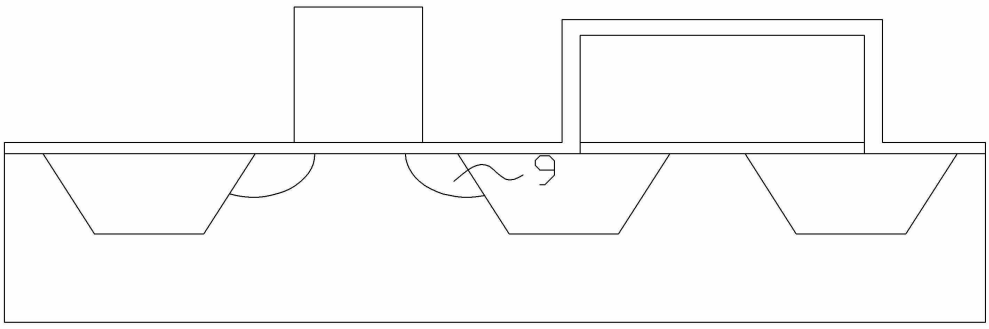
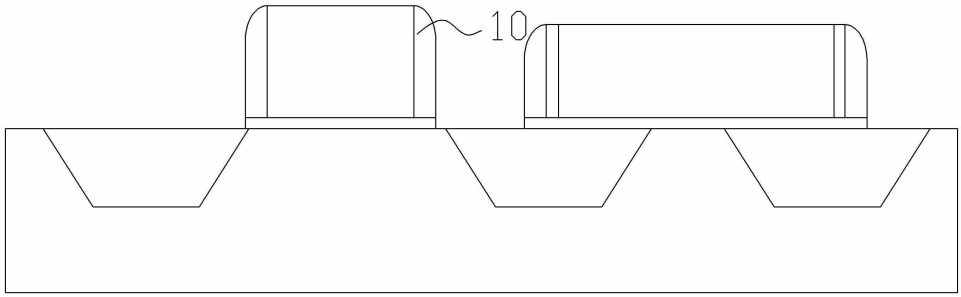
도면2b



도면2c



도면2d



도면2e