(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.
H01L 21/20 (2006.01)

(11) 공개번호 10-2006-0066126
(43) 공개일자 2006년06월15일

(21) 출원번호 10-2006-7007875
(22) 출원일자 2006년04월24일
번역문 제출일자 2006년04월24일
(86) 국제출원번호 PCT/US2004/032351
국제출원일자 2004년09월30일
(87) 국제공개번호 WO 2005/034196
국제공개일자 2005년04월14일

(30) 우선권주장 10/954,819 2004년09월29일 미국(US)
60/507,851 2003년09월30일 미국(US)

(71) 출원인 에비자 테크놀로지, 인크.
미국 캘리포니아 스코츠 밸리 킹스 빌리지 로드 440 (우:95066)

(72) 발명자 이, 상-인
미국 95014 캘리포니아 쿠퍼티노 산 주안 로드 22608
오양, 존 에스.
미국 95132 캘리포니아 샌어제이 썬크레스트 애브뉴 3867
센자키, 요시히데
미국 95003 캘리포니아 압토스 클럽하우스 드라이브 400
헬름스, 오브리 엘.
미국 95032 캘리포니아 로스 가토스 체리 블로썸 레인 106
캅킨, 케렘
미국 95032 캘리포니아 와슨빌 호프 드라이브 58

(74) 대리인 남상선

심사청구 : 없음

(54) 하프늄-기재의 높은-k 의 원자층 증착

요약

하프늄-기재 유전체막을 증착하는 방법이 제공된다. 상기 방법은 하프늄 전구체를 포함하는 하나 이상의 반응물과 오존을 사용하는 원자층 증착을 포함한다. 또한 반도체 소자가 제공된다. 상기 소자는 기판, 기판의 상부에 형성된 하프늄-기재 유전체층, 및 상기 기판과 상기 하프늄-기재 유전체층 사이에 형성된 계면층을 포함하며, 상기 계면층은 실리콘 이산화물을 포함하며 결정성 구조를 갖는다.

대표도

도 1

명세서

기술분야

본 출원은 2003년 9월 30일자로 출원된 미국 가출원 No. 60/507,851호의 장점 및 우선권을 청구하며, 상기 문헌은 본 명세서에서 참조된다.

본 출원은 2002년 7월 19일자로 출원된 미국 가출원 No. 60/396,723호 및 2002년 7월 19일자로 출원된 미국 가출원 No. 60/396,745호의 장점 및 우선권을 청구하는, "높은 k-유전체막의 원자층 증착"이란 명칭으로 2003년 7월 16일자로 출원된 PCT 특허 출원 번호 No. PCT/US03/22235호(대리인 도케 NO. FP-71639-PC/MSS)호; 2002년 6월 23일자로 출원된 미국 가출원 No. 60/391,011호의 장점 및 우선권을 청구하는, "원자층 제거 및 원자층 교체를 위한 방법 및 시스템 "이란 명칭으로 2003년 6월 23일자로 출원된 PCT 특허 출원 No. PCT/US03/19982호(대리인 도켓 No. FP-71606-PC/MSS); 및 2002년 6월 23일자로 출원된 미국 가출원 No. 60/391,012호 및 2002년 7월 19일자로 출원된 미국 가출원 No.60/396,743호의 장점을 청구하는, " 에너지-보조 원자층 증착 및 제거 방법"이란 명칭으로 2003년 6월 23일자로 출원된 PCT/US03/19984호(대리인 도켓 No. FP-71606-1-PC/MSS)에 관한 것이며, 상기 모든 문헌들은 본 명세서에서 참조된다.

본 발명은 반도체 분야에 관한 것으로 특히 반도체 소자 및 집적 회로에 사용되는 높은-k 유전체막을 제조하는 방법에 관한 것이다.

배경기술

차세대 반도체 소자들은 MOS(금속-산화물-반도체) 게이트 및 캐패시터 절연체에 대해 얇은 유전체막을 요구한다. 실리콘 이산화물(SiO_2)은 실리콘 이산화물의 높은 보전성, 낮은 결함 밀도 및 높은 밴드 갭으로 인해 반도체 소자에서 유전체로서 가장 보편적으로 사용된다. 반도체 소자 피쳐(feature) 크기가 지속적으로 축소됨에 따라, 집적회로내의 SiO_2층의 두께 또한 감소된다. 그러나 SiO_2가 상대적으로 낮은 유전상수(k=3.9)를 갖기 때문에, 이러한 축소는 곧 10 옴스트롱(Å) 정도의 SiO_2 두께를 야기시키기게 되어, 양자 역학적 터널링 효과로 인한 전하 누설이 중요해지고 SiO_2 층의 브레이크 다운이 낮은 게이트 전압에서도 발생할 수 있다.

소자 피쳐 크기가 보다 작아짐에 따라 대안적으로 SiO_2 보다 높은 유전 상수를 갖는 "높은-k" 유전체 물질, 즉, 4 이상의 유전상수를 가지는 물질이 개발되었다. 예를 들어, Ta_2O_5, TiO_2, Al_2O_3, Y_2O_3, ZrO_2와 같은 금속 산화물 및 강유전성 BST (바륨 스트론튬 티타네이트)가 게이트 유전체로 제안되고 개발되었다. 이러한 높은-k 유전체 물질의 대부분은 충분히 높은 유전상수 및 증착 시간에서 충분한 보존도를 갖는다. 그러나, 높은-k 유전체 물질의 일부는 실리콘 기판과 접촉시 화학적 안정성이 부족하거나 또는 포스트-증착 프로세스에서의 통상적인 온도에서 열적 안정성이 부족하다.

전류 누설을 최소화 또는 방지하기 위해 높은-k 유전체 물질은 높은 밴드 갭 및 배리어 높이를 갖는 것이 바람직하다. 밴드 갭(Eg)은 가장높은 가전자 밴드와 가장낮은 전도성 밴드 사이의 에너지 갭이다. 배리어 높이는 높은-k 유전체의 존재로 인한 금속과 반도체 사이의 전위(전압) 배리어로 간주된다. 불행히도, 가장 높은-k 물질은 SiO_2 보다 낮은 밴드 갭을 가지며 이들 밴드 갭은 유전상수에 반비례한다.

반도체 소자 성능에서 전하 트랩핑 및 전자 이동도 감소는 높은-k 유전체 물질의 완성에 있어 중요한 문제가 되고 있다. 게이트 채널에서의 전자들은 높은 동작 속도, 강화된 성능 특성, 및 저전력 소모를 갖는 소자를 제공하도록 높은 이동도 또는 낮은 저항을 갖는 것이 바람직하다. 통상적인 H_2O-기재의 높은-k 유전체 막은 수산기(OH-) 불순물을 포함하며, 이는 전하 트랩핑의 주요 원인 또는 장소가되어, 높은-k 막의 전자 이동도 감소를 야기시킨다.

따라서, 높은-k 유전체 물질에서는 종래 기술의 유전체 물질의 상기 문제점 및 또다른 문제점들의 해결을 위한 개발이 요구된다.

발명의 상세한 설명

본 발명은 하프늄-기재 유전체 막을 증착하는 방법을 제공한다. 상기 방법은 하프늄 전구체를 포함하는 하나 이상의 반응물과 산소를 이용하여 원자층을 증착하는 단계를 포함한다. 하프늄 전구체는 하프늄 t-부톡시드($Hf(OtBu)_4$), 테트라키스

(디메틸아미노) 하프늄(TDMAHf), 테트라키스(디에틸아미노) 하프늄(TDEAHf), $Hf(MMP)_4$, 및 테트라키스(에틸메틸아미노) 하프늄(TEMAHf)일 수 있다. 형성된 하프늄-기재 유전체 막은 하프늄 산화물 또는 실리케이트일 수 있다. 하나 이상의 반응물 및 오존은 샤워헤드 인젝터를 통해 ALD 챔버에 주입될 수 있다. 원자층 증착은 바람직하게 400℃ 이하의 온도에서 수행된다.

일부 실시예에서, 하나 이상의 반응물은 하프늄 전구체와 실리콘 전구체를 포함하며, 상기 하프늄 전구체와 실리콘 전구체는 예비-혼합되어 원자층을 증착하는 동안 ALD 챔버에 공동-주입된다. 선택적으로, 하프늄 전구체와 실리콘 전구체는 원자층을 증착하는 동안 ALD 챔버속에 독립적으로 개별적으로 주입될 수 있다.

또한 본 발명은 반도체 소자를 제공한다. 반도체 소자는 기판, 기판 상부에 형성된 하프늄-기재 유전체층 및 기판과 하프늄-기재 유전체층 사이에 형성된 계면층을 포함한다. 계면층은 실리콘 이산화물을 포함하며 결정성 구조를 갖는다. 하프늄-기재 유전체는 하프늄 이산화물 또는 하프늄 실리케이트일 수 있으며 비정질 구조를 가질 수 있다. 계면층의 두께는 약 2-5 옴스트롱의 범위일 수 있다. 상기 소자는 하프늄-기재 유전체층 상부에 전극층을 더 포함할 수 있으며 MOSFET 및 MOS 캐패시터에 사용될 수 있다.

본 발명의 다양한 다른 장점들은 하기 제공되는 첨부되는 도면 및 청구항들과 함께 하기의 상세한 설명부에 의해 명확해질 것이다.

도면의 간단한 설명

도 1A 및 1B는 본 발명의 일 실시예에 따라 TEMAHf 및 O_3로부터 얻은 HfO_2막의 AES(Auger Electron Spectroscopy) 분석을 나타내는 그래프이다.

도 2는 본 발명의 일 실시예에 따라 형성된 65Å 두께의 Hf-Si-O 막에 대한 HRTEM(high-resolution transmission electron microscope) 이미지의 단면도이다.

도 3은 본 발명의 일 실시예에 따라 제조된 SiO_2/HfO_2 막의 다양한 성분들의 원자 농도를 도시한다.

실시예

본 발명은 MOSFET 및 MOS 캐패시터 커패시터와 같은 반도체 소자의 제조에 유용한 높은-k 유전체막을 형성하는 방법을 제공한다. 일반적으로, 본 발명의 방법은 하프늄 전구체를 포함하는 하나 이상의 반응물 및 오존을 사용하는 원자층 증착(ALD) 단계를 포함한다. 하프늄 전구체는 $Hf(OtBu)_4$, TDMAHf, TDEAHf, $Hf(MMP)_4$, 및 TEMAHf를 포함할 수 있다. 본 발명의 방법에 의해 형성된 하프늄-기재 유전체막은 하프늄 산화물 및 하프늄 실리케이트일 수 있다. 소정의 실시예에서, 하나 이상의 반응물은 하프늄 전구체와 실리콘 전구체를 포함할 수 있다. 하프늄 전구체와 실리콘 전구체는 예비-혼합되며 ALD 챔버속에 공동-주입된다(co-injected). 선택적으로 하프늄 전구체와 실리콘 전구체는 원자층 증착 프로세스 동안 ALD 챔버속에 개별적으로 선택적으로 주입될 수 있다.

또한 본 발명은 기판, 기판 상에 형성된 하프늄-기재 유전체층, 및 기판과 하프늄-기재 유전체층 사이에 형성된 계면층을 포함하는 반도체 소자를 제공한다. 계면층은 2-5 옴스트롱 범위의 두께를 가지면 실리콘 이산화물을 포함한다. 계면층은 화학적 및 열적 안정성이 강화된 결정성 구조물을 갖는다. 하프늄-기재 유전체층은 하프늄 이산화물 또는 실리케이트를 포함하며 특정 분야에 기초한 두께를 갖는다. 또한 반도체 소자는 게이트 전극층과 같은 전극층을 포함할 수 있다.

앞서 개시된 바와 같이, 반도체 소자 피쳐 크기를 축소시키는 방안은 소자 캐패시턴스를 증가시키기 위해 유전체층의 두께를 감소시키는 것이 요구되어, 결국 누설 전류 또는 유전체층 브레이크다운을 감소 또는 방지하기 위해서는 높은 유전상수를 갖는 유전체 물질이 요구된다. 통상적으로, MOS 소자에 대해, 게이트 전극과 하부 채널 영역 사이의 캐패시턴스는 유전체층의 유전상수에 비례하며 게이트 유전체층의 두께가 감소함에 따라 증가한다. 실리콘 이산화물이 게이트 유전체 물질로 가장 보편적으로 사용되기 때문에, 높은-k 유전체층의 EOT(equivalent oxide thickness)는 높은-k 유전체 물질과 실리콘 이산화물의 성능을 비교하는데 사용된다. EOT는 두꺼고 높은-k 유전체 물질로 얻어진 것과 동일한 게이트 캐패시턴스를 얻기 위해 요구되는 SiO_2의 두께로 간주된다. 예를 들어, 1 나노미터 EOT는 유전상수 39를 가지는 유전체 물질(SiO_2의 유전상수는 3.9이다)의 10 나노미터의 두께에 의해 달성될 수 있다. ITRS(International Technology Roadmap for

Semiconductors)에 따르면, 저전력 반도체 소자는 65nm 기술 노드에 대해 15Å 이하의 EOT를 갖는 유전체층을 요구하는 반면 고전력 성능 소자는 10Å 이하의 EOT를 요구한다. 게이트 누설 전류 요구조건이 $10^{-7}A/cm^2$인 저전력 소모 분야에 대해, 열적으로 안정하고 실리콘과 접촉시 화학적으로 안정한 높은-k 유전체막이 요구된다.

바람직하게, 본 발명의 방법은 하프늄 산화물 또는 실리케이트를 포함하는 높은-k 유전체 물질을 제공한다. 하프늄 산화물은 약 25의 유전상수를 갖는다. 하프늄 실리케이트는 막내의 실리콘 함량에 따라 약 10 내지 약 25 범위의 유전상수를 갖는다.

하프늄 산화물 및 실리케이트 유전체층은 원자층 증착(ALD)에 의해 바람직하게 형성될 수 있다. 종재의 화학적 기상 증착(CVD) 기술은 운동학적으로 제어되는 성장 반응 또는 확산-제한 반응으로 처리되며 얇은 층 증착의 제어는 어렵다. CVD 프로세스에서, 마이크로-로딩 효과 없이 웨이퍼 표면 영역에 대해 1 내지 2Å 이내로 두께 편차를 제어하는 것은 매우 어렵다. 이러한 효과는 대형 크기의 웨이퍼 증착에서 보다 두드러진다. 또한, 화학적 기상 증착을 이용함으로써 나노미터 체제에서 높은 수율을 갖는 재현성있는 소자 및 회로 성능을 달성하는 것이 주목되고 있다. 또한, 플라즈마-강화 CVD는 유전체 막에 전하 손상을 야기시킬 수 있으며, 이는 나노-스케일 박막상에 전하 축적은 통상적으로 매우 낮은 전압에서도 유전체 브레이크다운 전압 보다 크기 때문이다.

본 발명에 따른 하프늄-기재 유전체막의 형성은 하프늄 전구체를 포함하는 하나 이상의 반응물 및 오존을 사용하여 바람직하게는 약 400℃ 이하, 보다 바람직하게는 300℃ 이하의 낮은 온도에서 원자층 증착에 의해 수행된다. 바람직하게, ALD 프로세스는 보다 낮은 온도를 향하는 산업적 경향에 부응하여 상당히 낮은 온도에서 수행될 수 있다. ALD는 높은 전구체 활용 효율을 가지며, 컨포멀한 발감층을 형성할 수 있고 원자 스케일로 막 두께를 제어할 수 있고, "나노-엔지니어" 복합 박막에 이용될 수 있다. ALD 프로세스 증착 사이클에서, 제 1 반응물의 단층(monolayer)은 기판표면상에 물리적-또는 화학적흡착된다. 여분의 제 1 반응물은 불활성 정화 가스의 도움으로 바람직하게 반응 챔버로부터 배기된다. 다음 제 2 반응물이 반응 챔버에 주입되고 제 1 반응물과 반응하여 자기-제한 표면 반응을 통해 원하는 박막의 단층을 형성한다. 자기 제한 반응은 초기에 흡착된 제 1 반응물이 제 2 반응물과 완전히 반응하면 중단된다. 여분의 제 2 반응물은 불활성 정화 가스의 도움으로 바람직하게 반응 챔버로부터 배기된다. 원하는 막 두께는 필요에 따라 증착 사이클을 반복함으로써 얻어진다. 막 두께는 증착 사이클의 수를 간단히 계산함으로써 정확한 원자층으로 제어될 수 있다.

본 발명의 소정의 실시예에서, 반응물 가스는 바람작하게 가스를 균일하게 분산시키는 샤워헤드로 간주되는 것을 통해 반응 챔버속에 주입된다. 공지된 다양한 반응 챔버가 사용될 수 있다. 샤워헤드 형태의 반응기는 오존이 사용되는 경우 전구체를 주입하는데 바람직하다. 본 발명을 수행하는데 적합한 챔버 및 시스템의 두가지 예가 USP No.6,579,372 및 6,573,184호에 개시되어 있다.

소정의 실시예에서, 하프늄 전구체와 오존이 ALD 챔버속에 선택적으로 주입되고 원자층 증착에 의해 하프늄 산화물막을 형성한다. 소정의 실시예에서, 하프늄 전구체 및 실리콘 전구체 및 오존이 ALD 챔버 속에 선택적으로 주입되어 원자층 증착에 의해 하프늄 실리케이트막을 형성한다. 하프늄 전구체와 실리콘 전구체는 매니폴드에서 예비혼합되고 샤워헤드를 통해 ALD 챔버속에 공동 주입되어 균일한 하프늄 실리케이트막을 형성한다. 선택적으로, 하프늄 전구체와 실리콘 전구체는 적층된 실리콘 산화물/하프늄 산화물막을 형성하기 위해 ALD 챔버 속에 선택적으로 주입될 수 있다. 사이클의 반복으로 원하는 막을 가지는 하프늄 산화물 또는 실리케이트 막이 제공된다.

다양한 형태의 전구체가 본 발명의 방법에 사용될 수 있고 유전체막의 조성물의 일부에 기초하여 선택될 수 있다. 전구체는 고체 또는 액체 형태일 수 있다. 그러나, 고체 전구체가 사용되는 경우, 전구체는 충분한 기상 압력을 산출하고 응축을 방지하기 위해 사용 시간 동안 가열되어야 한다. 가스 전달 시스템에서 스폿 사용 또는 냉각시 고체 전구체의 가열 손실 기상(vapor)을 응축시키고 반응기를 차단할 수 있다. 또한 고체 전구체는 이들이 가변하는 표면적으로 소모되기 때문에 검출하는데 어려움을 야기시킬 수 있다. 액체 금속-유기 전구체가 사용되는 경우, 막에 통합되는 탄소 함량을 감소시키는데 주의해야 한다. 막에 통합된 탄소는 바람직하지 못하며 이는 탄소가 누설 전류 및 막 성능 저하를 야기시키기 때문이다. 본 발명에 사용되는 액체 하프늄 전구체의 예로는 제한되지 않지만, 하프늄 t-부톡시드($Hf(OtBu)_4$), 테트라키스(디메티아미노) 하프늄(TDMAHf), 테트라키스(디에틸아미노) 하프늄(TDEAHf), $Hf(MMP)_4$, 및 테트라키스(에틸메틸아미노) 하프늄(TEMAHf)이 포함된다. 도 1A 및 1B는 다양한 하프늄 전구체를 사용하여 얻어진 하프늄 산화물막의 원자 조성을 나타낸다. AES 분석은 TEMAHf 및 오존에 의해 형성된 하프늄 산화물막에서의 탄소 함량이 가장 낮다는 것을 나타낸다.

도시된 예로서, 하프늄 이산화물층은 원자층 증착에 의해 낮은 온도에서 형성된다. 250℃의 웨이퍼 온도 및 1 Torr의 챔버 압력에서, 테트라키스(에틸메틸아미노) 하프늄(TEMAHf)가 3.5초 동안 200 sccm의 Ar 흐름으로, 이어서 1초의 정화 및 2 초의 O_3 펄스(180 g/m^3, 200 sccm) 및 3 초의 정화로 프로세스 챔버에 전달된다. 이러한 증착 사이클은 1.5Å/사이클의 증착 속도로 200mm 직경의 실리리콘 기판상에 HfO_2 막을 제공한다.

바람직하게, 본 발명에서 원자층 증착시 산소 소스로서 오존이 사용된다. 이는 H_2O가 산소 소스로서 사용되어, 결과적으로 수산기 이온(OH-)이 형성되는 유전체막에 불순물로서 적절치못하게 통합되고 전하가 고정 및 트랩되는 주요 원인 또는 지점이 되는 종래 기술의 방법과는 대조된다. MOSFET 성능에 있어 전하 트랩핑은 높은-k 유전체 물질의 보전도에 있어 심각한 문제가 된다. 고정된 전하는 유전체막 내에서 하전된 지점에서 움직이지 못한다. 이러한 전하들은 유전체막에 대해 전계가 인가되는 경우 이동하지 못한다. 고정된 전하들은 유전체막의 계면에 또는 그 부근에 또는 유전체막의 벌크에 위치될 수 있다. 계면에 트랩된 전하들은 기판 계면에 우치되며 에너지 밴드갭내에서 에너지 상태를 갖는다. 계면-트랩된 전하들은 계면 트랩 밀도(D_{it})에 의해 한정된다. 10^{10} 원자/cm^2 이하(10^5 표면 원자 당 하나이 트랩된 전하와 등가)로 계면-트랩된 전하들을 갖는 것이 바람직하다.

예를 들어, 통상적으로 물(H_2O)은 알루미나(Al_2O_3)와 같이 높은-k 유전체막을 제조하는데 있어 산소 소스로서 사용된다. 소수성 Si 표면 상에 물-기재 Al_2O_3 막의 성장은 잠복기(incubation)을 통해 먼저 진행되거나 Al_2O_3가 증착되기 시작하기 이전 상태에서 개시되며, Al_2O_3 막이 성장을 시작하기 이전에 대략 15 사이클의 ALD가 요구된다. H_2O-기재 Al_2O_3 막의 잠복기 동안 화학 반응은 일반적으로 다음과 같다.

$Si + Al(CH_3)_3 + H_2O \rightarrow Si + Al + O + OH^- + CH_4$ (1)

$\rightarrow Si(OH) + Al(OH) + AlO + ...$(2)

10 옴스트롱 이하의 Al_2O_3 막과 같은 ALD 증착은 잠복기 상태의 증착은 실제 Al_2O_3 가 성장을 시작하기 이전의 두께로 성장하기 때문에 불가능하다. 또한, 40 옴스트롱보다 얇은 Al_2O_3 막은 전기적으로 누설되는 경향이 있다.

잠복기 상태가 일단 완료되면, Al_2O_3 성장의 화학작용은 다음과 같다:

$2Al(CH_3)_3 + 3H_2O \rightarrow Al_2O_3 + 3CH_4$ (3)

예를 들어, 300℃ 부근의 범위의 온도에서, 전구체로서 트리메틸 알루미늄(TMA 또는 $Al(CH_3)_3$) 및 물을 이용하여 단층 성장이 진행된다. 각각의 ALD 사이클은 약 0.85Å의 유전체 물질을 증가시킨다. 그러나, 전구체로서 TMA 및 물을 사용하는 ALD 프로세스내에서는 소정의 $Al(OH)_3$를 함유하는 유전체막이 남게하는 본질적으로 하기의 반응이 발생한다 :

$AL(CH_3)_3 + 3H_2O \rightarrow Al(OH)_3 + 3CH_4$ (4)

$Al(OH)_3$는 유전체막의 특성을 약화시키는 경향이 있다. 수산기 이온(OH-)은 유전체막의 전기적 성능을 감소시키는 고정 및 트랩된 전하의 주요 원인이다.

본 발명의 방법은 오존 및 하프늄 밀 실리콘 전구체들을 사용하며 잠복기 징후를 나타내지 않는다. 유전체막은 핵형성(nucleation) 없이 기판상에서 바로 성장된다. 또한, 본 발명에 따른 증착은 하프늄 산화물막의 물-기재 원자층 증착에서 관찰되는 것처럼 아일랜드-형(island-type) 성장 대신 LBL(layer-by-layer)로 이루어진다. 아일랜드-형 성장은 특정 지점 또는 아일랜드에서 막의 핵들이 초기에 형성되고 상기 막들이 아일랜드로부터 측방 및 상향 성장하는 경우 발생되는 것으로 바람직하지 못하다. 소정의 실시예에서, 실리콘 기판은 불화수소(HF) 산으로 처리되어 자연 산화물을 제거하고 수소로 종결된 클린(clean) 실리콘 표면을 남기게된다. 베어(bare) 실리콘 표면이 공기에 노출되는 경우 형성되는 자연 산화물은 누설 및 다른 전기적 특성과 관련하여 열악한 품질의 절연체로 바람직하게는 제거된다. 도 2의 고해상 투과성 전자 현

미경 이미지는 본 발명에 따른 층간(layer-by-layer) 성장을 나타낸다. 도 3에 도시된 비정질 하프늄 실리케이트 막은 임의의 입계(grain boundary)와 관련된 효과를 나타내지 않는다. 입계는 도펀트, 산소 확산 경로 및 누설 경로로서 작용한다. 본 발명에 따라 형성된 유전체막은 우수한 열적 안정성 및 강화된 누설 특성을 갖는다.

실리콘 이산화물막은 전계가 인가된 상태에서 양호한 전자 이동도를 갖는다. 높은-k 유전체막의 전자 이동도를 SiO_2 막의 전자 이동도의 90% 이상으로 증가시키는 방법은 높은-k 게이트 기술을 수행하는데 있어 중요하다. 높은 전자 이동도 또는 낮은 저항을 갖는 유전체막은 빠른 동작, 강화된 성능 특성 및 저전력 소모를 갖는 반도체 소자를 제공할 수 있다. 소정의 실시예에서, 스트레인 실리콘이 전자 이동도를 개선시키는데 사용될 수 있다. 얇은 인장 강도의 결정성 실리콘층이 완화되고 등급화딘 버퍼층상에 성장되어, 실리콘 기판과 같은 결정성 기판 상에 형성된다. Si-Ge 층과 같은 버퍼층은 순수 실리콘 보다 큰 격자상수 및 공간을 갖는 원자를 포함한다. 결과적으로, 버퍼층상에 증착되는 실리콘 원자는 버퍼층의 하부 격자와 정렬되도록 스트레치된다. 이러한 스트레인 실리콘층에서 전자들은 보다 작은 내부-원자 공간을 가지는 종래의, 완화된 실리콘 층보다 높은 이동도를 갖는다.

소정의 실시예에서, 계면 실리콘 산화물은 SiO_2의 양호한 전자 이동도의 장점을 갖도록 실리콘 기판과 게이트 유전체층 사이에 형성될 수 있다. 계면층의 두께 증가는 막의 전자 이동도를 강화시킬 수 있다. 한편, 소자 성능을 강화시키기 위해서, EOT가 감소되도록 계면층의 두께를 최소화시키는 것이 요구된다. 이는 낮은 EOT 달성 및 높은 전자 이동도 유지에 포함된다. 본 발명은 계면층의 두께를 제어하는 방법 및 얇은 결정성 계면 실리콘 산화물층을 제조하는 방법을 제공한다.

본 발명의 범주를 제한하지 않는 도시된 실시예에서, 테트라메틸디실록산(TMDSO)와 같은 실리콘 전구체, 테트라키스 에틸메틸아미노 하프늄(TEMAHf)과 같은 하프늄 전구체, 및 180g/m^3 농도의 오존이 0.5 내지 6 Torr의 압력, 바람직하게 약 1 Torr에서 유지되는 ALD 챔버 속에 개별적으로 순차적으로 펄싱된다. TMDSO, TEMAHf 및 오존의 유속은 각각 200sccm이다. TMDSO 전구체는 0.2초간 ALD 챔버에 펄싱되고, 이어서 불활성 가스 정화가 2초 수행되고, 2초간 오존 펄싱 및 2초간 불활성 가스 정화가 수행된다. TEMAHf 전구체는 0.4초간 ALD 챔버에 펄싱되고, 이어서 2초가 불활성 가스 정화가 수행되고, 2초간 오존 펄싱 및 2초가 불활성 가스 정화가 수행된다. 적층되는 SiO_2/HfO_2 막이 실리콘 기판상에 형성된다. 얇은 결정성 계면 SiO_2 층이, 도 2의 투과형 전자 현미경 이미지에 도시된 것처첨 실리콘 기판과 적층 막 사이에 형성된다. 기판 온도는 결정성 계면층의 두께에 영향을 미칠 수 있다. 낮은 기판 온도는 보다 얇은 계면층을 산출할 수 있다. 약 250℃의 온도에서, 5Å 미만의 계면층이 형성된다. HF-후 처리와 같은 웨이퍼 예비처리가 계면 두께에 영향을 미칠 수 있다. 도 3은 본 발명에 따라 형성된 SiO_2/HfO_2 막의 다양한 성분의 원자 농도를 나타낸다.

본 발명에 따라 형성된 결정성 계면층은 종래의 계면 실리콘 이산화물층과 구별된다. 종래의 계면 산화물층은 하프늄 산화물층과 같이 높은-k 유전체 속으로 실리콘 기판으로부터 실리콘의 상향(up)-확산에 의해 형성된다. 종래의 계면층은 가변 유전상수(k-변이)를 갖는 통상적인 계면으로, 바람직하지 못하며 저하될 수 있다. 본 발명의 소정 실시예에 따라, 얇은 결정성 계면 실리콘 이산화물이 형성된다.

본 발명에 따른 유전체막 제조 방법은 MOSFET 및 MOS 캐패시터와 같은 반도체 소자의 제조에 이용될 수 있다. 예를 들어, MOSFET은 적절한 반도체 기판, 본 발명에 따른 원자층 증착에 의해 형성된 기판 상의 유전체층, 유전체층상에 형성된 전극층 및 기판과 유전체층 사이에 형성된 결정성 계면층을 포함한다.

본 발명은 바람직한 실시예 및 상세한 설명의 예를 참조로 개시되었지만, 이러한 실시예들은 제한이 아닌 도시를 위한 것으로, 당업자들은 본 발명의 변형 및 조합이 하기 첨부되는 청구항의 범주내에서 구현될 수 있다는 것을 알 것이다.

(57) 청구의 범위

청구항 1.

하프늄-기재 유전체막을 증착하는 방법으로서,

오존 및 하프늄 전구체를 포함하는 하나 이상의 반응물을 사용하여 원자층을 증착하는 단계를 포함하는, 하프늄-기재 유전체막 증착 방법.

청구항 2.

제 1 항에 있어서,

상기 하프늄 전구체는 $Hf(OtBu)_4$, TDMAHf, TDEAHf, $Hf(MMP)_4$ 및 TEMAHf를 포함하며 상기 하프늄-기재 유전체막은 하프늄 산화물을 포함하는 것을 특징으로 하는 하프늄-기재 유전체막 증착 방법.

청구항 3.

제 2 항에 있어서,

상기 하프늄 전구체는 TEMAHf인 것을 특징으로 하는 하프늄-기재 유전체막 증착 방법.

청구항 4.

제 1 항에 있어서,

상기 원자층 증착은 400℃ 이하의 온도에서 수행되는 것을 특징으로 하는 하프늄-기재 유전체막 증착 방법.

청구항 5.

제 1 항에 있어서,

상기 하나 이상의 반응물은 실리콘 전구체를 더 포함하며 상기 하프늄-기재 유전체막은 기판상의 하프늄 실리케이트층 및 상기 하프늄 실리케이트층과 상기 기판 사이의 계면 실리콘 산화물층을 더 포함하는 것을 특징으로 하는 하프늄-기재 유전체막 증착 방법.

청구항 6.

제 5 항에 있어서,

상기 실리콘 전구체 및 하프늄 전구체가 혼합되어 상기 원자층이 증착되는 동안 ALD 챔버에 공동-주입되는 것을 특징으로 하는 하프늄-기재 유전체막 증착 방법.

청구항 7.

제 5 항에 있어서,

상기 실리콘 전구체 및 하프늄 전구체는 상기 원자층이 증착되는 동안 ALD 챔버에 선택적 및 독립적으로 주입되는 것을 특징으로 하는 하프늄-기재 유전체막 증착 방법.

청구항 8.

제 1 항에 이어서,

상기 하나 이상의 반응물 및 오존은 샤워헤드 인젝터를 통해 ALD 챔버속에 주입되는 것을 특징으로 하는 하프늄-기재 유전체막 증착 방법.

청구항 9.

반도체 소자로서,

기판 ;

상기 기판 상에 형성된 하프늄-기재 유전체층; 및

상기 기판과 상기 하프늄-기재 유전체층 사이에 형성된 계면층

을 포함하며,

상기 계면층은 실리콘 이산화물을 포함하며 결정성 구조를 갖는, 반도체 소자.

청구항 10.

제 9 항에 있어서,

상기 하프늄-기재 유전체는 비정질인 것을 특징으로 하는 반도체 소자.

청구항 11.

제 9 항에 있어서,

상기 하프늄-기재 유전체는 하프늄 이산화물을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 12.

제 9 항에 있어서,

상기 하프늄-기재 유전체는 하프늄 실리케이트를 포함하는 것을 특징으로 하는 반도체 소자.

청구항 13.

제 9 항에 있어서,

상기 계면층의 두께는 약 2-5 옴스트롱의 범위인 것을 특징으로 하는 반도체 소자.

청구항 14.

제 9 항에 있어서,

상기 하프늄-기재 유전체층의 상부에 전극층을 더 포함하는 것을 특징으로 하는 반도체 소자.

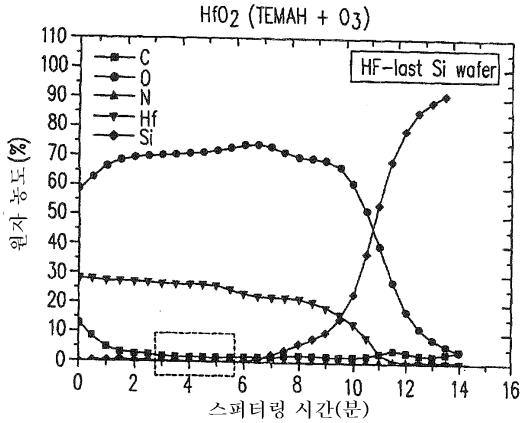
청구항 15.

제 14 항에 있어서,

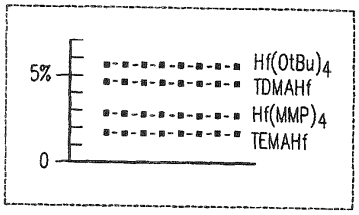
상기 전극층은 게이트 전극인 것을 특징으로 하는 반도체 소자.

도면

도면1



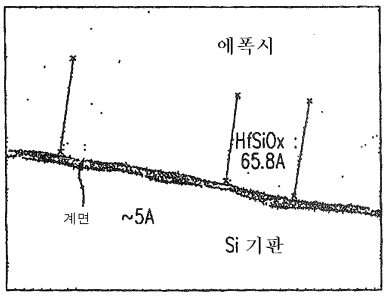
A



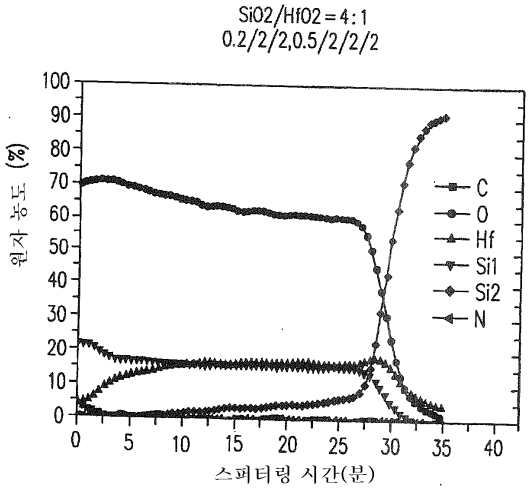
HfO_2 막의 탄소 함량

B

도면2



도면3


SiO2/HfO2 = 4 : 1
0.2/2/2,0.5/2/2/2
원자 농도 (%)
100
90
80
70
60
50
40
30
20
10
0
0
5
10
15
20
25
30
35
40
스퍼터링 시간(분)
C
O
Hf
Si1
Si2
N