



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년07월17일
 (11) 등록번호 10-1420514
 (24) 등록일자 2014년07월10일

(51) 국제특허분류(Int. Cl.)
 H05K 3/46 (2006.01) H05K 1/18 (2006.01)
 (21) 출원번호 10-2012-0118028
 (22) 출원일자 2012년10월23일
 심사청구일자 2012년10월23일
 (65) 공개번호 10-2014-0051692
 (43) 공개일자 2014년05월02일
 (56) 선행기술조사문헌
 KR100736635 B1*
 KR100836651 B1*
 KR100888579 B1*
 KR1020120040039 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성전기주식회사
 경기도 수원시 영통구 매영로 150 (매탄동)
 (72) 발명자
 이재수
 충청남도 연기군 동면 삼성길 25 삼성전기(주)
 (74) 대리인
 김창달

전체 청구항 수 : 총 10 항

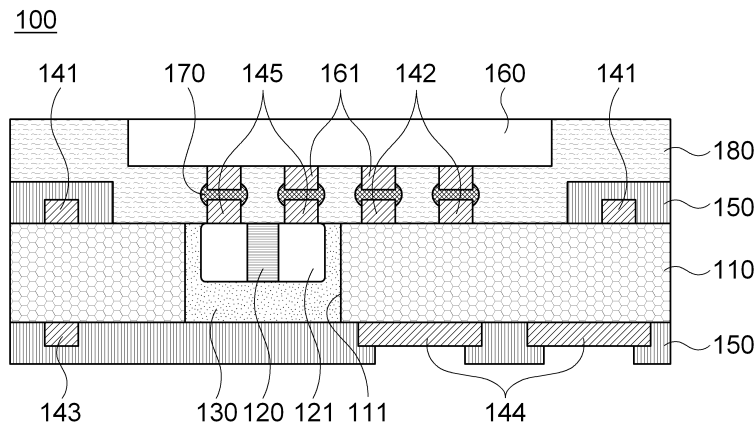
심사관 : 김상걸

(54) 발명의 명칭 전자부품들이 구비된 기판구조 및 전자부품들이 구비된 기판구조의 제조방법

(57) 요약

본 발명은 전자부품들이 구비된 기판구조 및 전자부품들이 구비된 기판구조의 제조방법에 관한 것으로, 제1 전자부품의 제1 단자와 제2 전자부품의 제2 단자가 직접 접촉 또는 솔더를 매개로 하여 직접 접촉되도록 함으로써, 전자부품들 사이의 경로가 최소화 되어 신호 손실이 감소되고, 내부저항을 감소시키며, 공정 효율을 향상시킬 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

일면 및 상기 일면에 대향되는 타면이 구비되며, 상기 일면과 타면 사이가 관통되어 형성되는 캐비티가 구비된 기관;

상기 기관의 일면에 구비되는 제1 회로패턴 및 제2 회로패턴;

상기 캐비티 내부에 일부가 삽입되고 나머지 부분은 상기 캐비티 외부로 돌출되며, 표면에 제1 단자가 형성된 제1 전자부품;

상기 캐비티와 상기 제1 전자부품 사이의 공간을 채우는 충전재;

상기 제1 전자부품의 제1 단자의 상부면에 구비되는 제1 표면처리층; 및
상기 기관의 일면 상에 실장되며, 상기 제1 표면처리층에 전기적으로 연결되는 제2 단자를 구비하는 제2 전자부품;
을 포함하는
전자부품들이 구비된 기관구조.

청구항 14

청구항 13에 있어서,
상기 제1 전자부품의 일면은,
상기 제2 회로패턴의 상부면이 위치하는 수평면과 동일한 수평면에 위치되는 것인
전자부품들이 구비된 기관구조.

청구항 15

청구항 13에 있어서,
상기 제1 표면처리층과 상기 제2 단자는 솔더를 매개로 직접 접촉되는 것인
전자부품들이 구비된 기관구조.

청구항 16

청구항 13에 있어서,
상기 제2 회로패턴의 상부면에 구비되는 제2 표면처리층을 더 포함하며,
상기 제2 단자는 솔더를 매개로 상기 제1 표면처리층 및 상기 제2 표면처리층에 직접 접촉되는 것인
전자부품들이 구비된 기관구조.

청구항 17

청구항 13에 있어서,
상기 제2 단자의 하부면에 구비되는 제3 표면처리층을 더 포함하며,
상기 제3 표면처리층은 솔더를 매개로 상기 제1 표면처리층과 직접 접촉되는 것인
전자부품들이 구비된 기관구조.

청구항 18

일면 및 상기 일면에 대향되는 타면이 구비되며, 상기 일면에는 도전성 재질로 이루어지는 씨드층이 구비되고,
상기 씨드층의 상부면과 상기 타면 사이가 관통되어 형성되는 캐비티가 구비된 기관을 제공하는 단계;
상기 씨드층의 상부면에 디테치 필름을 부착하는 단계;
표면에 제1 단자가 구비된 제1 전자부품을 상기 캐비티 내부에 삽입하여 상기 디테치 필름에 상기 제1 전자부품을 부착한 후, 상기 캐비티와 상기 제1 전자부품 사이의 공간에 충진재를 충진하여 상기 제1 전자부품을 고정하는 단계;

상기 제1 전자부품이 고정된 후, 상기 디테치 필름을 제거하는 단계;
상기 디테치 필름이 제거된 상기 씨드층을 패터닝하여 제1 회로패턴 및 제2 회로패턴을 형성하는 단계;
상기 디테치 필름이 제거된 상기 제1 단자의 표면에 제1 표면처리층을 형성하는 단계; 및
적어도 하나의 제2 단자가 적어도 한 면에 구비된 제2 전자부품의 상기 제2 단자와 상기 제1 표면처리층이 전기적으로 연결되도록 상기 제2 전자부품을 실장하는 단계;
를 포함하는
전자부품들이 구비된 기판구조의 제조방법.

청구항 19

청구항 18에 있어서,
상기 제2 전자부품을 실장하는 단계는,
상기 제1 표면처리층과 상기 제2 단자가 솔더를 매개로 직접 접촉되도록 수행되는
전자부품들이 구비된 기판구조의 제조방법.

청구항 20

청구항 18에 있어서,
상기 제2 회로패턴의 상부면에 제2 표면처리층을 형성하는 단계를 더 포함하되, 상기 제1 표면처리층과 상기 제2 표면처리층의 상부면은 동일한 수평면 상에 존재하며,
상기 제2 전자부품을 실장하는 단계는,
상기 제1 표면처리층 및 상기 제2 표면처리층이 솔더를 매개로 상기 제2 단자와 직접 접촉되도록 수행되는
전자부품들이 구비된 기판구조의 제조방법.

청구항 21

청구항 18에 있어서,
상기 제2 단자의 하부면에 제3 표면처리층을 형성하는 단계를 더 포함하며,
상기 제2 전자부품을 실장하는 단계는,
상기 제3 표면처리층은 솔더를 매개로 상기 제1 표면처리층과 직접 접촉되도록 수행되는 것인
전자부품들이 구비된 기판구조의 제조방법.

청구항 22

청구항 18에 있어서,
상기 제1 표면처리층은 금-기반 SF 코팅층인
전자부품들이 구비된 기판구조의 제조방법.

명세서

기술분야

[0001] 본 발명은 전자부품들이 구비된 기판구조 및 전자부품들이 구비된 기판구조의 제조방법에 관한 것이다.

배경기술

[0002] 최근 들어 전자기기의 소형화 및 슬립화 추세가 가속화 되고 있는 가운데, 기판을 복층화하고, 기판 내부에 각종 전자부품들을 내장하는 기술이 제안되고 있다.

[0003] 이때, 기판 내부에 내장되는 전자부품들로는 인덕터, 커패시터 등의 수동소자나, IC칩 등의 능동소자 등이 있다.

[0004] 한편, 기판 내부에 전자부품을 내장함과 동시에, 기판의 표면에도 전자부품이 표면실장되며, 내장된 전자부품과 표면실장된 전자부품이 전기적으로 연결되는 형태의 제품들도 출시되고 있다.

[0005] 일 예로써, 특허문헌1에는 기판의 표면에 실장되는 반도체 칩과 기판 내부에 임베디드 되는 반도체 칩이 1단 이상의 비아와 배선패턴을 이용하여 연결되는 구조가 개시되어 있다.

[0006] 그러나, 특허문헌1 등을 포함하는 종래의 구조에서는 기판의 표면에 실장되는 전자부품과 기판의 내부에 내장되는 전자부품이 비아 등에 의하여 연결되고 있었기 때문에, 상호 연결되는 전자부품들 사이의 전류 이동경로가 길어져 내부저항이 증가되고, 상호 연결되는 전자부품들 사이의 신호 전달시 신호의 손실이 발생할 뿐만 아니라, 비아 등을 형성하여 연결하는 공정이 필요했기 때문에 공정의 단순화 및 신뢰성에 한계가 있었다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 대한민국공개특허공보 제2005-0031364호

발명의 내용

해결하려는 과제

[0008] 상기와 같은 문제점들을 해결하기 위하여 창안된 본 발명은, 내부저항과 신호손실률이 감소되며, 제조공정이 단순화 될 수 있는 전자부품들이 구비된 기판구조를 제공하는 것을 목적으로 한다.

[0009] 또한, 본 발명은, 내부저항과 신호손실률이 감소되며, 제조공정이 단순화 될 수 있는 전자부품들이 구비된 기판구조의 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0010] 상기와 같은 목적을 달성하기 위하여 창안된 본 발명의 일실시예에 따른 전자부품들이 구비된 기판구조는, 일면 및 상기 일면에 대향되는 타면이 구비되며, 상기 일면과 타면 사이가 관통되어 형성되는 캐비티가 구비된 기판; 상기 기판의 일면에 구비되는 제1 회로패턴 및 제2 회로패턴; 상기 캐비티 내부에 삽입되고, 표면에 제1 단자가 형성된 제1 전자부품; 상기 캐비티와 상기 제1 전자부품 사이의 공간을 채우는 충전재; 상기 제1 전자부품의 제1 단자에 형성되는 도금단자; 및 상기 기판의 일면 상에 실장되며, 상기 도금단자에 전기적으로 연결되는 제2 단자를 구비하는 제2 전자부품;을 포함할 수 있다.

[0011] 이때, 상기 도금단자와 상기 제2 단자는 솔더를 매개로 직접 접촉되는 것일 수 있다.

[0012] 또한, 상기 도금단자와 상기 제2 회로패턴의 높이가 동일하며, 상기 제2 단자는 솔더를 매개로 상기 도금단자와 상기 제2 회로패턴에 직접 접촉되는 것일 수 있다.

- [0013] 또한, 상기 제1 회로패턴을 덮는 절연부를 더 포함할 수 있다.
- [0014] 또한, 상기 제2 전자부품과 상기 기판 사이의 영역에 충전되는 몰딩부를 더 포함할 수 있다.
- [0015] 또한, 상기 기판의 타면에 구비되는 제3 회로패턴 및 제4 회로패턴 중 적어도 하나를 더 포함할 수 있다.
- [0016] 또한, 상기 충전재는 플러그 잉크일 수 있다.
- [0017] 본 발명의 일실시예에 따른 전자부품들이 구비된 기판구조의 제조방법은, 일면 및 상기 일면에 대향되는 타면이 구비되며, 상기 일면과 타면 사이가 관통되어 형성되는 캐비티가 구비된 기판을 제공하는 단계; 상기 기판의 일면에 디테치 필름을 부착하는 단계; 표면에 제1 단자가 구비된 제1 전자부품을 상기 캐비티 내부에 삽입하여 상기 디테치 필름에 상기 제1 전자부품을 부착한 후, 상기 캐비티와 상기 제1 전자부품 사이의 공간에 충전재를 충전하여 상기 제1 전자부품을 고정하는 단계; 상기 제1 전자부품이 고정된 후, 상기 디테치 필름을 제거하는 단계; 상기 디테치 필름이 제거된 상기 기판의 일면에 제1 회로패턴 및 제2 회로패턴을 형성하는 단계; 상기 디테치 필름이 제거된 상기 제1 단자의 표면에 도금단자를 형성하는 단계; 및 적어도 하나의 제2 단자가 적어도 한 면에 구비된 제2 전자부품의 상기 제2 단자와 상기 도금단자가 전기적으로 연결되도록 상기 제2 전자부품을 실장하는 단계;를 포함할 수 있다.
- [0018] 이때, 상기 제2 전자부품을 실장하는 단계는, 상기 도금단자와 상기 제2 단자가 솔더를 매개로 직접 접촉되도록 수행될 수 있다.
- [0019] 또한, 상기 제1 회로패턴 및 제2 회로패턴을 형성하는 단계와, 상기 도금단자를 형성하는 단계는, 상기 도금단자와 상기 제2 회로패턴의 높이가 같아지도록 동일한 공정에서 수행되며, 상기 제2 전자부품을 실장하는 단계는, 상기 제2 단자는 솔더를 매개로 상기 도금단자 및 상기 제2 회로패턴에 직접 접촉되도록 수행될 수 있다.
- [0020] 또한, 상기 제2 전자부품과 상기 기판 사이의 영역에 절연수지를 충전하여 몰딩부를 형성하는 단계를 더 포함할 수 있다.
- [0021] 또한, 상기 충전재는 플러그 잉크일 수 있다.
- [0022] 본 발명의 다른 실시예에 따른 전자부품들이 구비된 기판구조는, 일면 및 상기 일면에 대향되는 타면이 구비되며, 상기 일면과 타면 사이가 관통되어 형성되는 캐비티가 구비된 기판; 상기 기판의 일면에 구비되는 제1 회로패턴 및 제2 회로패턴; 상기 캐비티 내부에 일부가 삽입되고 나머지 부분은 상기 캐비티 외부로 돌출되며, 표면에 제1 단자가 형성된 제1 전자부품; 상기 캐비티와 상기 제1 전자부품 사이의 공간을 채우는 충전재; 상기 제1 전자부품의 제1 단자의 상부면에 구비되는 제1 표면처리층; 및 상기 기판의 일면 상에 실장되며, 상기 제1 표면처리층에 전기적으로 연결되는 제2 단자를 구비하는 제2 전자부품;을 포함할 수 있다.
- [0023] 이때, 상기 제1 전자부품의 일면은, 상기 제2 회로패턴의 상부면이 위치하는 수평면과 동일한 수평면에 위치될 수 있다.
- [0024] 또한, 상기 제1 표면처리층과 상기 제2 단자는 솔더를 매개로 직접 접촉되는 것일 수 있다.
- [0025] 또한, 상기 제2 회로패턴의 상부면에 구비되는 제2 표면처리층을 더 포함하며, 상기 제2 단자는 솔더를 매개로 상기 제1 표면처리층 및 상기 제2 표면처리층에 직접 접촉되는 것일 수 있다.
- [0026] 또한, 상기 제2 단자의 하부면에 구비되는 제3 표면처리층을 더 포함하며, 상기 제3 표면처리층은 솔더를 매개로 상기 제1 표면처리층과 직접 접촉되는 것일 수 있다.
- [0027] 본 발명의 다른 실시예에 따른 전자부품들이 구비된 기판구조의 제조방법은, 일면 및 상기 일면에 대향되는 타면이 구비되며, 상기 일면에는 도전성 재질로 이루어지는 씨드층이 구비되고, 상기 씨드층의 상부면과 상기 타면 사이가 관통되어 형성되는 캐비티가 구비된 기판을 제공하는 단계; 상기 씨드층의 상부면에 디테치 필름을 부착하는 단계; 표면에 제1 단자가 구비된 제1 전자부품을 상기 캐비티 내부에 삽입하여 상기 디테치 필름에 상기 제1 전자부품을 부착한 후, 상기 캐비티와 상기 제1 전자부품 사이의 공간에 충전재를 충전하여 상기 제1 전자부품을 고정하는 단계;를 포함할 수 있다.

자부품을 고정하는 단계; 상기 제1 전자부품이 고정된 후, 상기 디테치 필름을 제거하는 단계; 상기 디테치 필름이 제거된 상기 씨드층을 패터닝하여 제1 회로패턴 및 제2 회로패턴을 형성하는 단계; 상기 디테치 필름이 제거된 상기 제1 단자의 표면에 제1 표면처리층을 형성하는 단계; 및 적어도 하나의 제2 단자가 적어도 한 면에 구비된 제2 전자부품의 상기 제2 단자와 상기 제1 표면처리층이 전기적으로 연결되도록 상기 제2 전자부품을 실장하는 단계;를 포함할 수 있다.

[0028] 이때, 상기 제2 전자부품을 실장하는 단계는, 상기 제1 표면처리층과 상기 제2 단자가 솔더를 매개로 직접 접촉되도록 수행될 수 있다.

[0029] 또한, 상기 제2 회로패턴의 상부면에 제2 표면처리층을 형성하는 단계를 더 포함하되, 상기 제1 표면처리층과 상기 제2 표면처리층의 상부면은 동일한 수평면 상에 존재하며, 상기 제2 전자부품을 실장하는 단계는, 상기 제1 표면처리층 및 상기 제2 표면처리층이 솔더를 매개로 상기 제2 단자와 직접 접촉되도록 수행될 수 있다.

[0030] 또한, 상기 제2 단자의 하부면에 제3 표면처리층을 형성하는 단계를 더 포함하며, 상기 제2 전자부품을 실장하는 단계는, 상기 제3 표면처리층은 솔더를 매개로 상기 제1 표면처리층과 직접 접촉되도록 수행될 수 있다.

[0031] 이때, 상기 제1 표면처리층은 금-기반 SF 코팅층일 수 있다.

발명의 효과

[0032] 상기와 같이 구성된 본 발명은 다층 기판 구조물에서 서로 다른 층에 형성되는 복수의 전자부품이 직접 연결될 수 있도록 함으로써, 전자부품들 사이의 경로가 최소화 되어 신호 손실이 감소되고, 내부저항을 감소시킬 수 있다는 유용한 효과를 제공한다.

[0033] 또한, 종래에 비하여 공정이 간소화 되어 제조효율이 향상될 수 있다.

도면의 간단한 설명

[0034] 도 1은 본 발명의 일실시예에 따른 전자부품들이 구비된 기판구조를 개략적으로 예시한 단면도이다.

도 2a 내지 도 2f는 본 발명의 일실시예에 따른 전자부품들이 구비된 기판구조의 제조방법을 개략적으로 예시한 공정단면도이다.

도 3은 본 발명의 다른 실시예에 따른 전자부품들이 구비된 기판구조를 개략적으로 예시한 단면도이다.

도 4a 내지 도 4g는 본 발명의 다른 실시예에 따른 전자부품들이 구비된 기판구조의 제조방법을 개략적으로 예시한 공정단면도이다.

발명을 실시하기 위한 구체적인 내용

[0035] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 기술 등은 첨부되는 도면들과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있다. 본 실시예는 본 발명의 개시가 완전하도록 함과 더불어, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공될 수 있다. 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0036] 본 명세서에서 사용된 용어들은 실시예를 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprise)' 및/또는 '포함하는(comprising)'은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[0037] 도시의 간략화 및 명료화를 위해, 도면은 일반적 구성 방식을 도시하고, 본 발명의 설명된 실시예의 논의를 불필요하게 불명료하도록 하는 것을 피하기 위해 공지된 특징 및 기술의 상세한 설명은 생략될 수 있다. 부가적으로, 도면의 구성요소는 반드시 축척에 따라 그려진 것은 아니다. 예컨대, 본 발명의 실시예의 이해를 돕기 위해 도면의 일부 구성요소의 크기는 다른 구성요소에 비해 과장될 수 있다. 서로 다른 도면의 동일한 참조부호는 동

일한 구성요소를 나타내고, 유사한 참조부호는 반드시 그렇지는 않지만 유사한 구성요소를 나타낼 수 있다.

- [0038] 명세서 및 청구범위에서 "제 1", "제 2", "제 3" 및 "제 4" 등의 용어는, 만약 있는 경우, 유사한 구성요소 사이의 구분을 위해 사용되며, 반드시 그렇지는 않지만 특정 순차 또는 발생 순서를 기술하기 위해 사용된다. 그와 같이 사용되는 용어는 여기에 기술된 본 발명의 실시예가, 예컨대, 여기에 도시 또는 설명된 것이 아닌 다른 시퀀스로 동작할 수 있도록 적절한 환경하에서 호환 가능한 것이 이해될 것이다. 마찬가지로, 여기서 방법이 일련의 단계를 포함하는 것으로 기술되는 경우, 여기에 제시된 그러한 단계의 순서는 반드시 그러한 단계가 실행될 수 있는 순서인 것은 아니며, 임의의 기술된 단계는 생략될 수 있고/있거나 여기에 기술되지 않은 임의의 다른 단계가 그 방법에 부가 가능할 것이다.
- [0039] 명세서 및 청구범위의 "왼쪽", "오른쪽", "앞", "뒤", "상부", "바닥", "위에", "아래에" 등의 용어는, 만약 있다면, 설명을 위해 사용되는 것이며, 반드시 불변의 상대적 위치를 기술하기 위한 것은 아니다. 그와 같이 사용되는 용어는 여기에 기술된 본 발명의 실시예가, 예컨대, 여기에 도시 또는 설명된 것이 아닌 다른 방향으로 동작할 수 있도록 적절한 환경하에서 호환 가능한 것이 이해될 것이다. 여기서 사용된 용어 "연결된"은 전기적 또는 비 전기적 방식으로 직접 또는 간접적으로 접촉되는 것으로 정의된다. 여기서 서로 "인접하는" 것으로 기술된 대상은, 그 문구가 사용되는 문맥에 대해 적절하게, 서로 물리적으로 접촉하거나, 서로 근접하거나, 서로 동일한 일반적 범위 또는 영역에 있는 것일 수 있다. 여기서 "일 실시예에서"라는 문구의 존재는 반드시 그런 것은 아니지만 동일한 실시예를 의미한다.
- [0040] 이하에서는 첨부된 도면을 참조하여 본 발명의 구성 및 작용효과를 더욱 상세하게 설명한다.
- [0041] 도 1은 본 발명의 일실시예에 따른 전자부품들이 구비된 기관구조(100)를 개략적으로 예시한 단면도이다.
- [0042] 도 1을 참조하면, 본 발명의 일실시예에 따른 전자부품들이 구비된 기관구조(100)는 기관(110), 제1 회로패턴(141), 제2 회로패턴(142), 제1 전자부품(120), 제2 전자부품(160), 도금단자(145) 및 충전재(130)를 포함할 수 있다.
- [0043] 먼저, 기관(110)은 통상적인 절연재료를 이용하여 평판 형상으로 이루어질 수 있다.
- [0044] 이때, 기관(110)은 금속 재료로 이루어지고, 그 표면에 절연층이 구비되어 이루어질 수도 있다.
- [0045] 또한, 기관(110)은 본 발명의 일실시예에 따른 전자부품들이 구비된 기관구조(100)에서 통상적인 코어층의 역할을 수행할 수도 있다.
- [0046] 한편, 기관(110)의 일 영역에는 기관(110)의 상면과 하면을 관통하는 캐비티(111)가 형성될 수 있으며, 이 캐비티(111)에는 제1 전자부품(120)이 내장될 수 있다.
- [0047] 또한, 기관(110)의 일면 또는 양면에는 도전성 재료로 이루어지는 회로패턴이 형성될 수 있으며, 설명의 편의를 위하여, 본 명세서에서는 기관(110)의 상면에 형성된 회로패턴을 제1 회로패턴(141) 및 제2 회로패턴(142)으로 칭하고, 기관(110)의 하면에 형성된 회로패턴을 제3 회로패턴(143) 및 제4 회로패턴(144)으로 칭하도록 한다.
- [0048] 전술한 바와 같이, 기관(110)의 캐비티(111)에는 제1 전자부품(120)이 내장될 수 있다.
- [0049] 이때, 제1 전자부품(120)으로는 각종 능동소자, 수동소자 등이 적용될 수 있으며, 본 명세서에 첨부된 도면에서는 제1 전자부품(120)이 수동소자, 특히 이른바 MLCC 라 칭해지는 캐패시터인 경우를 예로 들어 도시하였다.
- [0050] 제1 전자부품(120)의 외면에는 외부와 전류 또는 신호 등을 주고 받을 수 있도록 제1 단자(121)가 구비될 수 있다.
- [0051] 이러한 제1 전자부품(120)이 캐비티(111)에 내장됨에 있어서, 도 1에 예시한 바와 같이, 제1 전자부품(120)의 일면과 기관(110)의 일면은 동일한 수평면 상에 위치되도록 제1 전자부품(120)이 캐비티(111)에 내장될 수 있다.
- [0052] 한편, 캐비티(111)와 제1 전자부품(120) 사이의 공간에는 충전재(130)가 채워져서 제1 전자부품(120)이 캐비티(111) 내부에 안정적으로 고정될 수 있도록 할 수 있다.

- [0053] 이때, 충전재(130)로써 플러그 잉크(plug ink)를 사용할 수 있다.
- [0054] 또한, 제1 전자부품(120)의 제1 단자(121)에는 도금단자(145)가 형성될 수 있다.
- [0055] 이 도금단자(145)는 전술한 제1 회로패턴(141) 및 제2 회로패턴(142)의 형성을 위한 공정에서 함께 형성될 수 있다.
- [0056] 또한, 도금단자(145)는 제2 회로패턴(142)과 동일한 높이로 형성될 수 있다.
- [0057] 다음으로, 제2 전자부품(160) 또한 각종 능동소자, 수동소자 등이 적용될 수 있으며, 본 명세서에 첨부된 도면에서는 제2 전자부품(160)이 액티브 다이(Active Die) 또는 집적회로 칩(IC Chip) 등의 능동소자인 경우를 예로 들어 도시하였다.
- [0058] 이러한 능동소자의 경우 일면에 복수 개의 외부접속단자가 구비될 수 있으며, 이러한 외부접속단자를 본 명세서에서는 제2 단자(161)로 칭한다.
- [0059] 한편, 전술한 제1 전자부품(120)의 도금단자(145)와 제2 전자부품(160)의 제2 단자(161)는 직접 연결될 수 있다.
- [0060] 이때, 도금단자(145)와 제2 단자(161)는 솔더(170)를 매개로 직접 접촉될 수 있다.
- [0061] 즉, 제2 단자(161), 도금단자(145) 중 적어도 하나에 솔더페이스트를 도포한 상태에서 제2 단자(161)와 도금단자(145)가 인접되도록 하면서 리플로우 공정을 수행하여 제2 단자(161)와 도금단자(145)를 물리적으로 결합시키는 동시에 전기적으로 도통될 수 있도록 할 수 있다.
- [0062] 또한, 제2 전자부품(160)이 제1 전자부품(120) 뿐만 아니라 제2 회로패턴(142) 등과도 전기적으로 연결될 필요가 있을수 있는데, 본 발명의 일실시예에 따른 전자부품들이 구비된 기관구조(100)에서는 도금단자(145)와 제2 회로패턴(142)의 높이가 동일하게 형성될 수 있으므로 제2 단자(161)들이 도금단자(145)와 결합되는 동시에 제2 회로패턴(142)들과도 결합될 수 있다.
- [0063] 이에 따라, 서로 다른 층에 형성되는 복수의 전자부품이 직접 연결될 수 있게 되며, 전자부품들 사이의 경로가 최소화 되어 신호 손실이 감소되고 내부저항으로 인한 각종 문제가 해결될 수 있다.
- [0064] 또한, 종래에는 전자부품들 사이의 전기적 연결을 각종 비아 및 도전패턴 등을 이용하여 구현해야 했기 때문에 공정 수가 증가되는 문제가 있었지만, 본 발명의 일실시예에 따른 전자부품들이 구비된 기관구조(100)에서는 이러한 문제점들이 해결될 수 있는 것이다.
- [0065] 한편, 본 명세서 및 도면에서는 기관(110)의 일면에 형성된 회로패턴을 제1 회로패턴(141)과 제2 회로패턴(142)으로 구분하였는데, 제2 회로패턴(142)은 제2 전자부품(160)의 제2 단자(161)에 직접 접촉되는 패턴을 의미하고, 제1 회로패턴(141)은 제2 전자부품(160)의 제2 단자(161)에 직접 접촉되지 않으며, 경우에 따라 절연부(150)로 도포되어 절연성이 확보되는 패턴을 의미한다.
- [0066] 다만, 이는 설명 및 이해의 편의를 위해 구분된 것일 뿐, 본 발명의 권리범위를 한정하는 것으로 해석되서는 아니될 것이다.
- [0067] 한편, 제2 전자부품(160)의 제2 단자(161)와 도금단자(145) 등이 결합된 상태에서, 제2 전자부품(160) 및 결합부를 보호하면서, 결합을 견고하게 지지하기 위하여 몰딩부(180)가 더 구비될 수 있다.
- [0068] 이때, 몰딩부(180)는 제2 전자부품(160)과 기관(110) 사이의 영역에 절연수지를 충전하여 형성될 수 있다.
- [0069] 한편, 도 1에 도시된 바와 같이, 기관(110)의 타면, 즉 기관(110)의 하부면에는 제3 회로패턴(143) 및 제4 회로패턴(144) 등 다양한 회로패턴들이 구비될 수 있다.
- [0070] 또한, 도시되지는 않았지만, 기관(110)을 관통하는 관통홀 비아(Through Hole Via ; THV)나 일반 비아 등이 구비되어 기관(110)의 일면에 형성된 제1 회로패턴(141) 등과 기관(110)의 타면에 형성된 제3 회로패턴(143) 등이

전기적으로 연결될 수 있다.

- [0071] 또한, 다른 기관구조물 등과의 전기적 접속을 위하여, 제4 회로패턴(144)의 표면에는 솔더볼(도시되지 않음) 등이 구비될 수도 있다.
- [0072] 도 2a 내지 도 2f는 본 발명의 일실시예에 따른 전자부품들이 구비된 기관구조의 제조방법을 개략적으로 예시한 공정단면도이다.
- [0073] 이하에서는, 도 2a 내지 도 2f를 참조하여 본 발명의 일실시예에 따른 전자부품들이 구비된 기관구조의 제조방법을 구체적으로 설명하도록 한다.
- [0074] 먼저, 도 2a를 참조하면, 캐비티(111)가 구비된 기관(110)의 일면에 디테치 필름(DF)(Detach film)을 부착하고, 캐비티(111)로 제1 전자부품(120)을 삽입하여 그 일면이 디테치 필름(DF)에 부착되도록 한다.
- [0075] 이때, 디테치 필름(DF)은 평면을 이룰 수 있으므로 제1 전자부품(120)의 일면이 기관(110)의 일면과 동일한 수평면 상에 위치될 수 있다.
- [0076] 다음으로, 캐비티(111)와 제1 전자부품(120) 사이의 영역에 플러그 잉크 등의 충전재(130)를 충전하여 캐비티(111) 내부에서 제1 전자부품(120)이 견고하게 고정되도록 할 수 있다.
- [0077] 다음으로, 도 2b를 참조하면, 디테치 필름(DF)을 제거한 후 제1 회로패턴(141), 제2 회로패턴(142) 및 도금단자(145)를 형성한다.
- [0078] 이때, 제1 회로패턴(141), 제2 회로패턴(142)과 도금단자(145)는 도전패턴을 형성하는 다양한 공법을 적용하여 동시에 형성될 수 있다.
- [0079] 또한, 필요에 따라 기관(110)의 타면, 즉 기관(110)의 하부면에 제3 회로패턴(143), 제4 회로패턴(144) 등이 형성될 수도 있다.
- [0080] 또한, 필요에 따라 절연성 확보가 필요한 부분, 즉, 도 2c에서 예시한 바와 같이 제1 회로패턴(141), 제3 회로패턴(143) 전체를 덮고, 제4 회로패턴(144)의 일부를 덮는 절연부(150)를 형성할 수 있다.
- [0081] 이때, 절연물질이 기관(110)의 일면 또는 타면 전체에 고르게 도포되어 경화된 후, 제2 전자부품(160)이 도금단자(145) 및 제2 회로패턴(142)과 결합될 영역이나 제4 회로패턴(144) 중 솔더범프(도시되지 않음)가 형성될 영역의 절연물질을 제거하는 방식으로 형성될 수도 있다.
- [0082] 다음으로, 도 2d를 참조하면, 저면에 제2 단자(161)가 복수 개 구비된 제2 전자부품(160)이 실장될 수 있다.
- [0083] 이때, 제2 단자(161)에는 솔더페이스트가 도포되어 있을 수 있다.
- [0084] 다음으로, 도 2e를 참조하면, 제2 전자부품(160)의 제2 단자(161)와 도금단자(145)가 솔더(170)를 매개로 하여 직접 접촉되도록 하면서 제2 전자부품(160)이 실장될 수 있다.
- [0085] 즉, 제2 전자부품(160)을 기관(110)상에 정렬한 후 제2 단자(161)와 도금단자(145)가 마주보는 상태에서 제2 전자부품(160)을 하방으로 가압하고, 이때, 열풍을 공급하여 솔더페이스트를 경화시킴으로써 제2 단자(161)와 도금단자(145)가 물리적, 전기적으로 결합되도록 할 수 있다.
- [0086] 또한, 필요에 따라서 제2 단자(161)들 가운데 일부는 제2 회로패턴(142)과 유사한 방식으로 결합될 수 있다.
- [0087] 다음으로, 도 2f를 참조하면, 제2 전자부품(160)과 기관(110) 사이의 영역에 절연수지가 충전되어 몰딩부(180)를 형성할 수 있다.

- [0088] 이에 따라, 본 발명의 실시예에 따른 전자부품들이 구비된 기관구조(100)의 제조방법을 적용함으로써, 종래 방식에서는 비아 형성, 도전패턴 형성, 전자부품 실장 등의 공정을 거쳐야 했던 것에 비하여 공정이 간소화 될 수 있으므로, 공정효율이 향상될 수 있는 것이다.
- [0089] 도 3은 본 발명의 다른 실시예에 따른 전자부품들이 구비된 기관구조(200)를 개략적으로 예시한 단면도이다.
- [0090] 도 3을 참조하면, 본 발명의 다른 실시예에 따른 전자부품들이 구비된 기관구조(200)는 기관(110), 제1 회로패턴(241), 제2 회로패턴(242), 제1 전자부품(120), 제2 전자부품(160), 제1 표면처리층(291) 및 충전재(130)를 포함할 수 있다.
- [0091] 이하에서는 전술한 실시예와 다른 점을 중심으로 본 실시예에 따른 구성을 설명하고, 중복되는 설명은 생략하도록 한다.
- [0092] 본 실시예에 따르면, 기관(110)의 캐비티(111)에 제1 전자부품(120)이 내장되되, 제1 전자부품(120)의 일부가 캐비티(111) 내부로 삽입되고, 나머지 부분은 캐비티(111) 외부로 돌출될 수 있다.
- [0093] 한편, 캐비티(111)와 제1 전자부품(120) 사이의 공간에는 플러그 잉크 등의 충전재(130)가 채워져서 제1 전자부품(120)이 캐비티(111) 내부에 안정적으로 고정되도록 할 수 있다.
- [0094] 또한, 제1 전자부품(120)이 돌출된 영역에도 충전재(130)가 구비될 수 있다.
- [0095] 이때, 제1 전자부품(120)의 일면은 제2 회로패턴(242)의 상부면이 위치하는 수평면과 동일한 수평면에 위치될 수 있다.
- [0096] 한편, 제1 전자부품(120)의 일면에는 제1 단자(121)가 위치될 수 있는데, 이 제1 단자(121)와 제2 전자부품(160)의 제2 단자(161)가 직접 연결될 수 있다.
- [0097] 다만, 제1 전자부품(120)이 MLCC일 경우, 통상적으로 MLCC의 외부전극 표면에는 조도를 형성하는데 한계가 있으므로 다른 도전성 물질과의 접촉시 견고하게 결합되지 못할 수 있다.
- [0098] 따라서, 본 실시예에 따른 전자부품들이 구비된 기관구조(100)에서는 제1 전자부품(120)의 제1 단자(121) 표면에 제1 표면처리층(291)이 구비되도록 하였다.
- [0099] 이때, 제1 표면처리층(291)은 금-기반 SF 코팅층(Au-based SF coating layer)으로 구현될 수 있다.
- [0100] 또한, 이와 동일한 이유로 제2 회로패턴(242)의 상부면 및 제2 전자부품(160)의 제2 단자(161) 하부면에도 각각 제2 표면처리층(292) 및 제3 표면처리층(293)이 구비될 수 있다.
- [0101] 한편, 제1 표면처리층(291)과 제2 전자부품(160)의 제2 단자(161) 사이 또는 제1 표면처리층(291)과 제3 표면처리층(293) 사이에는 솔더(270)가 구비되고, 이 솔더(270)를 매개로 직접 접촉될 수 있다.
- [0102] 도 4a 내지 도 4g는 본 발명의 다른 실시예에 따른 전자부품들이 구비된 기관구조의 제조방법을 개략적으로 예시한 공정단면도이다.
- [0103] 이하에서는, 도 4a 내지 도 4g를 참조하여 본 발명의 실시예에 따른 전자부품들이 구비된 기관구조의 제조방법을 구체적으로 설명하도록 한다.
- [0104] 다만, 전술한 실시예와 다른 점을 중심으로 본 실시예에 따른 구성을 설명하고, 중복되는 설명은 생략하도록 한다.

- [0105] 먼저, 도 4a를 참조하면, 기판(110)의 일면에 금속재질로 이루어지는 씨드층(240S)이 구비되고, 씨드층(240S)의 상부면과 기판(110)의 타면 사이가 관통되어 캐비티(111)가 형성된 기판(110)을 제공한다.
- [0106] 다음으로, 씨드층(240S)의 상부면에 디테치 필름(DF)을 부착하고, 캐비티(111)로 제1 전자부품(120)을 삽입하여 그 일면이 디테치 필름(DF)에 부착되도록 한다.
- [0107] 이때, 디테치 필름(DF)은 평면을 이룰 수 있으므로 제1 전자부품(120)의 일면이 씨드층(240S)의 상부면과 동일한 수평면 상에 위치될 수 있다.
- [0108] 다음으로, 캐비티(111)와 제1 전자부품(120) 사이의 영역에 플러그 잉크 등의 충전재(130)를 충전하여 캐비티(111) 내부에서 제1 전자부품(120)이 견고하게 고정되도록 한다.
- [0109] 다음으로, 도 4b를 참조하면, 디테치 필름(DF)을 제거한 후 씨드층(240S)을 패터닝 하여 제1 회로패턴(241) 및 제2 회로패턴(242)을 형성한다.
- [0110] 이때, 제1 회로패턴(241) 및 제2 회로패턴(242)은 도전패턴을 형성하는 다양한 공법을 적용하여 형성될 수 있다.
- [0111] 또한, 필요에 따라 기판(110)의 타면, 즉 기판(110)의 하부면에 제3 회로패턴(143), 제4 회로패턴(144) 등이 형성될 수도 있다.
- [0112] 또한, 필요에 따라 절연성 확보가 필요한 부분에는 절연부(150)를 형성할 수 있다. 즉, 도 4c에서 예시한 바와 같이 제1 회로패턴(241) 및 제3 회로패턴(143)의 전체를 덮고, 제4 회로패턴(144)의 일부를 덮는 절연부(150)를 형성할 수 있다.
- [0113] 다음으로, 도 4d를 참조하면, 디테치 필름(DF)이 제거된 제1 전자부품(120)의 제1 단자(121) 표면에 제1 표면처리층(291)이 형성될 수 있다.
- [0114] 이때, 제1 표면처리층(291)은 금-기반 SF 코팅층(Au-based SF coating layer)으로 구현될 수 있으며, 제2 회로패턴(242)의 상부면에는 제2 표면처리층(292)이 구비되고, 제2 전자부품(160)의 제2 단자(161) 하부면에는 제3 표면 처리층(293)이 구비될 수 있다.
- [0115] 다음으로, 도 4e를 참조하면, 저면에 제2 단자(161)가 복수 개 구비된 제2 전자부품(160)이 실장될 수 있다.
- [0116] 이때, 제2 단자(161)의 하부면에는 제3 표면처리층(293)이 구비되어 있을 수 있으며, 그 하부에 솔더페이스트가 도포되어 있을 수 있다.
- [0117] 다음으로, 도 4f를 참조하면, 제2 전자부품(160)의 제2 단자(161) 또는 제3 표면처리층(293)과 제1 표면처리층(291)이 솔더(270)를 매개로 하여 직접 접촉되도록 하면서 제2 전자부품(160)이 실장될 수 있다.
- [0118] 또한, 필요에 따라서, 전술한 바와 유사한 방식으로 제2 단자(161)들 가운데 일부가 제2 회로패턴(242)과 결합될 수 있다.
- [0119] 다음으로, 도 4g를 참조하면, 제2 전자부품(160)과 기판(110) 사이의 영역에 절연수지가 충전되어 몰딩부(180)를 형성할 수 있다.

부호의 설명

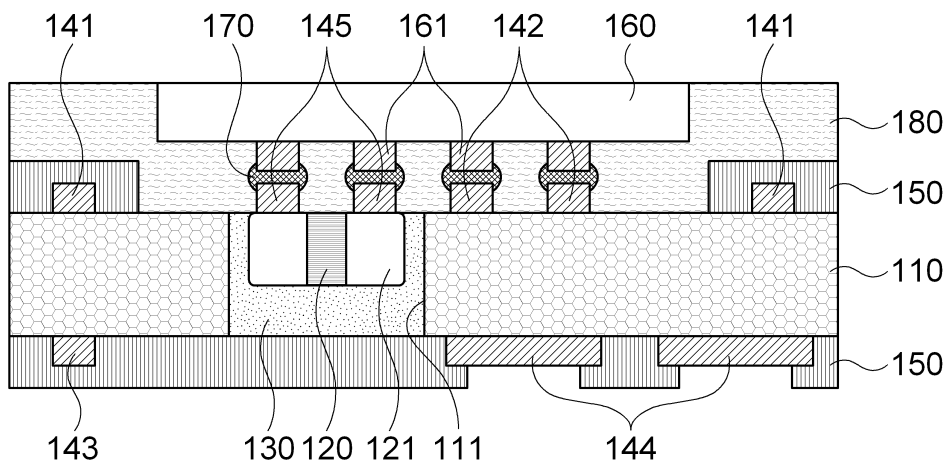
- [0120] 100, 200 : 전자부품들이 구비된 기판구조

- 110 : 기판
- 111 : 캐비티
- 120 : 제1 전자부품
- 121 : 제1 단자
- 130 : 충전재
- 141, 241 : 제1 회로패턴
- 142, 242 : 제2 회로패턴
- 143 : 제3 회로패턴
- 144 : 제4 회로패턴
- 145 : 도금단자
- 150 : 절연부
- 160 : 제2 전자부품
- 161 : 제2 단자
- 170, 270 : 솔더
- 180 : 몰딩부
- 240S : 씨드층
- 291 : 제1 표면처리층
- 292 : 제2 표면처리층
- 293 : 제3 표면처리층
- DF : 디테치 필름

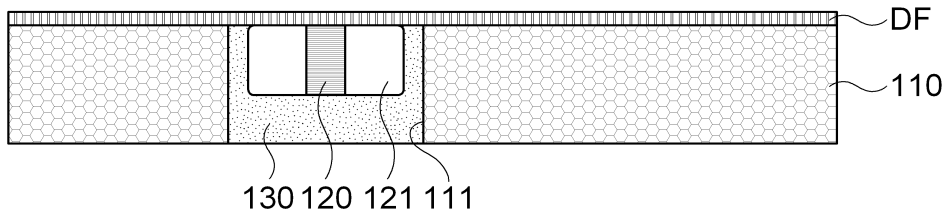
도면

도면1

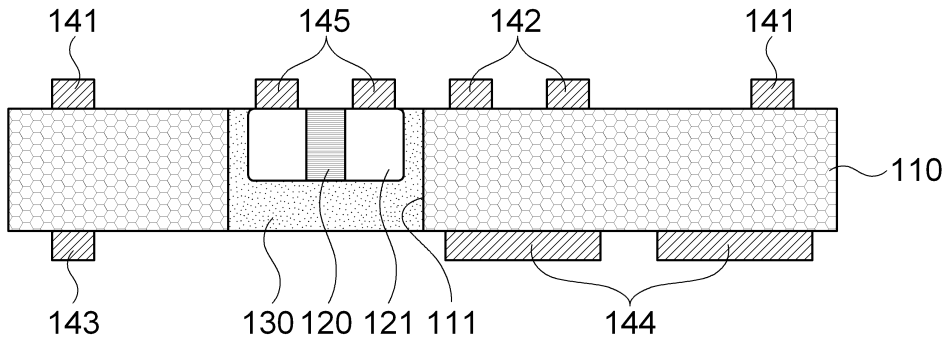
100



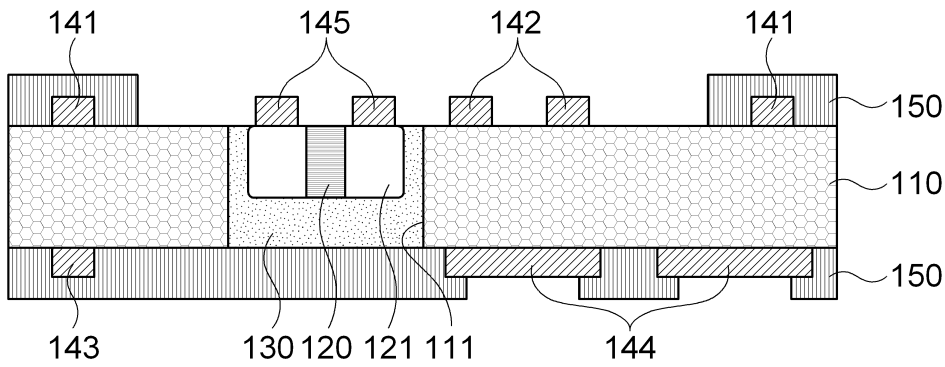
도면2a



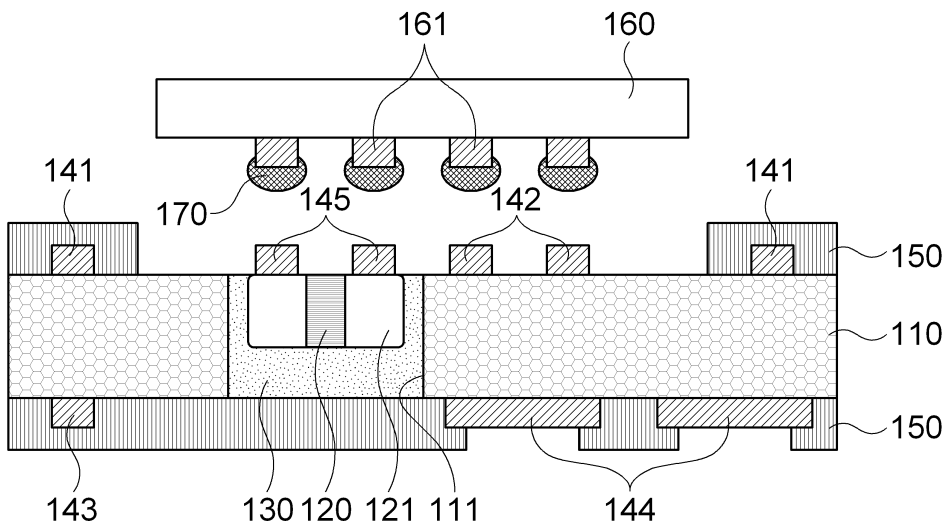
도면2b



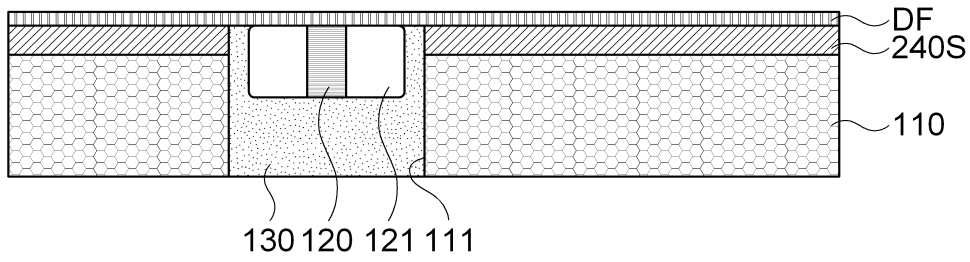
도면2c



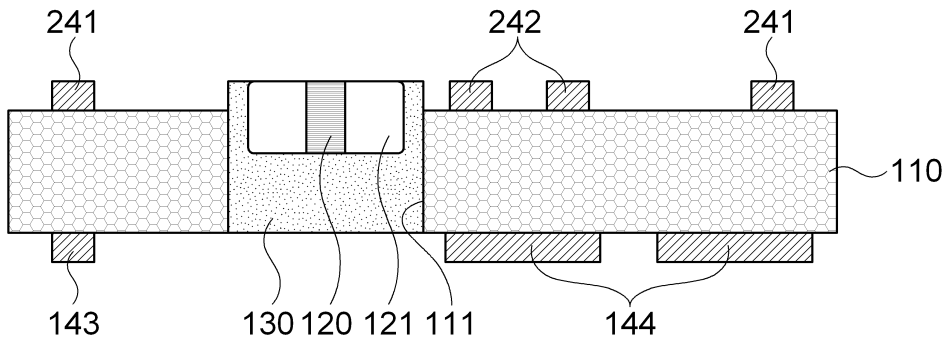
도면2d



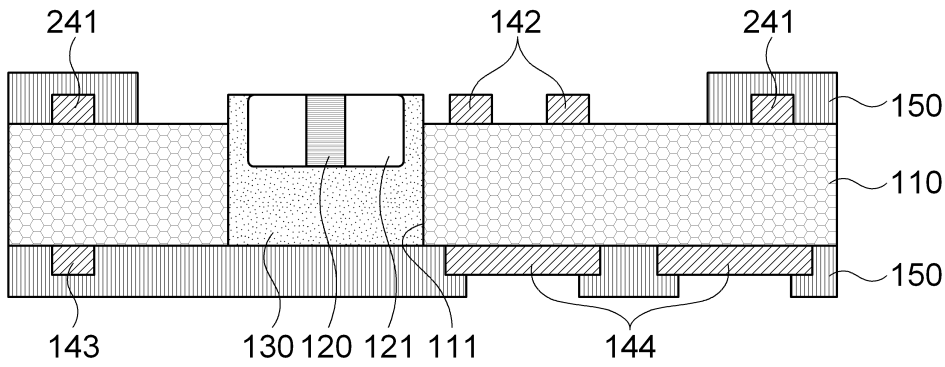
도면4a



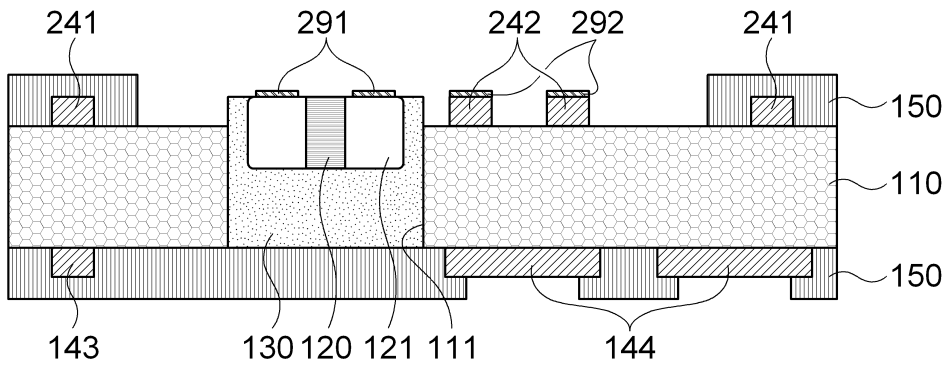
도면4b



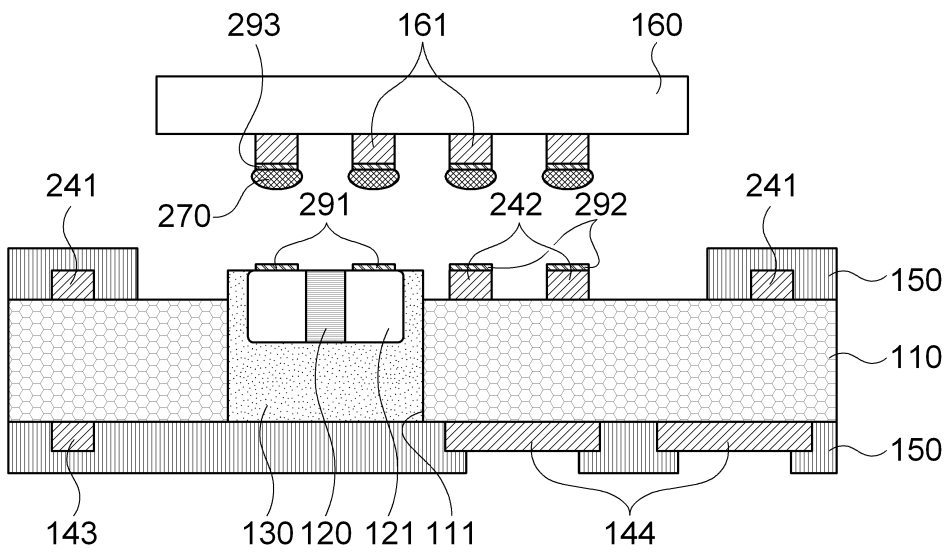
도면4c



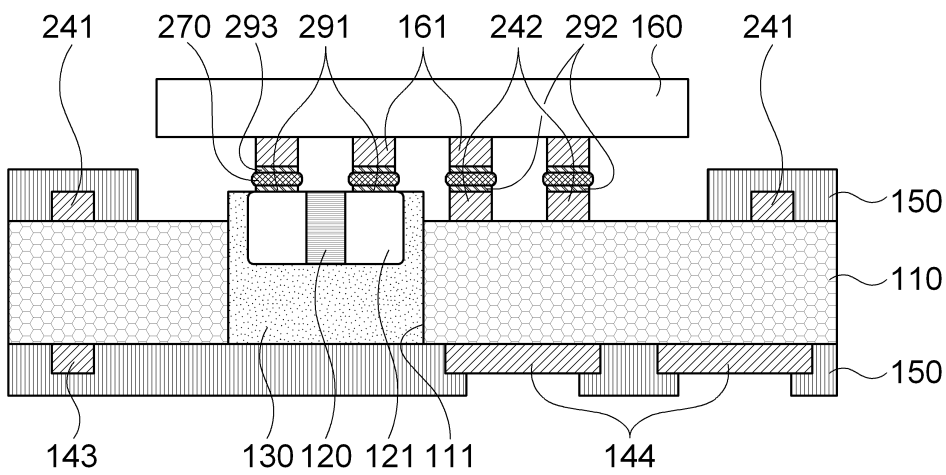
도면4d



도면4e



도면4f



도면4g

