



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년06월24일
(11) 등록번호 10-2412781
(24) 등록일자 2022년06월21일

- (51) 국제특허분류(Int. Cl.)
G11C 16/26 (2006.01) G11C 16/04 (2006.01)
G11C 16/06 (2021.01) G11C 29/02 (2006.01)
- (52) CPC특허분류
G11C 16/26 (2013.01)
G11C 16/0441 (2013.01)
- (21) 출원번호 10-2015-0153893
- (22) 출원일자 2015년11월03일
심사청구일자 2020년10월19일
- (65) 공개번호 10-2017-0052024
- (43) 공개일자 2017년05월12일
- (56) 선행기술조사문헌
KR1020150048425 A
KR1020120005826 A
KR1020140021151 A

- (73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
- (72) 발명자
이지상
전라북도 익산시 고봉로28길 12 (영등동)
박상수
경기도 화성시 동탄반석로 264, 106동 1402호 (석우동, 동탄 예당마을대우푸르지오아파트)
심동교
서울특별시 강남구 삼성로 150, 101동 403호 (대치동, 미도맨션)
- (74) 대리인
박영우

전체 청구항 수 : 총 10 항

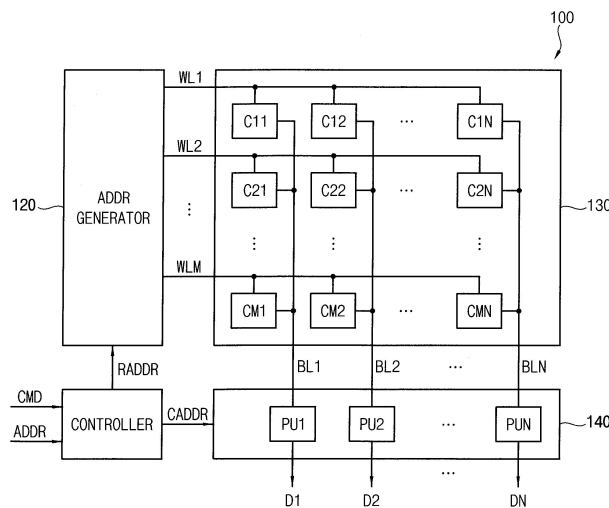
심사관 : 한선경

(54) 발명의 명칭 비휘발성 메모리 장치 및 비휘발성 메모리 장치의 독출 방법

(57) 요약

비휘발성 메모리 장치는 메모리 셀 어레이 및 페이지 버퍼를 포함한다. 메모리 셀 어레이는 워드 라인들과 비트 라인들에 격자 구조로 연결된 메모리 셀들을 포함한다. 페이지 버퍼는 비트 라인들에 각각 연결되고, 출력 데이터를 각각 생성하는 페이지 버퍼 유닛들을 구비한다. 페이지 버퍼 유닛은 래치들을 포함한다. 독출 전압이 워드 라인들 중 하나에 인가된 후 래치들은 각각 다른 샘플링 시점들에서 비트 라인을 통해 방전되는 출력 라인의 전압을 샘플링하여 독출 데이터를 생성한다. 제1 래치의 독출 데이터가 포함하는 에러의 정정이 불가능한 경우 페이지 버퍼 유닛은 나머지 래치들의 독출 데이터들 중 하나를 제1 출력 데이터로서 출력한다.

대표도



(52) CPC특허분류

G11C 16/06 (2013.01)

G11C 29/022 (2013.01)

G11C 2213/75 (2013.01)

명세서

청구범위

청구항 1

제1 내지 제M 워드 라인들과 제1 내지 제N 비트 라인들(M, N은 자연수)에 격자 구조로 연결된 메모리 셀들을 포함하는 메모리 셀 어레이; 및

상기 제1 내지 제N 비트 라인들에 각각 연결되고, 제1 내지 제N 출력 데이터들을 각각 생성하는 제1 내지 제N 페이지 버퍼 유닛들을 구비하는 페이지 버퍼를 포함하고,

상기 제K 페이지 버퍼 유닛(K는 N이하 자연수)은 제1 내지 제L 래치들(L은 2 이상의 자연수)을 포함하고, 독출 전압이 상기 제1 내지 제M 워드 라인들 중 하나에 인가된 후 상기 제1 내지 제L 래치들은 각각 다른 샘플링 시점들에서 상기 제K 비트 라인을 통해 방전되는 제K 출력 라인의 전압을 샘플링하여 독출 데이터들을 생성하고,

상기 제1 래치의 독출 데이터가 포함하는 에러의 정정이 불가능한 경우 상기 제K 페이지 버퍼 유닛은 상기 제2 내지 제L 래치들의 독출 데이터들 중 하나를 상기 제K 출력 데이터로서 출력하는 비휘발성 메모리 장치.

청구항 2

제1 항에 있어서,

상기 제1 래치의 독출 데이터가 포함하는 에러의 정정이 가능한 경우 상기 제K 페이지 버퍼 유닛은 에러가 정정된 상기 제1 래치의 독출 데이터를 상기 제K 출력 데이터로서 출력하는 비휘발성 메모리 장치.

청구항 3

제1 항에 있어서,

상기 제K 페이지 버퍼 유닛은 상기 제K 비트 라인을 프리 차지(Pre-charge) 전압으로 충전하고 상기 제K 출력 라인을 전원 전압으로 충전한 후 상기 제K 출력 라인을 상기 제K 비트 라인을 통해 방전하고,

상기 샘플링 시점들은 상기 제K 출력 라인을 상기 제K 비트 라인을 통해 방전하는 구간 내에 위치하는 비휘발성 메모리 장치.

청구항 4

제3 항에 있어서,

상기 샘플링 시점들에서 상기 제K 출력 라인의 전압이 판단 기준 전압 이상인 경우, 상기 독출 전압이 인가된 워드 라인 및 상기 제K 비트 라인에 연결된 메모리 셀이 상기 독출 전압 이상의 문턱 전압을 가지는 오프-셀(Off-cell)로 판단되고,

상기 샘플링 시점들에서 상기 제K 출력 라인의 전압이 상기 판단 기준 전압 미만인 경우, 상기 독출 전압이 인가된 워드 라인 및 상기 제K 비트 라인에 연결된 메모리 셀이 상기 독출 전압 미만의 문턱 전압을 가지는 온-셀(On-cell)로 판단되는 비휘발성 메모리 장치.

청구항 5

제3 항에 있어서,

상기 샘플링 시점들이 이룰수록 상기 독출 전압이 인가된 워드 라인 및 상기 제K 비트 라인에 연결된 메모리 셀이 상기 독출 전압 이상의 문턱 전압을 가지는 오프-셀로 판단될 가능성이 높아지고,

상기 샘플링 시점들이 늦을수록 상기 독출 전압에 인가된 워드 라인 및 상기 제K 비트 라인에 연결된 메모리 셀이 상기 독출 전압 미만의 문턱 전압을 가지는 온-셀로 판단될 가능성이 높아지는 비휘발성 메모리 장치.

청구항 6

제1 항에 있어서,
 상기 비휘발성 메모리 장치는,
 커맨드 신호 및 어드레스 신호에 기초하여 행 어드레스 신호 및 열 어드레스 신호를 생성하는 제어부; 및
 상기 행 어드레스 신호에 기초하여 상기 제1 내지 제M 워드 라인들 중 하나에 적어도 하나의 독출 전압을 인가하는 어드레스 생성부를 더 포함하고,
 상기 페이지 버퍼는 상기 열 어드레스 신호에 기초하여 동작하고,
 상기 메모리 셀들이 각각 SLC(Single-Level Cell)인 경우, 상기 어드레스 생성부는 상기 제1 내지 제M 워드 라인들 중 하나에 하나의 독출 전압을 인가하고, 상기 페이지 버퍼는 상기 제1 내지 제N 출력 라인의 전압을 한번 샘플링하고,
 상기 메모리 셀들이 각각 MLC(Multi-Level Cell) 또는 TLC(Triple-Level Cell)인 경우, 상기 어드레스 생성부는 상기 제1 내지 제M 워드 라인들 중 하나에 복수의 독출 전압들을 순차적으로 인가하고, 상기 페이지 버퍼는 상기 제1 내지 제K 출력 라인을 순차적으로 복수 번 샘플링하는 비휘발성 메모리 장치.

청구항 7

제1 독출 전압을 하나의 워드 라인에 인가하는 단계;
 메모리 셀 어레이에 포함되고, 상기 하나의 워드 라인에 연결된 메모리 셀들에 각각 연결된 복수의 비트 라인들을 프리 차지(Pre-charge) 전압으로 1차 충전하는 단계;
 페이지 버퍼에 포함되는 복수의 출력 라인들을 전원 전압으로 1차 충전하는 단계;
 상기 출력 라인들을 각각 상기 비트 라인들을 통해 1차 방전하는 단계;
 제1 샘플링 시점에서 상기 페이지 버퍼에 포함되는 제1 래치들이 상기 출력 라인들의 전압을 각각 샘플링하여 제1 독출 데이터를 생성하는 단계;
 상기 제1 샘플링 시점과 다른 제2 샘플링 시점에서 상기 페이지 버퍼에 포함되는 제2 래치들이 상기 출력 라인들의 전압을 각각 샘플링하여 제2 독출 데이터를 생성하는 단계;
 상기 제1 독출 데이터가 포함하는 에러의 정정이 가능한지 판단하는 단계; 및
 상기 제1 독출 데이터가 포함하는 에러의 정정이 불가능한 경우, 상기 페이지 버퍼는 상기 제2 독출 데이터를 출력 데이터로서 출력하는 단계를 포함하는 비휘발성 메모리 장치의 독출 방법.

청구항 8

제7 항에 있어서,
 상기 제1 독출 데이터가 포함하는 에러의 정정이 가능한 경우, 상기 페이지 버퍼는 에러가 정정된 제1 독출 데이터를 상기 출력 데이터로서 출력하는 단계를 더 포함하는 비휘발성 메모리 장치의 독출 방법.

청구항 9

제7 항에 있어서,
 제2 독출 전압을 상기 하나의 워드 라인에 인가하는 단계;
 상기 비트 라인들을 상기 프리 차지 전압으로 2차 충전하는 단계;
 상기 출력 라인들을 상기 전원 전압으로 2차 충전하는 단계;
 상기 출력 라인들을 각각 상기 비트 라인들을 통해 2차 방전하는 단계;
 제3 샘플링 시점에서 상기 제1 래치들이 상기 출력 라인들의 전압을 각각 샘플링하여 상기 제1 독출 데이터를 갱신하는 단계; 및
 제4 샘플링 시점에서 상기 제2 래치들이 상기 출력 라인들의 전압을 각각 샘플링하여 상기 제2 독출 데이터를 갱신하는 단계를 더 포함하는 비휘발성 메모리 장치의 독출 방법.

청구항 10

제9 항에 있어서,

상기 1차 방전이 시작되는 시점부터 상기 제1 샘플링 시점까지의 간격은 상기 2차 방전이 시작되는 시점부터 상기 제3 샘플링 시점까지의 간격과 동일하고,

상기 1차 방전이 시작되는 시점부터 상기 제2 샘플링 시점까지의 간격은 상기 2차 방전이 시작되는 시점부터 상기 제4 샘플링 시점까지의 간격과 동일한 비휘발성 메모리 장치의 독출 방법.

발명의 설명

기술 분야

[0001] 본 발명은 비휘발성 메모리 장치에 관한 것으로서, 더욱 상세하게는 독출 데이터의 에러를 복구할 수 없는 경우 데이터를 재독출하는데 소요되는 시간을 감축하는 비휘발성 메모리 장치 및 비휘발성 메모리 장치의 독출 방법에 관한 것이다.

배경 기술

[0002] 플래시 메모리 장치와 같은 비휘발성 메모리 장치의 메모리 셀들은 서로 다른 논리 상태들에 상응하는 문턱 전압 분포들을 가지도록 프로그램됨으로써 데이터를 저장할 수 있다. 상기 소정의 문턱 전압을 가지는 메모리 셀에 소정의 독출 전압을 인가하여 상기 메모리 셀에 저장된 상기 데이터를 독출할 수 있다.

[0003] 상기 메모리 셀들이 상기 문턱 전압 분포들을 가지도록 프로그램되는 도중 또는 프로그램된 후, 전하 누설, 프로그램 디스터브, 커플링, 온도 변화(e.g. 고온 지속), 전압 변화 등에 의해 각 문턱 전압 분포의 폭이 증가할 수 있다. 상기 문턱 전압 분포들이 넓어지거나 한 쪽으로 쉬프트 되면, 독출 전압으로서 미리 정해진 디폴트 독출 전압들을 이용하는 경우 상기 데이터가 부정확하게 독출될 수 있다. 이 경우, 종래의 비휘발성 메모리 장치는 디폴트 독출 전압에서 시작해서 독출 전압의 레벨을 변경하면서 독출 재시도(Read Retry)를 수행한다.

[0004] 상기 독출 재시도는 상기 데이터가 정확하게 독출될 때까지 독출 전압들을 순차적으로 변경하면서 독출 동작을 여러 번 수행하기 때문에 많은 시간을 소요한다.

발명의 내용

해결하려는 과제

[0005] 상기와 같은 문제점을 해결하기 위한 본 발명의 일 목적은 독출 데이터의 에러를 복구할 수 없는 경우 데이터를 재독출하는데 소요되는 시간을 감축하는 비휘발성 메모리 장치를 제공하는데 있다.

[0006] 본 발명의 일 목적은 독출 데이터의 에러를 복구할 수 없는 경우 데이터를 재독출하는데 소요되는 시간을 감축하는 비휘발성 메모리 장치의 독출 방법을 제공하는데 있다.

과제의 해결 수단

[0007] 상기 일 목적을 달성하기 위해, 본 발명의 일 실시예에 따른 비휘발성 메모리 장치는 메모리 셀 어레이 및 페이지 버퍼를 포함한다. 상기 메모리 셀 어레이는 제1 내지 제M 워드 라인들과 제1 내지 제N 비트 라인들(M, N은 자연수)에 격자 구조로 연결된 메모리 셀들을 포함한다. 상기 페이지 버퍼는 상기 제1 내지 제N 비트 라인들에 각각 연결되고, 제1 내지 제N 출력 데이터들을 각각 생성하는 제1 내지 제N 페이지 버퍼 유닛들을 구비한다. 상기 제K 페이지 버퍼 유닛(K는 N이하 자연수)은 제1 내지 제L 래치들(L은 2 이상의 자연수)을 포함한다. 독출 전압이 상기 제1 내지 제M 워드 라인들 중 하나에 인가된 후 상기 제1 내지 제L 래치들은 각각 다른 샘플링 시점들에서 상기 제K 비트 라인을 통해 방전되는 제K 출력 라인의 전압을 샘플링하여 독출 데이터들을 생성한다. 상기 제1 래치의 독출 데이터가 포함하는 에러의 정정이 불가능한 경우 상기 제K 페이지 버퍼 유닛은 상기 제2 내지 제L 래치들의 독출 데이터들 중 하나를 상기 제1 출력 데이터로서 출력한다.

[0008] 일 실시예에 있어서, 상기 제1 래치의 독출 데이터가 포함하는 에러의 정정이 가능한 경우 상기 제K 페이지 버퍼 유닛은 에러가 정정된 상기 제1 래치의 독출 데이터를 상기 제1 출력 데이터로서 출력할 수 있다.

[0009] 일 실시예에 있어서, 상기 제K 페이지 버퍼 유닛은 상기 제K 비트 라인을 프리 차지(Pre-charge) 전압으로 충전

하고 상기 제K 출력 라인을 전원 전압으로 충전한 후 상기 제K 출력 라인을 상기 제K 비트 라인을 통해 방전할 수 있다.

- [0010] 일 실시예에 있어서, 상기 샘플링 시점들은 상기 제K 출력 라인을 상기 제K 비트 라인을 통해 방전하는 구간 내에 위치할 수 있다.
- [0011] 일 실시예에 있어서, 상기 샘플링 시점들에서 상기 제K 출력 라인의 전압이 판단 기준 전압 이상인 경우, 상기 독출 전압이 인가된 워드 라인 및 상기 제K 비트 라인에 연결된 메모리 셀이 상기 독출 전압 이상의 문턱 전압을 가지는 오프-셀(Off-cell)로 판단될 수 있다. 상기 샘플링 시점들에서 상기 제K 출력 라인의 전압이 상기 판단 기준 전압 미만인 경우, 상기 독출 전압이 인가된 워드 라인 및 상기 제K 비트 라인에 연결된 메모리 셀이 상기 독출 전압 미만의 문턱 전압을 가지는 온-셀(On-cell)로 판단될 수 있다.
- [0012] 일 실시예에 있어서, 상기 샘플링 시점들이 이룰수록 상기 독출 전압이 인가된 워드 라인 및 상기 제K 비트 라인에 연결된 메모리 셀이 상기 독출 전압 이상의 문턱 전압을 가지는 오프-셀로 판단될 가능성이 높아질 수 있다. 상기 샘플링 시점들이 늦을수록 상기 독출 전압에 인가된 워드 라인 및 상기 제K 비트 라인에 연결된 메모리 셀이 상기 독출 전압 미만의 문턱 전압을 가지는 온-셀로 판단될 가능성이 높아질 수 있다.
- [0013] 일 실시예에 있어서, 상기 비휘발성 메모리 장치는 제어부 및 어드레스 생성부를 더 포함할 수 있다. 상기 제어부는 커맨드 신호 및 어드레스 신호에 기초하여 행 어드레스 신호 및 열 어드레스 신호를 생성할 수 있다. 상기 어드레스 생성부는 상기 행 어드레스 신호에 기초하여 상기 제1 내지 제M 워드 라인들 중 하나에 적어도 하나의 독출 전압을 인가할 수 있다. 상기 페이지 버퍼는 상기 열 어드레스 신호에 기초하여 동작할 수 있다.
- [0014] 일 실시예에 있어서, 상기 메모리 셀들이 각각 SLC(Single-Level Cell)인 경우, 상기 어드레스 생성부는 상기 제1 내지 제M 워드 라인들 중 하나에 하나의 독출 전압을 인가하고, 상기 페이지 버퍼는 상기 제1 내지 제N 출력 라인의 전압을 한 번 샘플링할 수 있다.
- [0015] 일 실시예에 있어서, 상기 메모리 셀들이 각각 MLC(Multi-Level Cell) 또는 TLC(Triple-Level Cell)인 경우, 상기 어드레스 생성부는 상기 제1 내지 제M 워드 라인들 중 하나에 복수의 독출 전압들을 순차적으로 인가하고, 상기 페이지 버퍼는 상기 제1 내지 제K 출력 라인을 순차적으로 복수 번 샘플링할 수 있다.
- [0016] 상기 일 목적을 달성하기 위해, 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 독출 방법은 제1 독출 전압을 하나의 워드 라인에 인가하는 단계; 메모리 셀 어레이에 포함되고, 상기 하나의 워드 라인에 연결된 메모리 셀들에 각각 연결된 복수의 비트 라인들을 프리 차지(Pre-charge) 전압으로 1차 충전하는 단계; 페이지 버퍼에 포함되는 복수의 출력 라인들을 전원 전압으로 1차 충전하는 단계; 상기 출력 라인들을 각각 상기 비트 라인들을 통해 1차 방전하는 단계; 제1 샘플링 시점에서 상기 페이지 버퍼에 포함되는 제1 래치들이 상기 출력 라인들의 전압을 각각 샘플링하여 제1 독출 데이터를 생성하는 단계; 제2 샘플링 시점에서 상기 페이지 버퍼에 포함되는 제2 래치들이 상기 출력 라인들의 전압을 각각 샘플링하여 제2 독출 데이터를 생성하는 단계; 상기 제1 독출 데이터가 포함하는 에러의 정정이 가능한지 판단하는 단계; 및 상기 제1 독출 데이터가 포함하는 에러의 정정이 불가능한 경우, 상기 페이지 버퍼는 상기 제2 독출 데이터를 출력 데이터로서 출력하는 단계를 포함한다.
- [0017] 일 실시예에 있어서, 상기 비휘발성 메모리 장치의 독출 방법은 상기 제1 독출 데이터가 포함하는 에러의 정정이 가능한 경우, 상기 페이지 버퍼는 에러가 정정된 제1 독출 데이터를 상기 출력 데이터로서 출력하는 단계를 더 포함할 수 있다.
- [0018] 일 실시예에 있어서, 상기 비휘발성 메모리 장치의 독출 방법은 제2 독출 전압을 상기 하나의 워드 라인에 인가하는 단계; 상기 비트 라인들을 상기 프리 차지 전압으로 2차 충전하는 단계; 상기 출력 라인들을 상기 전원 전압으로 2차 충전하는 단계; 상기 출력 라인들을 각각 상기 비트 라인들을 통해 2차 방전하는 단계; 제3 샘플링 시점에서 상기 제1 래치들이 상기 출력 라인들의 전압을 각각 샘플링하여 상기 제1 독출 데이터를 갱신하는 단계; 및 제4 샘플링 시점에서 상기 제2 래치들이 상기 출력 라인들의 전압을 각각 샘플링하여 상기 제2 독출 데이터를 갱신하는 단계를 더 포함할 수 있다.
- [0019] 일 실시예에 있어서, 상기 1차 방전이 시작되는 시점부터 상기 제1 샘플링 시점까지의 간격은 상기 2차 방전이 시작되는 시점부터 상기 제3 샘플링 시점까지의 간격과 동일할 수 있다.
- [0020] 일 실시예에 있어서, 상기 1차 방전이 시작되는 시점부터 상기 제2 샘플링 시점까지의 간격은 상기 2차 방전이 시작되는 시점부터 상기 제4 샘플링 시점까지의 간격과 동일할 수 있다.
- [0021] 일 실시예에 있어서, 상기 제1 독출 데이터가 포함하는 에러의 정정이 가능한지 판단하는 단계는, 에러 정정 코

드(Error Correction Code)를 이용하여 상기 제1 독출 데이터가 포함하는 에러의 정정이 가능한지 판단하는지 판단하는 단계를 포함할 수 있다.

발명의 효과

[0022] 본 발명의 실시예들에 비휘발성 메모리 장치 및 비휘발성 메모리 장치의 독출 방법은 복수의 래치들이 출력 라인의 전압을 서로 다른 샘플링 시점들에서 샘플링하여 독출 데이터를 생성함으로써 독출 전압을 변경했을 때와 동일한 결과들을 병렬적으로 생성할 수 있다. 하나의 래치의 독출 데이터가 포함하는 에러의 정정이 불가능한 경우, 메모리 셀로부터 래치로 재독출 없이, 다른 래치의 독출 데이터를 출력 데이터로 출력하기 때문에 독출 재시도(Read retry) 시 소요되는 시간을 저감할 수 있다.

도면의 간단한 설명

[0023] 도 1은 본 발명의 일 실시예에 따른 비휘발성 메모리 장치를 나타내는 블록도이다.
 도 2는 도 1의 비휘발성 메모리 장치에 포함되는 메모리 셀 어레이가 평면적으로 구현된 실시예를 나타내는 블록도이다.
 도 3은 도 1의 제1 페이지 버퍼 유닛을 나타내는 회로도이다.
 도 4는 도 1의 메모리 셀들의 초기 문턱 전압 분포를 나타내는 그래프들이다.
 도 5는 도 1의 메모리 셀들이 열화되었을 때 도 1의 메모리 셀들의 문턱 전압 분포를 나타내는 그래프이다.
 도 6은 도 3의 제1 페이지 버퍼 유닛에 포함되는 제1 래치를 나타내는 회로도이다.
 도 7 및 8은 도 6의 제1 래치가 독출 데이터를 생성하는 방법을 나타내는 그래프들이다.
 도 9 내지 14는 도 3의 제1 페이지 버퍼 유닛의 동작을 나타내는 그래프들이다.
 도 15는 도 1의 비휘발성 메모리 장치에 포함되는 메모리 셀 어레이가 삼차원적으로 구현된 실시예를 나타내는 사시도이다.
 도 16은 도 15의 메모리 셀 어레이의 등가 회로도이다.
 도 17 및 18은 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 독출 방법을 나타내는 순서도들이다.
 도 19는 본 발명의 일 실시예에 따른 메모리 시스템을 나타내는 블록도이다.
 도 20은 본 발명의 일 실시예에 따른 메모리 카드를 나타내는 블록도이다.
 도 21은 본 발명의 일 실시예에 따른 솔리드 스테이트 드라이브 시스템을 나타내는 블록도이다.
 도 22는 본 발명의 일 실시예에 따른 모바일 시스템을 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0024] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안 된다.

[0025] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 구성요소에 대해 사용하였다.

[0026] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[0027] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이

해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

- [0028] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0029] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0030] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면 상의 동일한 구성 요소에 대해서는 동일한 참조 부호를 사용하고 동일한 구성 요소에 대해서 중복된 설명은 생략한다.
- [0031] 도 1은 본 발명의 일 실시예에 다른 비휘발성 메모리 장치를 나타내는 블록도이다.
- [0032] 도 1을 참조하면, 비휘발성 메모리 장치(100)는 제어부(CONTROLLER; 110), 어드레스 생성부(ADDR GENERATOR; 120), 메모리 셀 어레이(130) 및 페이지 버퍼(140)를 포함한다. 메모리 셀 어레이(130)는 메모리 셀들(C11, C12 내지 C1N, C21, C22 내지 C2N, CM1, CM2 내지 CMN)을 포함한다. 페이지 버퍼(140)는 제1 내지 제N 페이지 버퍼 유닛들(PU1, PU2 내지 PUN)을 포함한다.
- [0033] 제어부(110)는 커맨드 신호(CMD) 및 어드레스 신호(ADDR)에 기초하여 행 어드레스 신호(RADDR) 및 열 어드레스 신호(CADDR)를 생성할 수 있다. 어드레스 생성부(120)는 행 어드레스 신호(RADDR)에 기초하여 제1 내지 제M 워드 라인들(WL1, WL2 내지 WLM) 중 하나에 적어도 하나의 독출 전압을 인가할 수 있다. 메모리 셀들(C11, C12 내지 C1N, C21, C22 내지 C2N, CM1, CM2 내지 CMN)은 제1 내지 제M 워드 라인들(WL1, WL2 내지 WLM)과 제1 내지 제N 비트 라인들(BL1, BL2 내지 BLN)(M, N은 자연수)에 격자 구조로 연결된다.
- [0034] 제1 내지 제N 페이지 버퍼 유닛들(PU1, PU2 내지 PUN)은 제1 내지 제N 비트 라인들(BL1, BL2 내지 BLN)에 각각 연결되고, 제1 내지 제N 출력 데이터들(D1, D2 내지 DN)을 각각 생성한다. 제1 내지 제N 페이지 버퍼 유닛들(PU1, PU2 내지 PUN)은 각각 제1 내지 제N 출력 라인들을 포함한다.
- [0035] 제K 페이지 버퍼 유닛(PUK)(K는 N이하 자연수)은 제1 내지 제L 래치들(L은 2 이상의 자연수)을 포함한다. 독출 전압이 제1 내지 제M 워드 라인들(WL1, WL2 내지 WLM) 중 하나에 인가된 후 상기 제1 내지 제L 래치들은 각각 다른 샘플링 시점들에서 제K 비트 라인(BLK)을 통해 방전되는 제K 출력 라인의 전압을 샘플링하여 독출 데이터들을 생성한다. 상기 제1 래치의 독출 데이터가 포함하는 에러의 정정이 불가능한 경우 제K 페이지 버퍼 유닛(PUK)은 상기 제2 내지 제L 래치들의 독출 데이터들 중 하나를 제K 출력 데이터(DK)로서 출력한다. 상기 제1 래치의 독출 데이터가 포함하는 에러의 정정이 가능한 경우 제K 페이지 버퍼 유닛(PUK)은 에러가 정정된 상기 제1 래치의 독출 데이터를 제K 출력 데이터(DK)로서 출력할 수 있다.
- [0036] 일 실시예에 있어서, 메모리 셀들(C11, C12 내지 C1N, C21, C22 내지 C2N, CM1, CM2 내지 CMN)이 각각 SLC(Single-Level Cell)인 경우, 어드레스 생성부(120)는 제1 내지 제M 워드 라인들(WL1, WL2 내지 WLM) 중 하나에 하나의 독출 전압을 인가하고, 페이지 버퍼(140)는 상기 제1 내지 제N 출력 라인의 전압을 한 번 샘플링할 수 있다.
- [0037] 일 실시예에 있어서, 메모리 셀들(C11, C12 내지 C1N, C21, C22 내지 C2N, CM1, CM2 내지 CMN)이 각각 MLC(Multi-Level Cell) 또는 TLC (Triple-Level Cell)인 경우, 어드레스 생성부(120)는 제1 내지 제M 워드 라인들(WL1, WL2 내지 WLM) 중 하나에 복수의 독출 전압들을 순차적으로 인가하고, 페이지 버퍼(140)는 상기 제1 내지 제K 출력 라인을 순차적으로 복수 번 샘플링할 수 있다.
- [0038] 도 2는 도 1의 비휘발성 메모리 장치에 포함되는 메모리 셀 어레이가 평면적으로 구현된 실시예를 나타내는 블록도이다.

- [0039] 도 2를 참조하면, 어드레스 생성부(120)는 제1 내지 제M 워드 라인들(WL1, WL2, WL3 내지 WLM), 스트링 선택 라인(SSL) 및 공통 소스 라인(CSL)를 통해 메모리 셀 어레이(130)와 연결될 수 있다.
- [0040] 메모리 셀 어레이(130)는 제1 셀 스트링(ST1) 내지 제N 셀 스트링(STN)을 포함할 수 있다. 제1 비트 라인(BL1)과 공통 소스 라인(CSL) 사이에 제1 셀 스트링(ST1)이 연결될 수 있다. 제N 비트 라인(BLN)과 공통 소스 라인(CSL) 사이에 제N 셀 스트링(STN)이 연결될 수 있다.
- [0041] 제1 셀 스트링(ST1)은 제1 스트링 선택 트랜지스터(SST1), 제1 내지 제4 플로팅 게이트 트랜지스터들(TR11, TR21, TR31 내지 TRM1)로 각각 구현되는 제1 내지 제4 메모리 셀들(C11, C21, C31 및 CM1) 및 제1 접지 선택 트랜지스터(GST1)를 포함할 수 있다. 제1 스트링 선택 트랜지스터(SST1)의 게이트는 스트링 선택 라인(SSL)에 연결될 수 있다. 제1 접지 선택 트랜지스터(GST1)의 게이트는 접지 선택 라인(GSL)에 연결될 수 있다. 제1 내지 제4 플로팅 게이트 트랜지스터들(TR11, TR21, TR31 내지 TRM1)의 게이트들에는 제1 내지 제M 워드 라인들(WL1, WL2, WL3 내지 WLM)이 각각 연결될 수 있다.
- [0042] 제N 셀 스트링(STN)은 제N 스트링 선택 트랜지스터(SSTN), 제5 내지 제8 플로팅 게이트 트랜지스터들(TR1N, TR2N, TR3N 내지 TRMN)로 각각 구현되는 제5 내지 제8 메모리 셀들(C1N, C2N, C3N 및 CMN) 및 제N 접지 선택 트랜지스터(GSTN)를 포함할 수 있다. 제N 스트링 선택 트랜지스터(SSTN)의 게이트는 스트링 선택 라인(SSL)에 연결될 수 있다. 제N 접지 선택 트랜지스터(GSTN)의 게이트는 접지 선택 라인(GSL)에 연결될 수 있다. 5 내지 제8 플로팅 게이트 트랜지스터들(TR1N, TR2N, TR3N 내지 TRMN)의 게이트들에는 제1 내지 제M 워드 라인들(WL1, WL2, WL3 내지 WLM)이 각각 연결될 수 있다.
- [0043] 일 실시예에 있어서, 메모리 셀 어레이(130)에 포함되는 메모리 셀들(C11, C21, C31 내지 CM1, C1N, C2N, C3N 내지 CMN)의 각각은 하나의 데이터 비트를 저장하는 싱글 레벨 셀(Single Level Cell; SLC)일 수 있다. 다른 실시예에 있어서, 메모리 셀 어레이(130)에 포함되는 메모리 셀들(C11, C21, C31 내지 CM1, C1N, C2N, C3N 내지 CMN)의 각각은 복수의 데이터 비트들을 저장하는 멀티 레벨 셀(Multi Level Cell; MLC)일 수 있다. 또 다른 실시예에 있어서, 메모리 셀 어레이(130)에 포함되는 메모리 셀들(C11, C21, C31 내지 CM1, C1N, C2N, C3N 내지 CMN)의 각각은 세 개의 데이터 비트들을 저장하는 트리플 레벨 셀(Triple Level Cell; TLC)일 수 있다.
- [0044] 독출 시에, 제2 워드 라인(WL2)이 선택된 경우, 제2 워드 라인(WL2)에 독출 전압이 인가된다. 선택되지 않은 워드 라인들(WL1, WL3, WLN)에 최대 독출 전압이 인가된다.
- [0045] 상기 독출 전압은 선택된 제2 워드 라인(WL2)에 연결된 메모리 셀들(C21 내지 C2N)의 문턱 전압들을 판별하기 위한 전압일 수 있다. 상기 최대 독출 전압은 선택되지 않은 워드 라인들(WL1, WL3, WLN)에 연결된 메모리 셀들(C11, C1N, C31, C3N, CM1, CMN)을 턴-온하기 위한 전압일 수 있다. 최대 독출 전압은 메모리 셀들(C11, C21, C31, CM1, C1N, C2N, C3N 및 CMN)의 문턱 전압들보다 높은 레벨을 가질 수 있다. 최대 독출 전압은 상기 독출 전압보다 높은 레벨을 가질 수 있다.
- [0046] 도 3은 도 1의 제1 페이지 버퍼 유닛을 나타내는 회로도이다. 제2 내지 제N 페이지 버퍼 유닛들(PU2 내지 PUN)은 제1 페이지 버퍼 유닛(PU1)과 동일 또는 유사한 구조를 가지므로, 제2 내지 제N 페이지 버퍼 유닛들(PU2 내지 PUN)에 대한 자세한 설명은 생략한다. 도 3은 제1 페이지 버퍼 유닛(PU1)의 일 실시예를 나타내며, 제1 페이지 버퍼 유닛(PU1)은 도 3의 구조 외 다른 구조로서 구현될 수도 있다.
- [0047] 도 3을 참조하면, 제1 페이지 버퍼 유닛(PU1)은 PMOS 트랜지스터(TR1), NMOS 트랜지스터(TR2), 제1 내지 제L 래치들(L은 2 이상의 자연수) 및 캐쉬 래치(C-LATCH)를 포함한다.
- [0048] PMOS 트랜지스터(TR1)의 소스에 전원 전압(VDD)이 인가되고, PMOS 트랜지스터(TR1)의 게이트에 로드 활성화 신호(LES)가 인가되고, PMOS 트랜지스터(TR1)의 드레인은 제1 출력 라인(SOL1)에 연결된다. NMOS 트랜지스터(TR2)의 소스는 제1 출력 라인(SOL1)에 연결되고, NMOS 트랜지스터(TR2)의 게이트에 비트 라인 활성화 신호(BLES)가 인가되고, NMOS 트랜지스터(TR2)의 드레인은 제1 비트 라인(BL1)에 연결된다.
- [0049] 독출 전압이 제1 내지 제M 워드 라인들(WL1, WL2 내지 WLM) 중 하나에 인가된 후, 제1 래치(LATCH1)는 제1 세트 신호(SETS1) 및 제1 리셋 신호(RSTS1)의 상승 에지(Rising edge)인 제1 샘플링 시점에서 NMOS 트랜지스터(TR2) 및 제1 비트 라인(BL1)을 통해 방전되는 제1 출력 라인(SOL1)의 전압을 샘플링하여 독출 데이터를 생성하고, 제2 래치(LATCH2)는 제2 세트 신호(SETS2) 및 제2 리셋 신호(RSTS2)의 상승 에지인 제2 샘플링 시점에서 NMOS 트랜지스터(TR2) 및 제1 비트 라인(BL1)을 통해 방전되는 제1 출력 라인(SOL1)의 전압을 샘플링하여 독출 데이터를 생성하고, 제L 래치(LATCHL)는 제L 세트 신호(SETSL) 및 제L 리셋 신호(RSTSL)의 상승 에지인 제L 샘플링 시

점에서 NMOS 트랜지스터(TR2) 및 제1 비트 라인(BL1)을 통해 방전되는 제1 출력 라인(SOL1)의 전압을 샘플링하여 독출 데이터를 생성한다.

- [0050] 제1 래치(LATCH1)가 독출 데이터를 생성하는 과정은 도 7 및 8을 참조하여 후술한다.
- [0051] 제1 래치(LATCH1)의 독출 데이터가 포함하는 에러의 정정이 가능한 경우 제1 페이지 버퍼 유닛(PU1)은 에러가 정정된 제1 래치(LATCH1)의 독출 데이터를 캐쉬 래치(C-LATCH)를 통해 제1 출력 데이터(D1)로서 출력할 수 있다. 제1 래치(LATCH1)의 독출 데이터가 포함하는 에러의 정정이 불가능한 경우, 제1 페이지 버퍼 유닛(PU1)은 제2 내지 제L 래치들(LATCH2 내지 LATCHL)의 독출 데이터들 중 하나를 제1 출력 데이터(D1)로서 출력할 수 있다. 일 실시예에 있어서, 제2 래치(LATCH2)의 독출 데이터가 포함하는 에러의 정정이 불가능한 경우, 제1 페이지 버퍼 유닛(PU1)은 제L 래치(LATCHL)를 포함한 나머지 래치들 중 하나를 제1 출력 데이터(D1)로서 출력할 수 있다.
- [0052] 도 4는 도 1의 메모리 셀들의 초기 문턱 전압 분포를 나타내는 그래프들이다. 도 4는 TLC의 구조를 가지는 제1 메모리 셀(C11)의 초기 문턱 전압 분포를 도시한다. 나머지 메모리 셀들(C12 내지 C1N, C21, C22 내지 C2N, CM1, CM2 내지 CMN)은 제1 메모리 셀(C11)에 기초하여 이해할 수 있다. SLC 또는 MLC의 구조를 가지는 제1 메모리 셀(C11)의 초기 문턱 전압 분포는 도 4를 참조하여 이해할 수 있으므로 설명을 생략한다.
- [0053] 제1 메모리 셀(C11)이 삭제 상태를 가지는 경우, 제1 메모리 셀(C11)은 삭제 문턱 전압 분포(SE)를 가지고 "111"의 데이터를 저장한다. 제1 메모리 셀(C11)이 제1 기입 상태를 가지는 경우, 제1 메모리 셀(C11)은 제1 문턱 전압 분포(S1)를 가지고 "110"의 데이터를 저장한다. 제1 메모리 셀(C11)이 제2 기입 상태를 가지는 경우, 제1 메모리 셀(C11)은 제2 문턱 전압 분포(S2)를 가지고 "100"의 데이터를 저장한다. 제1 메모리 셀(C11)이 제3 기입 상태를 가지는 경우, 제1 메모리 셀(C11)은 제3 문턱 전압 분포(S3)를 가지고 "000"의 데이터를 저장한다. 제1 메모리 셀(C11)이 제4 기입 상태를 가지는 경우, 제1 메모리 셀(C11)은 제4 문턱 전압 분포(S4)를 가지고 "010"의 데이터를 저장한다. 제1 메모리 셀(C11)이 제5 기입 상태를 가지는 경우, 제1 메모리 셀(C11)은 제5 문턱 전압 분포(S5)를 가지고 "011"의 데이터를 저장한다. 제1 메모리 셀(C11)이 제6 기입 상태를 가지는 경우, 제1 메모리 셀(C11)은 제6 문턱 전압 분포(S6)를 가지고 "001"의 데이터를 저장한다. 제1 메모리 셀(C11)이 제7 기입 상태를 가지는 경우, 제1 메모리 셀(C11)은 제7 문턱 전압 분포(S7)를 가지고 "101"의 데이터를 저장한다.
- [0054] 제1 메모리 셀(C11)이 삭제 문턱 전압 분포(SE) 및 제1 내지 제7 문턱 전압 분포(S1 내지 S7) 중 어떤 문턱 전압 분포를 가지는지 판단하기 위해, 제1 메모리 셀(C11)의 게이트에 독출 전압을 순차적으로 복수 번 가한다. 일 실시예에 있어서, 제1 독출 전압(RD1) 및 제5 독출 전압(RD5)을 인가하여 제1 메모리 셀(C11)의 최하위 비트(LSB)를 독출할 수 있다. 일 실시예에 있어서, 제2 독출 전압(RD2), 제4 독출 전압(RD4) 및 제6 독출 전압(RD6)을 인가하여 제1 메모리 셀(C11)의 중간 비트(CSB)를 독출할 수 있다. 일 실시예에 있어서, 제3 독출 전압(RD3) 및 제7 독출 전압(RD7)을 인가하여 제1 메모리 셀(C11)의 최상위 비트(MSB)를 독출할 수 있다. 제1 메모리 셀(C11)의 최하위 비트(LSB)를 독출하는 과정을 도 7 및 8을 참조하여 후술한다.
- [0055] 일 실시예에 있어서, 제1 메모리 셀(C11)은 도 4의 논리 상태들 및 문턱 전압 분포들과 상이한 구조로 데이터를 저장할 수도 있다.
- [0056] 도 5는 도 1의 메모리 셀들이 열화되었을 때 도 1의 메모리 셀들의 문턱 전압 분포를 나타내는 그래프이다.
- [0057] 도 5를 참조하면, 제1 메모리 셀(C11)이 삭제 문턱 전압 분포(SE) 및 제1 내지 제7 문턱 전압 분포(S1 내지 S7) 중 하나를 가지도록 프로그램 되는 도중 또는 프로그램 된 후, 전하 누설, 프로그램 디스토크, 커플링, 온도 변화(e.g. 고온 지속), 전압 변화 등에 의해 문턱 전압 분포의 폭이 증가하거나 한 쪽으로 쉬프트 될 수 있다. 제3 독출 전압(RD3) 및 제7 독출 전압(RD7)을 제1 메모리 셀(C11)에 인가하여 최상위 비트(MSB)를 독출하는 경우, 에러 정정 코드(ECC)로 정정이 불가능한 수의 에러를 포함하는 데이터를 독출할 수 있다. 이 경우 제3 독출 전압(RD3)을 제3 변경 독출 전압(RD3)으로 변경하고, 제5 독출 전압(RD5)을 제5 변경 독출 전압(RD5)으로 변경하여 최상위 비트(MSB)를 독출하는 경우, 보다 적은 수의 에러를 포함하여 에러 정정 코드(ECC)로 정정이 가능한 데이터를 독출할 수 있다.
- [0058] 도 6은 도 3의 제1 페이지 버퍼 유닛에 포함되는 제1 래치를 나타내는 회로도이다. 제2 래치(LATCH2) 내지 제L 래치(LATCHL)는 제1 래치(LATCH1)와 동일 또는 유사한 구조를 가지므로 제2 래치(LATCH2) 내지 제L 래치(LATCHL)에 대한 설명은 생략한다.
- [0059] 도 6을 참조하면, 제1 래치(LATCH1)는 제1 및 제2 인버터들(INV1 및 INV2), 제1 내지 제4 NMOS 트랜지스터들

(TR3, TR4, TR5 및 TR6)을 포함한다.

- [0060] 제1 인버터(INV1)의 입력단은 제1 내부 노드(NINT1)에 연결되고, 제1 인버터(INV1)의 출력단은 제2 내부 노드(NINT2)에 연결된다. 제2 인버터(INV2)의 입력단은 제2 내부 노드(NINT2)에 연결되고, 제2 인버터(INV2)의 출력단은 제1 내부 노드(NINT1)에 연결된다. 제1 NMOS 트랜지스터(TR3)의 소스는 제3 내부 노드(NINT3)에 연결되고, 제1 NMOS 트랜지스터(TR3)의 게이트에 제1 세트 신호(SETS1)가 인가되고, 제1 NMOS 트랜지스터(TR3)의 드레인은 제1 내부 노드(NINT1)에 연결된다. 제2 NMOS 트랜지스터(TR4)의 소스는 제3 내부 노드(NINT3)에 연결되고, 제2 NMOS 트랜지스터(TR4)의 게이트에 제1 리셋 신호(RSTS1)가 인가되고, 제2 NMOS 트랜지스터(TR4)의 드레인은 제2 내부 노드(NINT2)에 연결된다. 제3 NMOS 트랜지스터(TR5)의 소스에 접지 전압(GND)이 인가되고, 제3 NMOS 트랜지스터(TR5)의 게이트는 제1 출력 라인(SOL1)에 연결되고, 제3 NMOS 트랜지스터(TR5)의 드레인은 제3 내부 노드(NINT3)에 연결된다. 제4 NMOS 트랜지스터(TR6)의 소스는 제1 출력 라인(SOL1)에 연결되고, 제4 NMOS 트랜지스터(TR6)의 게이트에 캐쉬 출력 신호(COS)가 인가되고, 제4 NMOS 트랜지스터(TR6)의 드레인은 제2 내부 노드(NINT2)에 연결된다.
- [0061] 제1 출력 라인(SOL1)의 전압(VSOL)이 판단 기준 전압(VREF) 이상이고, 제1 리셋 신호(RSTS1)가 활성화되는 경우, 제2 내부 노드(NINT2)의 전압(VS)은 접지 전압(GND)을 가지게 되고, 제1 래치(LATCH1)는 논리 로우 값(0)을 저장한다. 제1 출력 라인(SOL1)의 전압(VSOL)이 판단 기준 전압(VREF) 이상이고, 제1 세트 신호(SETS1)가 활성화되는 경우, 제2 내부 노드(NINT2)의 전압(VS)은 전원 전압(VDD)을 가지게 되고, 제1 래치(LATCH1)는 논리 하이 값(1)을 저장한다. 제1 출력 라인(SOL1)의 전압(VSOL)이 판단 기준 전압(VREF) 미만인 경우, 제1 래치(LATCH1)는 독출 데이터를 유지한다.
- [0062] 캐쉬 출력 신호(COS)가 활성화되는 경우, 제1 출력 라인(SOL1)은 제2 내부 노드(NINT2)의 전압(VS)으로 인가되고, 제1 래치(LATCH1)의 독출 데이터는 도 3의 캐쉬 래치(C-LATCH)를 통해서 제1 출력 데이터(D1)로서 출력된다.
- [0063] 도 7 및 8은 도 6의 제1 래치가 독출 데이터를 생성하는 방법을 나타내는 그래프들이다.
- [0064] 도 7은 제1 독출 전압(RD1)으로 제1 메모리 셀(C11)의 최하위 비트(LSB)를 제1 래치(LATCH1)의 독출 데이터로서 생성하는 과정을 나타낸다.
- [0065] 제2 내부 노드(NINT2)의 전압(VS)은 전원 전압(VDD)으로 초기화 된다. 다시 말하면, 제1 래치(LATCH1)의 독출 데이터는 1로 초기화된다. 제1 메모리 셀(C11)이 삭제 문턱 전압 분포(SE)를 가지고 제1 독출 전압(RD1)으로 독출을 수행한 경우, 제1 메모리 셀(C11)은 온-셀이고, 제1 출력 라인(SOL1)의 전압(VSOL)이 판단 기준 전압(VREF) 미만으로 떨어지고, 제1 래치(LATCH1)는 독출 데이터를 1로 유지(MTD)한다. 제1 메모리 셀(C11)이 제1 내지 제7 문턱 전압 분포들(S1 내지 S7) 중 하나를 가지고 제1 독출 전압(RD1)으로 독출을 수행하고 제1 리셋 신호(RST1)가 활성화된 경우, 제1 메모리 셀(C11)은 오프-셀이고, 제1 출력 라인(SOL1)의 전압(VSOL)이 판단 기준 전압(VREF) 이상으로 유지되고, 제1 래치(LATCH1)는 독출 데이터를 0으로 리셋(RST)한다.
- [0066] 도 8은 도 7의 과정 후 제5 독출 전압(RD5)으로 제1 메모리 셀(C11)의 최하위 비트(LSB)를 독출하고, 제1 래치(LATCH1)의 독출 데이터를 갱신하는 과정을 나타낸다.
- [0067] 제1 메모리 셀(C11)이 삭제 문턱 전압 분포(SE) 및 제1 내지 제4 문턱 전압 분포들(S1 내지 S4) 중 하나를 가지고 제5 독출 전압(RD5)으로 독출을 수행한 경우, 제1 메모리 셀(C11)은 온-셀이고, 제1 출력 라인(SOL1)의 전압(VSOL)이 판단 기준 전압(VREF) 미만으로 떨어지고, 제1 래치(LATCH1)는 독출 데이터를 유지(MTD)한다.
- [0068] 제1 메모리 셀(C11)이 제5 내지 제7 문턱 전압 분포들(S5 내지 S7) 중 하나를 가지고 제5 독출 전압(RD5)으로 독출을 수행하고 제1 세트 신호(SET1)가 활성화된 경우, 제1 메모리 셀(C11)은 오프-셀이고, 제1 출력 라인(SOL1)의 전압(VSOL)이 판단 기준 전압(VREF) 이상으로 유지되고, 제1 래치(LATCH1)는 독출 데이터를 1으로 세트(SET)한다.
- [0069] 도 9 내지 14는 도 3의 제1 페이지 버퍼 유닛의 동작을 나타내는 그래프들이다.
- [0070] 도 6 및 9를 참조하면, 프리 차지 구간(PT)에서, 제1 페이지 버퍼 유닛(PU1)은 로드 활성화 신호(LES)를 0으로 활성화하고, 비트 라인 활성화 신호(BLES)를 1로 활성화하여, 제1 비트 라인(BL1)을 프리 차지(Pre-charge) 전압(VPRECHARGE)으로 충전하고 제1 출력 라인(SOL1)을 전원 전압(VDD)으로 충전한다.
- [0071] 전개 구간(Developing time; DT)에서, 제1 페이지 버퍼 유닛(PU1)은 로드 활성화 신호(LES)를 1로 비활성화하고, 비트 라인 활성화 신호(BLES)를 1로 활성화하여, 제1 출력 라인(SOL1)을 제1 비트 라인(BL1)을

통해 방전할 수 있다.

- [0072] 샘플링 시점(T11)은 제1 출력 라인(SOL1)을 제1 비트 라인(BL1)을 통해 방전하는 전개 구간(DT) 내에 위치할 수 있다.
- [0073] 제1 비트 라인(BL1)을 통해 흐르는 전류가 약하여 샘플링 시점(T11)에서 제1 출력 라인(SOL1)의 전압(VSOL)이 판단 기준 전압(VREF) 이상인 경우, 제1 메모리 셀(C11)이 독출 전압 이상의 문턱 전압을 가지는 오프-셀(Off-cell)로 판단될 수 있다.
- [0074] 도 10, 11 및 12에서 프리 차지 구간(PT)과 전개 구간(DT)은 도 9를 참조하여 이해할 수 있다.
- [0075] 제1 비트 라인(BL1)을 통해 흐르는 전류가 강하여 샘플링 시점(T22)에서 제1 출력 라인(SOL1)의 전압(VSOL)이 판단 기준 전압(VREF) 미만인 경우, 제1 메모리 셀(C11)이 독출 전압 미만의 문턱 전압을 가지는 온-셀(On-cell)로 판단될 수 있다. 제1 메모리 셀(C11)에 프로그램된 문턱 전압이 낮을수록 제1 비트 라인(BL1)을 통해 흐르는 전류가 강해지고, 제1 출력 라인(SOL1)의 전압(VSOL)의 방전 시간은 짧아질 수 있다.
- [0076] 전개 시작 시점(Develop start time)(T21)으로부터 샘플링 시점(T22)까지의 구간을 변경하면 독출 전압을 변경하면서 제1 메모리 셀(C11)을 독출한 결과와 유사한 결과를 얻을 수 있다. 샘플링 시점(T22)이 이룰수록 제1 메모리 셀(C11)이 오프-셀로 판단될 가능성이 높아지고, 샘플링 시점(T22)이 늦을수록 제1 메모리 셀(C11)이 온-셀로 판단될 가능성이 높아질 수 있다.
- [0077] 도 10은 전개 시작 시점(T21)로부터 샘플링 시점(T22)까지의 구간이 긴 경우를 나타내고, 제1 메모리 셀(C11)이 온-셀로 독출될 확률이 높으므로 높은 독출 전압으로 제1 메모리 셀(C11)을 독출한 것과 동일한 결과를 얻을 수 있다. 이 경우, 제1 메모리 셀(C11)이 문턱 전압 분포 내에서 상대적으로 낮은 문턱 전압으로 프로그램된 경우(STRONG ON-CELL), 중간 문턱 전압으로 프로그램된 경우(MEDIUM ON-CELL) 및 높은 문턱 전압으로 프로그램된 경우(WEAK ON-CELL)에 모두 온-셀로 판단된다.
- [0078] 도 11은 전개 시작 시점(T31)로부터 샘플링 시점(T32)까지의 구간이 중간 정도인 경우를 나타내고, 중간 레벨의 독출 전압으로 제1 메모리 셀(C11)을 독출한 것과 동일한 결과를 얻을 수 있다. 이 경우, 제1 메모리 셀(C11)이 문턱 전압 분포 내에서 상대적으로 낮은 문턱 전압으로 프로그램된 경우(STRONG ON-CELL) 및 중간 문턱 전압으로 프로그램된 경우(MEDIUM ON-CELL)에 온-셀로 판단되고, 높은 문턱 전압으로 프로그램된 경우(WEAK ON-CELL)에 오프-셀로 판단된다.
- [0079] 도 12는 전개 시작 시점(T41)로부터 샘플링 시점(T42)까지의 구간이 짧은 경우를 나타내고, 낮은 독출 전압으로 제1 메모리 셀(C11)을 독출한 것과 동일한 결과를 얻을 수 있다. 이 경우, 제1 메모리 셀(C11)이 문턱 전압 분포 내에서 상대적으로 낮은 문턱 전압으로 프로그램된 경우(STRONG ON-CELL)에 온-셀로 판단되고, 중간 문턱 전압으로 프로그램된 경우(MEDIUM ON-CELL) 및 높은 문턱 전압으로 프로그램된 경우(WEAK ON-CELL)에 오프-셀로 판단된다.
- [0080] 일 실시예에 있어서, 도 3의 제1 래치(LATCH1)는 도 10과 같이 샘플링 시점이 늦고, 도 3의 제2 래치(LATCH2)는 도 11과 같이 샘플링 시점이 중간이고, 도 3의 제L 래치(LATCHL)는 도 12와 같이 샘플링 시점이 빠를 수 있다. 다른 실시예에 있어서, 도 3의 제1 래치(LATCH1)는 도 12와 같이 샘플링 시점이 빠르고, 도 3의 제2 래치(LATCH2)는 도 11과 같이 샘플링 시점이 중간이고, 도 3의 제L 래치(LATCHL)는 도 10과 같이 샘플링 시점이 느릴 수 있다.
- [0081] 도 13은 제1 페이지 버퍼 유닛(PU1)이 제1 래치(LATCH1)만을 포함하는 종래 기술에 따른 독출 절차를 설명한다.
- [0082] 제1 독출 전압(RD1)을 워드 라인에 인가한 후, 제1 래치(LATCH1)는 제1 샘플링 시점(T51)에서 제1 출력 노드(SOL1)의 전압(VSOL)을 샘플링하여 독출 데이터를 생성한다. 이 후, 제1 래치(LATCH1)는 제2 샘플링 시점(T52)에서 제1 출력 노드(SOL1)의 전압(VSOL)을 샘플링하여 독출 데이터를 갱신한다. 이 후, 캐쉬 출력 신호(COUT)를 활성화하여, 제1 래치(LATCH1)의 독출 데이터를 캐쉬 래치(C-LATCH)를 통해 제1 출력 데이터(D1)로서 출력한다. 따라서, 제1 출력 데이터(D1)가 에러 정정 코드(ECC)로서 정정이 불가한 양의 에러를 포함한다면, 독출 재시도(Read Retry) 시 도 13의 전 과정을 다시 수행해야 하므로 소요 시간이 크다.
- [0083] 도 14는 제1 페이지 버퍼 유닛(PU1)이 제1 및 제2 래치들(LATCH1 및 LATCH2)을 포함하는 본 발명의 일 실시예에 따른 독출 절차를 설명한다. 도 14는 제1 래치(LATCH1)의 샘플링 시점이 제2 래치(LATCH2)의 샘플링 시점보다 빠른 경우를 도시하나, 제2 래치(LATCH2)의 샘플링 시점이 제1 래치(LATCH1)의 샘플링 시점보다 빠를 수도 있다.

- [0084] 제1 독출 전압(RD1)을 워드 라인에 인가한 후, 제1 래치(LATCH1)는 제1 샘플링 시점(T62)에서 제1 출력 노드(SOL1)의 전압(VSOL)을 샘플링하여 독출 데이터를 생성하고, 제2 래치(LATCH2)는 제2 샘플링 시점(T63)에서 제1 출력 노드(SOL1)의 전압(VSOL)을 샘플링하여 독출 데이터를 생성한다. 이 후, 제1 래치(LATCH1)는 제3 샘플링 시점(T65)에서 제1 출력 노드(SOL1)의 전압(VSOL)을 샘플링하여 독출 데이터를 갱신하고, 제2 래치(LATCH2)는 제4 샘플링 시점(T66)에서 제1 출력 노드(SOL1)의 전압(VSOL)을 샘플링하여 독출 데이터를 갱신한다. 이 후, 캐쉬 출력 신호(COUT)를 활성화하여, 제1 래치(LATCH1)의 독출 데이터를 캐쉬 래치(C-LATCH)로 이동하고 에러 정정 코드(ECC)를 이용해 에러 정정을 수행한다. 에러 정정이 가능한 경우(ECC SUCCESS), 에러가 정정된 제1 래치(LATCH1)의 독출 데이터를 제1 출력 데이터(D1)로서 출력한다. 에러 정정이 불가능한 경우(ECC FAIL), 제2 래치(LATCH2)의 독출 데이터를 캐쉬 래치(C-LATCH)를 통해 제1 출력 데이터(D1)로서 출력한다.
- [0085] 도 15는 도 1의 비휘발성 메모리 장치에 포함되는 메모리 셀 어레이가 삼차원적으로 구현된 실시예를 나타내는 사시도이다.
- [0086] 도 15를 참조하면, 메모리 셀 어레이(130A)는 기판(SUB)과 수직 방향으로 형성되어 있다. 기판(SUB)에는 n+ 도핑 영역이 형성된다. 기판(SUB) 위에는 게이트 전극막(gate electrode layer)과 절연막(insulation layer)이 교대로 증착된다. 그리고 게이트 전극막(gate electrode layer)과 절연막(insulation layer) 사이에는 전하 저장막(charge storage layer)이 형성될 수 있다.
- [0087] 게이트 전극막과 절연막을 수직 방향으로 패터닝(vertical patterning)하면, V자 모양의 필라(pillar)가 형성된다. 필라는 게이트 전극막과 절연막을 관통하여 기판(SUB)과 연결된다. 필라(Pillar)의 외곽 부분(O)은 채널 반도체로 구성될 수 있고, 내부(I)는 실리콘 산화물(Silicon Oxide)과 같은 절연 물질로 구성될 수 있다.
- [0088] 게이트 전극막(gate electrode layer)은 접지 선택 라인(GSL), 복수의 워드 라인들(WL1~WL8) 및 스트링 선택 라인(SSL)에 연결될 수 있다. 그리고 필라(pillar)는 복수의 비트 라인들(BL1~BL3)과 연결될 수 있다.
- [0089] 도 15에서는, 메모리 셀 어레이(130A)가 접지 선택 라인(GSL), 스트링 선택 라인(SSL), 8개의 워드 라인들(WL1, WL2, ..., WL8) 및 3개의 비트 라인들(BL1, BL2, BL3)을 갖는 것으로 도시되어 있으나, 실제로는 이것들보다 더 많거나 적을 수 있다.
- [0090] 도 16은 도 15의 메모리 셀 어레이의 등가 회로도이다.
- [0091] 도 16을 참조하면, 비트 라인(BL1, BL2, BL3)과 공통 소스 라인(CSL; Common Source Line) 사이에는 셀 스트링들(NS11~NS33)이 연결되어 있다. 셀 스트링들(예를 들면, NS11)의 각각은 스트링 선택 트랜지스터(SST), 복수의 메모리 셀들(MC1, MC2, ..., MC8) 및 접지 선택 트랜지스터(GST)를 포함한다.
- [0092] 스트링 선택 트랜지스터(SST)는 스트링 선택 라인(String Selection Line)(SSL1, SSL2, SSL3)에 연결되어 있다. 복수의 메모리 셀들(MC1, MC2, ..., MC8)은 각각 대응하는 워드 라인(WL1, WL2, ..., WL8)에 연결되어 있다. 그리고 접지 선택 트랜지스터(GST)는 접지 선택 라인(Ground Selection Line)(GSL1, GSL2, GSL3)에 연결되어 있다. 스트링 선택 트랜지스터(SST)는 비트 라인(BL)에 연결되고, 접지 선택 트랜지스터(GST)는 공통 소스 라인(CSL)에 연결되어 있다.
- [0093] 동일 높이의 워드 라인(예를 들면, WL1)은 공통으로 연결되어 있고, 접지 선택 라인(GSL1, GSL2, GSL3) 및 스트링 선택 라인(SSL1, SSL2, SSL3)은 분리되어 있다. 제1 워드 라인(WL1)에 연결되어 있고 셀 스트링(NS11, NS12, NS13)에 속해 있는 메모리 셀들을 포함하는 물리 페이지를 프로그램하는 경우에는, 제1 워드 라인(WL1), 제1 스트링 선택 라인(SSL1) 및 제1 접지 선택 라인(GSL1)이 선택된다.
- [0094] 도 17 및 18은 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 독출 방법을 나타내는 순서도들이다.
- [0095] 도 17을 참조하면, 비휘발성 메모리 장치의 독출 방법은 제1 독출 전압을 하나의 워드 라인에 인가하는 단계(단계 S110); 메모리 셀 어레이에 포함되고, 상기 하나의 워드 라인에 연결된 메모리 셀들에 각각 연결된 복수의 비트 라인들을 프리 차지(Pre-charge) 전압으로 1차 충전하는 단계(단계 S120); 페이지 버퍼에 포함되는 복수의 출력 라인들을 전원 전압으로 1차 충전하는 단계(단계 S130); 상기 출력 라인들을 각각 상기 비트 라인들을 통해 1차 방전하는 단계(단계 S140); 제1 샘플링 시점에서 상기 페이지 버퍼에 포함되는 제1 래치들이 상기 출력 라인들의 전압을 각각 샘플링하여 제1 독출 데이터를 생성하는 단계(단계 S150); 제2 샘플링 시점에서 상기 페이지 버퍼에 포함되는 제2 래치들이 상기 출력 라인들의 전압을 각각 샘플링하여 제2 독출 데이터를 생성하는 단계(단계 S160); 상기 제1 독출 데이터가 포함하는 에러의 정정이 가능한지 판단하는 단계(단계 S170); 및 상기 제1 독출 데이터가 포함하는 에러의 정정이 불가능한 경우, 상기 페이지 버퍼는 상기 제2 독출 데이터를 출

력 데이터로서 출력하는 단계(단계 S180)를 포함한다.

- [0096] 상기 비휘발성 메모리 장치의 독출 방법은 상기 제1 독출 데이터가 포함하는 에러의 정정이 가능한 경우, 상기 페이지 버퍼는 에러가 정정된 제1 독출 데이터를 상기 출력 데이터로서 출력하는 단계(단계 S190)를 더 포함할 수 있다.
- [0097] 상기 제1 독출 데이터가 포함하는 에러의 정정이 가능한지 판단하는 단계(S170)는, 에러 정정 코드(Error Correction Code)를 이용하여 상기 제1 독출 데이터가 포함하는 에러의 정정이 가능한지 판단하는 단계를 포함할 수 있다. 에러 정정 코드는 통상의 기술자에게 널리 알려져 있는 기술이므로 자세한 설명은 생략한다.
- [0098] 상기 단계들(S110 내지 S190)은 도 1 내지 16을 참조하여 이해할 수 있으므로 자세한 설명은 생략한다.
- [0099] 도 18을 참조하면, 상기 비휘발성 메모리 장치의 독출 방법은 제2 독출 전압을 상기 하나의 워드 라인에 인가하는 단계 (단계 S210); 상기 비트 라인들을 상기 프리 차지 전압으로 2차 충전하는 단계 (단계 S220); 상기 출력 라인들을 상기 전원 전압으로 2차 충전하는 단계 (단계 S230); 상기 출력 라인들을 각각 상기 비트 라인들을 통해 2차 방전하는 단계 (단계 S240); 제3 샘플링 시점에서 상기 제1 래치들이 상기 출력 라인들의 전압을 각각 샘플링하여 상기 제1 독출 데이터를 갱신하는 단계 (단계 S250); 및 제4 샘플링 시점에서 상기 제2 래치들이 상기 출력 라인들의 전압을 각각 샘플링하여 상기 제2 독출 데이터를 갱신하는 단계(단계 S260)를 더 포함할 수 있다.
- [0100] 도 14 및 18을 참조하면, 상기 1차 방전이 시작되는 시점(T61)부터 상기 제1 샘플링 시점(T62)까지의 간격은 상기 2차 방전이 시작되는 시점(T64)부터 상기 제3 샘플링 시점(T65)까지의 간격과 동일하다. 상기 1차 방전이 시작되는 시점(T61)부터 상기 제2 샘플링 시점(T63)까지의 간격은 상기 2차 방전이 시작되는 시점(T64)부터 상기 제4 샘플링 시점(T66)까지의 간격과 동일하다.
- [0101] 상기 단계들(S210 내지 S260)은 도 1 내지 16을 참조하여 이해할 수 있으므로 자세한 설명은 생략한다.
- [0102] 도 19는 본 발명의 일 실시예에 따른 메모리 시스템을 나타내는 블록도이다.
- [0103] 도 19를 참조하면, 메모리 시스템(200)은 메모리 컨트롤러(210) 및 비휘발성 메모리 장치(220)를 포함한다. 비휘발성 메모리 장치(220)는 메모리 셀 어레이(221) 및 데이터 입출력 회로(222)를 포함한다. 메모리 셀 어레이(221)는 기판 상에 삼차원 구조로 형성될 수 있다. 삼차원 구조로 형성된 메모리 셀 어레이(221)는 도 15 및 16을 참조하여 이해할 수 있으므로 설명을 생략한다.
- [0104] 데이터 입출력 회로(222)는 상기 복수의 비트 라인들을 통해 메모리 셀 어레이(221)에 연결된다. 데이터 입출력 회로(222)는 상기 복수의 비트라인들 중의 적어도 하나를 선택하고, 상기 선택된 적어도 하나의 비트라인에 연결되는 메모리 셀로부터 독출되는 데이터를 메모리 컨트롤러(210)로 출력하고, 메모리 컨트롤러(210)로부터 입력되는 데이터를 상기 선택된 적어도 하나의 비트라인에 연결되는 메모리 셀에 기입할 수 있다. 데이터 입출력 회로(222)는 페이지 버퍼를 포함할 수 있다.
- [0105] 비휘발성 메모리 장치(220)는 도 1의 비휘발성 메모리 장치(100)로 구현될 수 있다. 비휘발성 메모리 장치(220)의 구성 및 동작은 도 1 내지 16을 참조하여 이해할 수 있다.
- [0106] 메모리 컨트롤러(210)는 비휘발성 메모리 장치(220)를 제어한다. 메모리 컨트롤러(210)는 외부의 호스트와 비휘발성 메모리 장치(220) 사이의 데이터 교환을 제어할 수 있다.
- [0107] 메모리 컨트롤러(210)는 중앙 처리 장치(211), 버퍼 메모리(212), 호스트 인터페이스(213) 및 메모리 인터페이스(214)를 포함할 수 있다.
- [0108] 중앙 처리 장치(211)는 상기 데이터 교환을 위한 동작을 수행할 수 있다. 버퍼 메모리(212)는 DRAM(Dynamic random access memory), SRAM(Static random access memory), PRAM(Phase random access memory), FRAM(Ferroelectric random access memory), RRAM(Resistive random access memory), 또는 MRAM(Magnetic random access memory)으로 구현될 수 있다.
- [0109] 버퍼 메모리(212)는 중앙 처리 장치(211)의 동작 메모리일 수 있다. 실시예에 따라서, 버퍼 메모리(212)는 메모리 컨트롤러(210)의 내부 또는 외부에 위치할 수 있다.
- [0110] 호스트 인터페이스(213)는 상기 호스트와 연결되고, 메모리 인터페이스(214)는 비휘발성 메모리 장치(220)와 연결된다. 중앙 처리 장치(211)는 호스트 인터페이스(213)를 통하여 상기 호스트와 통신할 수 있다. 예를 들어,

호스트 인터페이스(213)는 USB(Universal Serial Bus), MMC(Multi-Media Card), PCI-E(Peripheral Component Interconnect-Express), SAS(Serial-attached SCSI), SATA(Serial Advanced Technology Attachment), PATA(Parallel Advanced Technology Attachment), SCSI(Small Computer System Interface), ESDI(Enhanced Small Disk Interface), IDE(Integrated Drive Electronics) 등과 같은 다양한 인터페이스 프로토콜들 중 적어도 하나를 통해 호스트와 통신하도록 구성될 수 있다.

- [0111] 또한, 중앙 처리 장치(211)는 메모리 인터페이스(214)를 통하여 비휘발성 메모리 장치(220)와 통신할 수 있다.
- [0112] 실시예에 따라서, 메모리 컨트롤러(210)는 스타트-업 코드를 저장하는 비휘발성 메모리 장치를 더 포함할 수 있고, 에러 정정을 위한 에러 정정 블록(215)을 더 포함할 수 있다.
- [0113] 일 실시예에서, 메모리 컨트롤러(210)는 비휘발성 메모리 장치(220)에 빌트-인(built-in)되어 구현될 수 있다. 메모리 컨트롤러(210)가 빌트-인되어 구현된 NAND 플래시 메모리 장치를 원낸드 메모리 장치(One-NAND memory device)라 명명할 수 있다.
- [0114] 메모리 시스템(200)은 메모리 카드(memory card), 솔리드 스테이트 드라이브(solid state drive) 등과 같은 형태로 구현될 수 있다.
- [0115] 도 20은 본 발명의 일 실시예에 따른 메모리 카드를 나타내는 블록도이다.
- [0116] 도 20을 참조하면, 메모리 카드(300)는 복수의 접속 핀들(310), 메모리 컨트롤러(320) 및 비휘발성 메모리 장치(330)를 포함한다.
- [0117] 호스트와 메모리 카드(300) 사이의 신호들이 송수신되도록 복수의 접속 핀들(310)은 상기 호스트에 연결될 수 있다. 복수의 접속 핀들(310)은 클록 핀, 커맨드 핀, 데이터 핀 및/또는 리셋 핀을 포함할 수 있다.
- [0118] 메모리 컨트롤러(320)는 상기 호스트로부터 데이터를 수신하고, 상기 수신된 데이터를 비휘발성 메모리 장치(330)에 저장할 수 있다.
- [0119] 비휘발성 메모리 장치(330)는 기관상에 삼차원 구조로 형성되는 메모리 셀 어레이를 포함할 수 있다. 상기 메모리 셀 어레이에 포함되는 메모리 셀들은 상기 기관과 수직인 방향으로 형성될 수 있다. 상기 메모리 셀 어레이에 포함되는 상기 메모리 셀들은 상기 기관에 수직인 방향으로 상기 기관 상에 순차적으로 적층되는 복수의 워드라인들 및 상기 기관에 수평인 방향으로 형성되는 복수의 비트라인들에 연결될 수 있다.
- [0120] 비휘발성 메모리 장치(330)는 도 1의 비휘발성 메모리 장치(100)로 구현될 수 있다. 비휘발성 메모리 장치(330)의 구성 및 동작은 도 1 내지 16을 참조하여 이해할 수 있다.
- [0121] 메모리 카드(300)는 멀티미디어 카드(MultiMedia Card; MMC), 임베디드 멀티미디어 카드(embedded MultiMedia Card; eMMC), 하이브리드 임베디드 멀티미디어 카드(hybrid embedded MultiMedia Card; hybrid eMMC), SD(Secure Digital) 카드, 마이크로SD 카드, 메모리 스틱(Memory Stick), ID 카드, PCMCIA(Personal Computer Memory Card International Association) 카드, 칩 카드(Chip Card), USB 카드, 스마트 카드(Smart Card), CF 카드(Compact Flash Card)등과 같은 메모리 카드일 수 있다.
- [0122] 실시예에 따라서, 메모리 카드(300)는 컴퓨터(computer), 노트북(laptop), 핸드폰(cellular phone), 스마트폰(smart phone), MP3 플레이어, 피디에이(Personal Digital Assistants; PDA), 피엠펜(Portable Multimedia Player; PMP), 디지털 TV, 디지털 카메라, 포터블 게임 콘솔(portable game console) 등과 같은 호스트에 장착될 수 있다.
- [0123] 도 21은 본 발명의 일 실시예에 따른 솔리드 스테이트 드라이브 시스템을 나타내는 블록도이다.
- [0124] 도 21을 참조하면, 솔리드 스테이트 드라이브 시스템(400)은 호스트(410) 및 솔리드 스테이트 드라이브(420)를 포함한다.
- [0125] 솔리드 스테이트 드라이브(420)는 복수의 비휘발성 메모리 장치들(423-1, 423-2, ..., 423-n) 및 SSD 컨트롤러(422)를 포함한다.
- [0126] 복수의 비휘발성 메모리 장치들(423-1, 423-2, ..., 423-n)은 솔리드 스테이트 드라이브(420)의 저장 매체로서 사용된다.
- [0127] 복수의 비휘발성 메모리 장치들(423-1, 423-2, ..., 423-n) 각각은 기관상에 삼차원 구조로 형성되는 메모리 셀 어레이를 포함할 수 있다. 상기 메모리 셀 어레이에 포함되는 메모리 셀들은 상기 기관과 수직인 방향으로 형성

될 수 있다. 상기 메모리 셀 어레이에 포함되는 상기 메모리 셀들은 상기 기판에 수직인 방향으로 상기 기판 상에 순차적으로 적층되는 복수의 워드라인들 및 상기 기판에 수평인 방향으로 형성되는 복수의 비트라인들에 연결될 수 있다.

- [0128] 복수의 비휘발성 메모리 장치들(423-1, 423-2, ..., 423-n) 각각은 도 1의 비휘발성 메모리 장치(100)로 구현될 수 있다. 복수의 비휘발성 메모리 장치들(423-1, 423-2, ..., 423-n) 각각의 구성 및 동작은 도 1 내지 16을 참조하여 이해할 수 있다.
- [0129] SSD 컨트롤러(422)는 복수의 채널들(CH1, CH2, ..., CHn)을 통해 복수의 비휘발성 메모리 장치들(423-1, 423-2, ..., 423-n)과 각각 연결된다.
- [0130] SSD 컨트롤러(422)는 신호 커넥터(424)를 통해 호스트(410)와 신호(SGL)를 송수신한다. 여기에서, 신호(SGL)에는 커맨드, 어드레스, 데이터 등이 포함될 수 있다. SSD 컨트롤러(422)는 호스트(410)의 커맨드에 따라 복수의 비휘발성 메모리 장치들(423-1, 423-2, ..., 423-n)에 데이터를 쓰거나 복수의 비휘발성 메모리 장치들(423-1, 423-2, ..., 423-n)로부터 데이터를 읽어낸다.
- [0131] 솔리드 스테이트 드라이브(420)는 보조 전원 장치(426)를 더 포함할 수 있다. 보조 전원 장치(426)는 전원 커넥터(425)를 통해 호스트(410)로부터 전원(PWR)을 입력받아 SSD 컨트롤러(422)에 전원을 공급할 수 있다. 한편, 보조 전원 장치(426)는 솔리드 스테이트 드라이브(420) 내에 위치할 수도 있고, 솔리드 스테이트 드라이브(420) 밖에 위치할 수도 있다. 예를 들면, 보조 전원 장치(426)는 메인 보드에 위치하고, 솔리드 스테이트 드라이브(420)에 보조 전원을 제공할 수도 있다.
- [0132] 도 22는 본 발명의 일 실시예에 따른 모바일 시스템을 나타내는 블록도이다.
- [0133] 도 22를 참조하면, 모바일 시스템(500)은 어플리케이션 프로세서(510), 통신(Connectivity)부(520), 사용자 인터페이스(530), 비휘발성 메모리 장치(NVM)(540), 휘발성 메모리 장치(VM)(550) 및 파워 서플라이(560)를 포함한다.
- [0134] 실시예에 따라, 모바일 시스템(500)은 휴대폰(Mobile Phone), 스마트 폰(Smart Phone), 개인 정보 단말기(Personal Digital Assistant; PDA), 휴대형 멀티미디어 플레이어(Portable Multimedia Player; PMP), 디지털 카메라(Digital Camera), 음악 재생기(Music Player), 휴대용 게임 콘솔(Portable Game Console), 네비게이션(Navigation) 시스템 등과 같은 임의의 모바일 시스템일 수 있다.
- [0135] 어플리케이션 프로세서(510)는 인터넷 브라우저, 게임, 동영상 등을 제공하는 어플리케이션들을 실행할 수 있다. 실시예에 따라, 어플리케이션 프로세서(510)는 하나의 프로세서 코어(Single Core)를 포함하거나, 복수의 프로세서 코어들(Multi-Core)을 포함할 수 있다. 예를 들어, 어플리케이션 프로세서(510)는 듀얼 코어(Dual-Core), 쿼드 코어(Quad-Core), 헥사 코어(Hexa-Core) 등의 멀티 코어(Multi-Core)를 포함할 수 있다. 또한, 실시예에 따라, 어플리케이션 프로세서(510)는 내부 또는 외부에 위치한 캐시 메모리(Cache Memory)를 더 포함할 수 있다.
- [0136] 통신부(520)는 외부 장치와 무선 통신 또는 유선 통신을 수행할 수 있다. 예를 들어, 통신부(520)는 이더넷(Ethernet) 통신, 근거리 자기장 통신(Near Field Communication; NFC), 무선 식별(Radio Frequency Identification; RFID) 통신, 이동 통신(Mobile Telecommunication), 메모리 카드 통신, 범용 직렬 버스(Universal Serial Bus; USB) 통신 등을 수행할 수 있다. 예를 들어, 통신부(520)는 베이스밴드 칩 셋(Baseband Chipset)을 포함할 수 있고, GSM, GPRS, WCDMA, HSxPA 등의 통신을 지원할 수 있다.
- [0137] 비휘발성 메모리 장치(540)는 모바일 시스템(500)을 부팅하기 위한 부트 이미지를 저장할 수 있다.
- [0138] 휘발성 메모리 장치(540)는 기판상에 삼차원 구조로 형성되는 메모리 셀 어레이를 포함할 수 있다. 상기 메모리 셀 어레이에 포함되는 메모리 셀들은 상기 기판과 수직인 방향으로 형성될 수 있다. 상기 메모리 셀 어레이에 포함되는 상기 메모리 셀들은 상기 기판에 수직인 방향으로 상기 기판 상에 순차적으로 적층되는 복수의 워드라인들 및 상기 기판에 수평인 방향으로 형성되는 복수의 비트라인들에 연결될 수 있다.
- [0139] 비휘발성 메모리 장치(540)는 도 1의 비휘발성 메모리 장치(100)로 구현될 수 있다. 비휘발성 메모리 장치(540)의 구성 및 동작은 도 1 내지 16을 참조하여 이해할 수 있다.
- [0140] 휘발성 메모리 장치(550)는 어플리케이션 프로세서(510)에 의해 처리되는 데이터를 저장하거나, 동작 메모리(Working Memory)로서 작동할 수 있다.

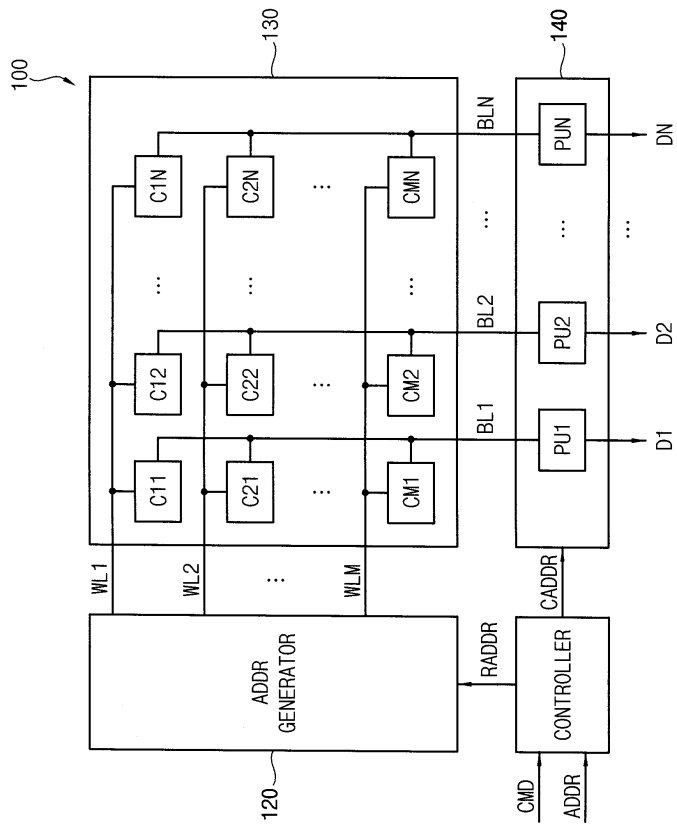
- [0141] 사용자 인터페이스(530)는 키패드, 터치 스크린과 같은 하나 이상의 입력 장치, 및/또는 스피커, 디스플레이 장치와 같은 하나 이상의 출력 장치를 포함할 수 있다.
- [0142] 파워 서플라이(560)는 모바일 시스템(500)의 동작 전압을 공급할 수 있다.
- [0143] 또한, 실시예에 따라, 모바일 시스템(500)은 이미지 프로세서를 더 포함할 수 있고, 메모리 카드(Memory Card), 솔리드 스테이트 드라이브(Solid State Drive; SSD), 하드 디스크 드라이브(Hard Disk Drive; HDD), 씨디롬(CD-ROM) 등과 같은 저장 장치를 더 포함할 수 있다.
- [0144] 모바일 시스템(500) 또는 모바일 시스템(500)의 구성요소들은 다양한 형태들의 패키지를 이용하여 실장될 수 있는데, 예를 들어, PoP(Package on Package), BGAs(Ball grid arrays), CSPs(Chip scale packages), PLCC(Plastic Leaded Chip Carrier), PDIP(Plastic Dual In-Line Package), Die in Wafer Pack, Die in Wafer Form, COB(Chip On Board), CERDIP(Ceramic Dual In-Line Package), MQFP(Plastic Metric Quad Flat Pack), TQFP(Thin Quad Flat-Pack), SOIC(Small Outline Integrated Circuit), SSOP(Shrink Small Outline Package), TSOP(Thin Small Outline Package), TQFP(Thin Quad Flat-Pack), SIP(System In Package), MCP(Multi Chip Package), WFP(Wafer-level Fabricated Package), WSP(Wafer-Level Processed Stack Package) 등과 같은 패키지들을 이용하여 실장될 수 있다.

산업상 이용가능성

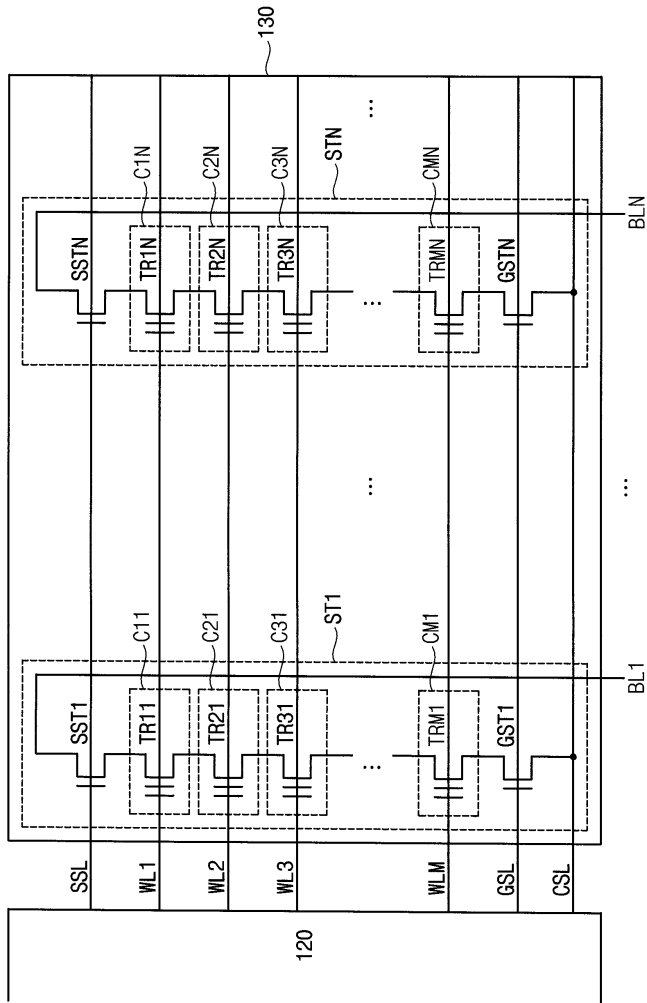
- [0145] 본 발명은 플래시 메모리와 같은 비휘발성 메모리 장치, 및 이를 포함하는 다양한 장치 및 시스템에 적용될 수 있다. 따라서, 본 발명은 비휘발성 메모리 장치를 구비하는 메모리 카드, 솔리드 스테이트 드라이브(Solid State Drive; SSD), 컴퓨터(computer), 노트북(laptop), 핸드폰(cellular), 스마트폰(smart phone), MP3 플레이어, 피디에이(Personal Digital Assistants; PDA), 피엠펜(Portable Multimedia Player; PMP), 디지털 TV, 디지털 카메라, 포터블 게임 콘솔(portable game console) 등과 같은 전자 기기에 확대 적용될 수 있을 것이다.
- [0146] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

도면

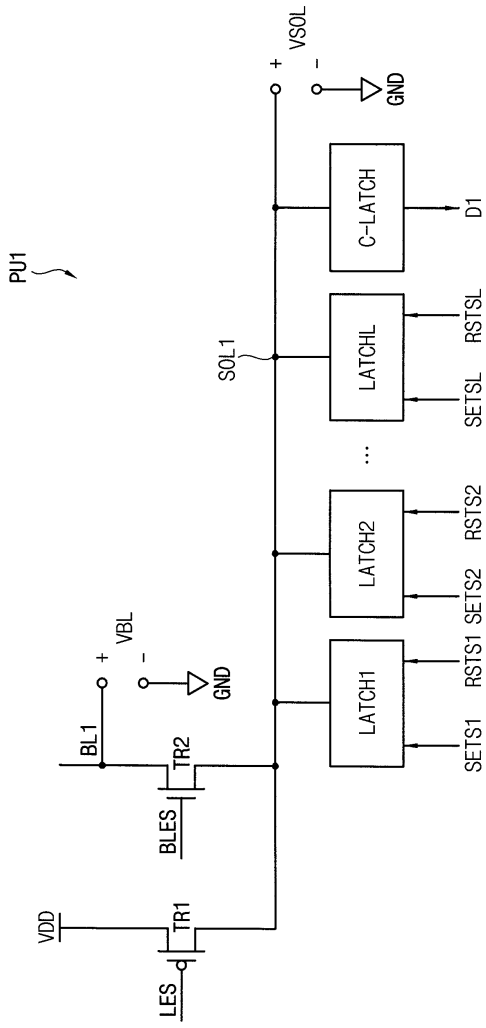
도면1



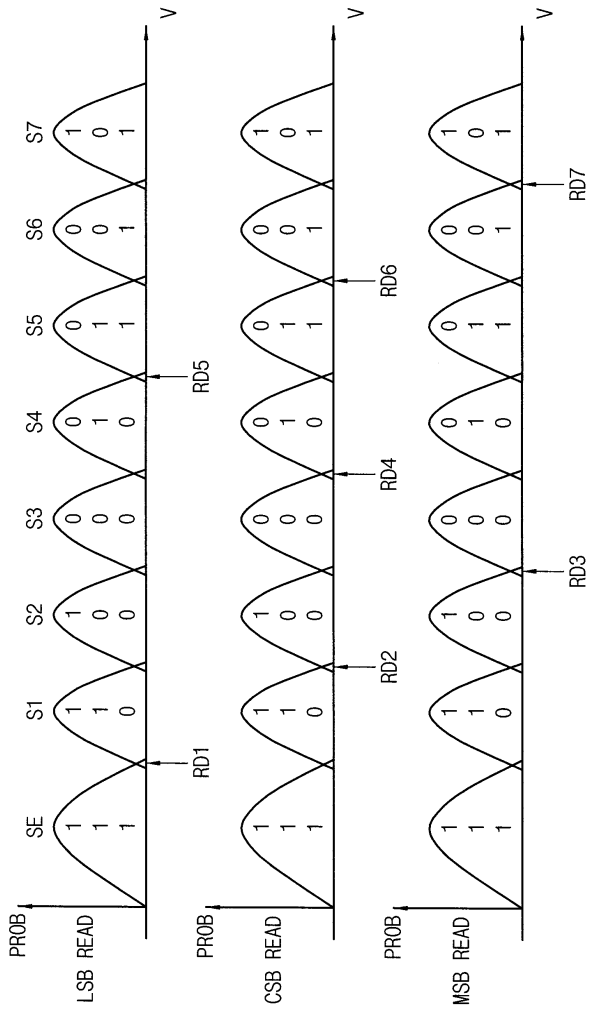
도면2



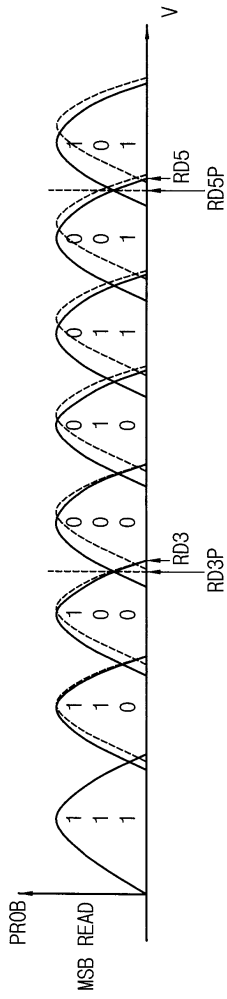
도면3



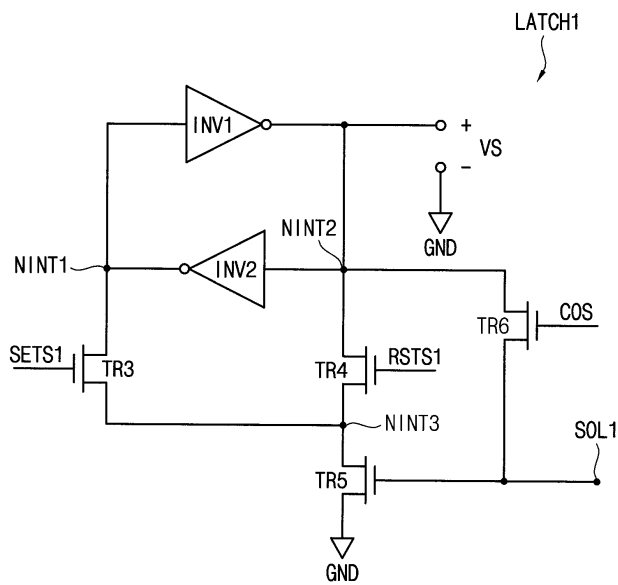
도면4



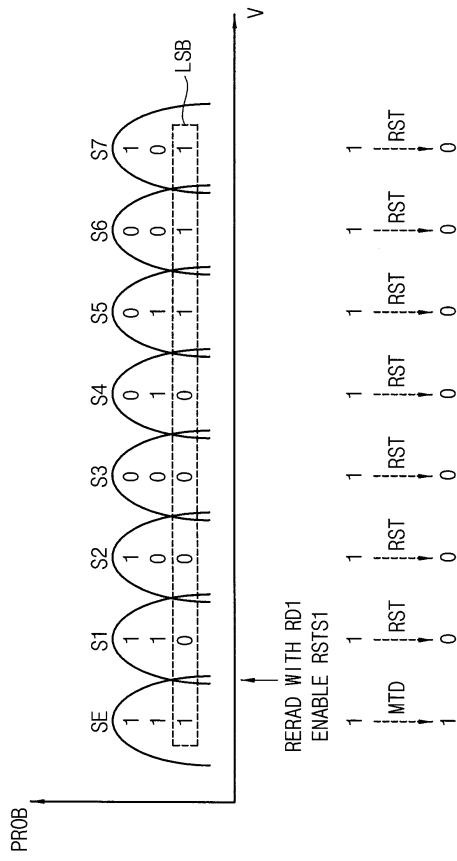
도면5



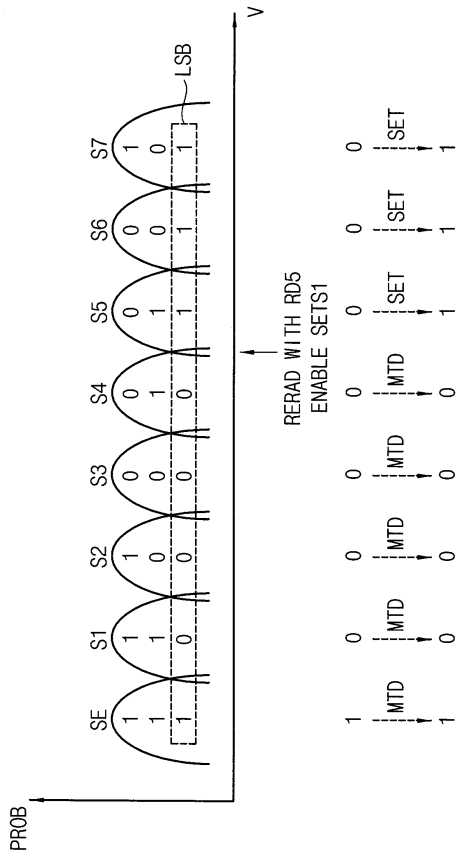
도면6



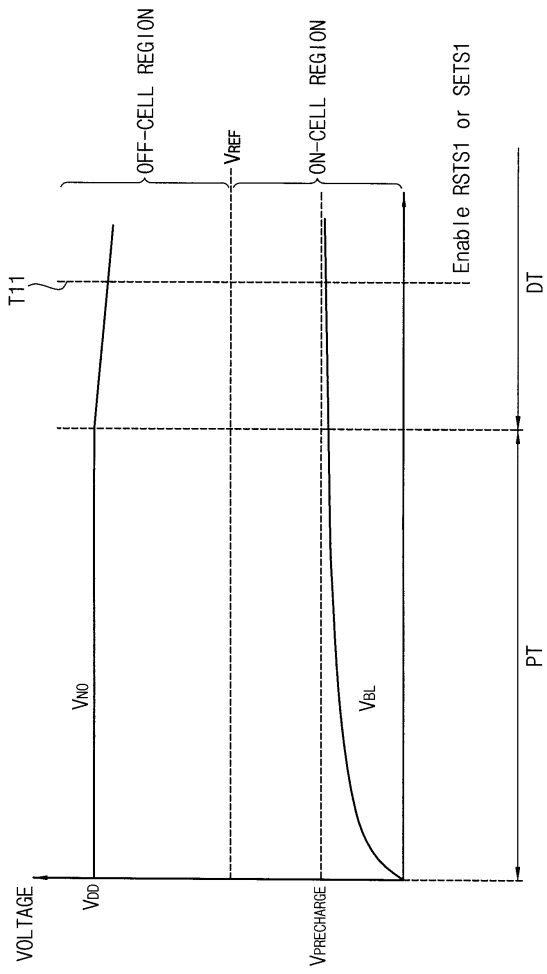
도면7



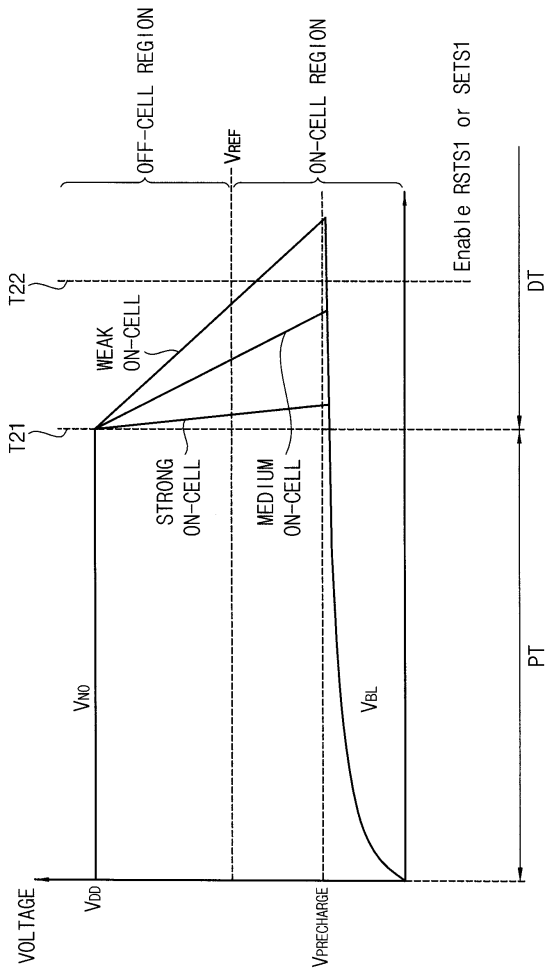
도면8



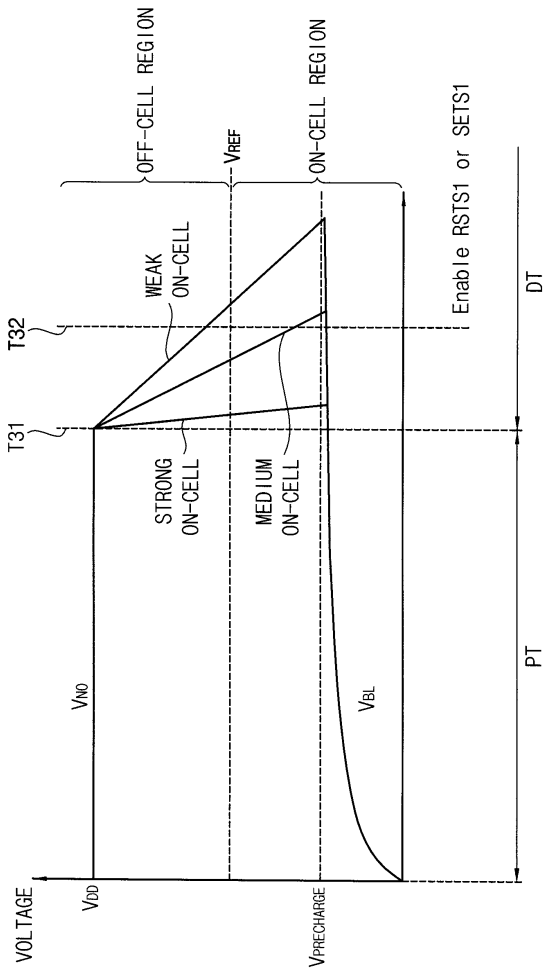
도면9



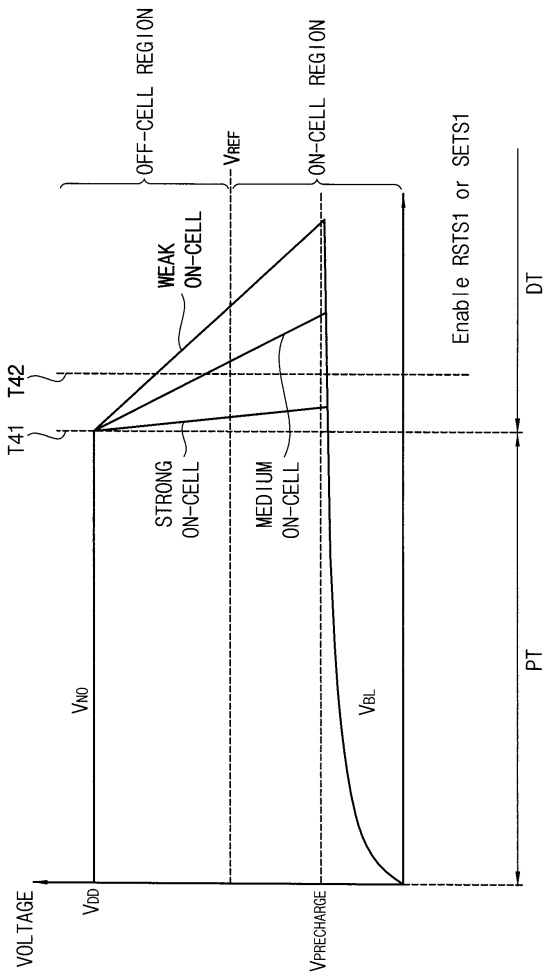
도면10



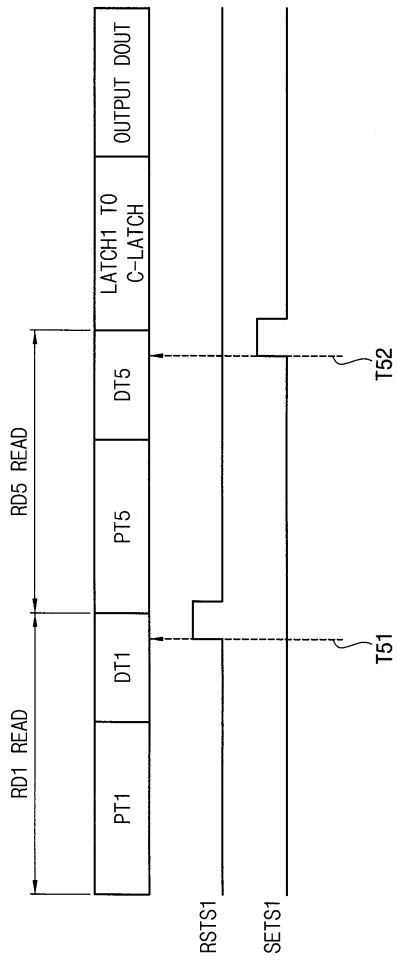
도면11



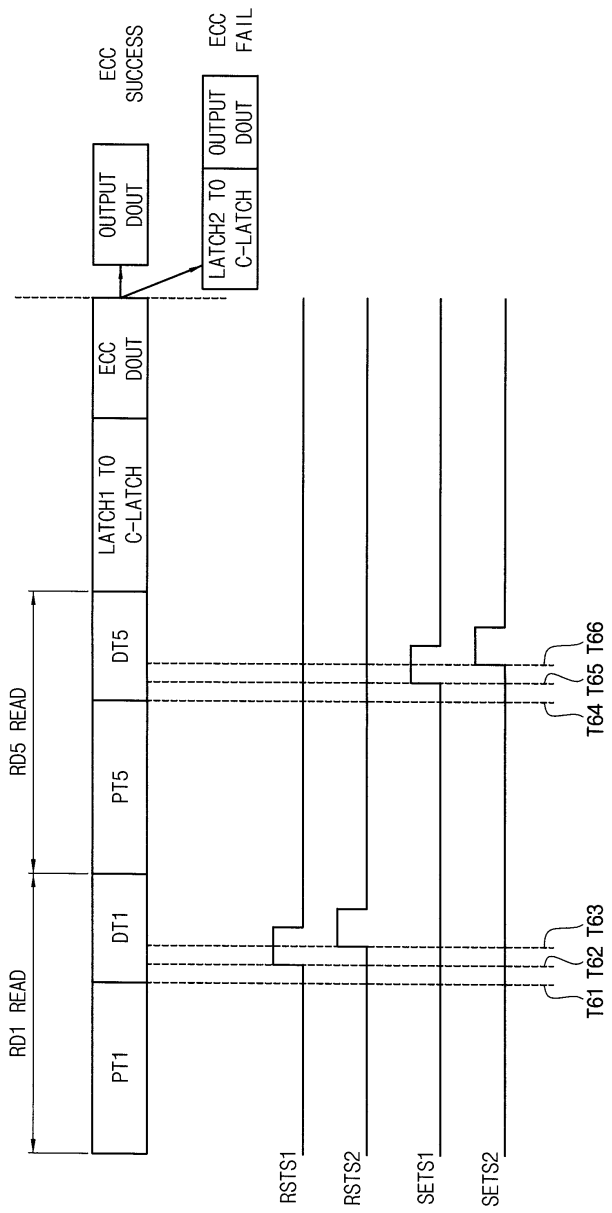
도면12



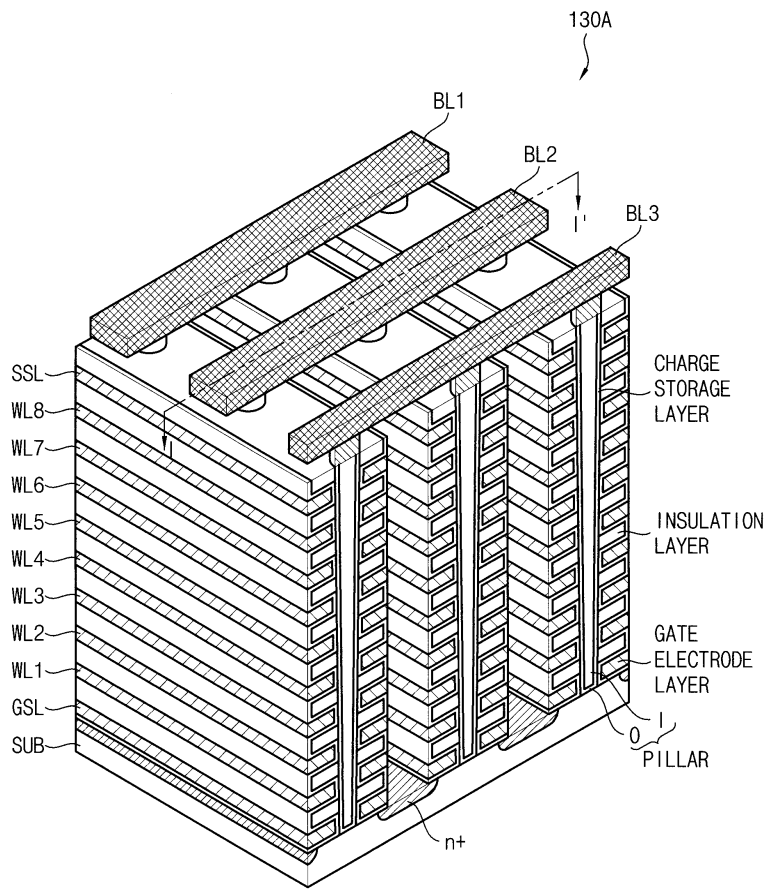
도면13



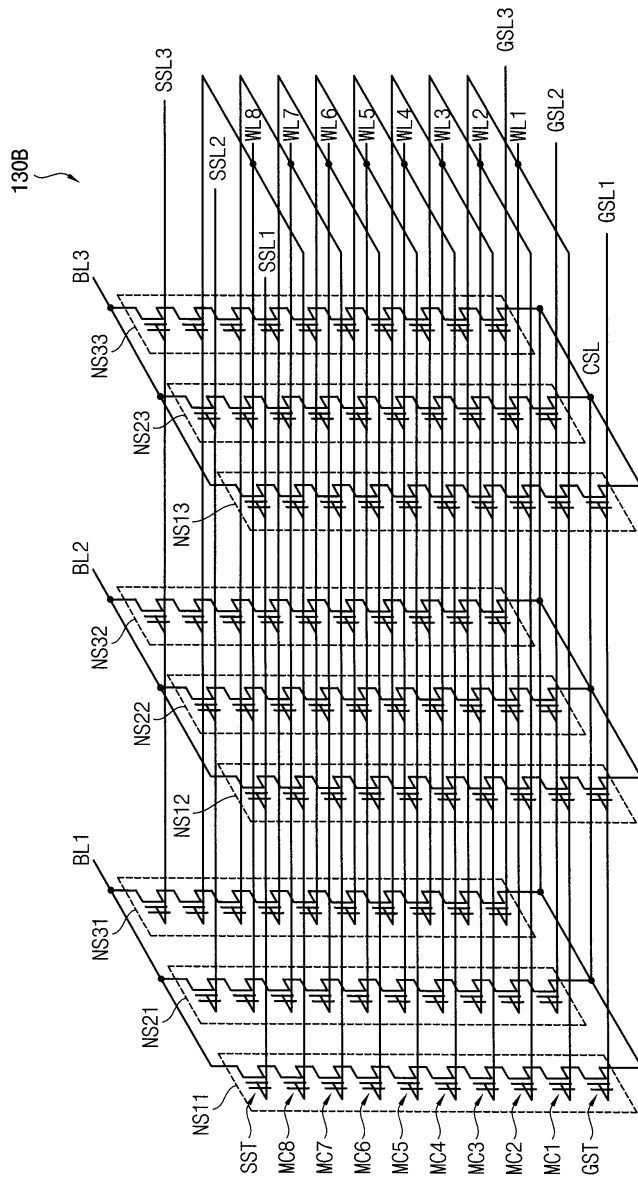
도면14



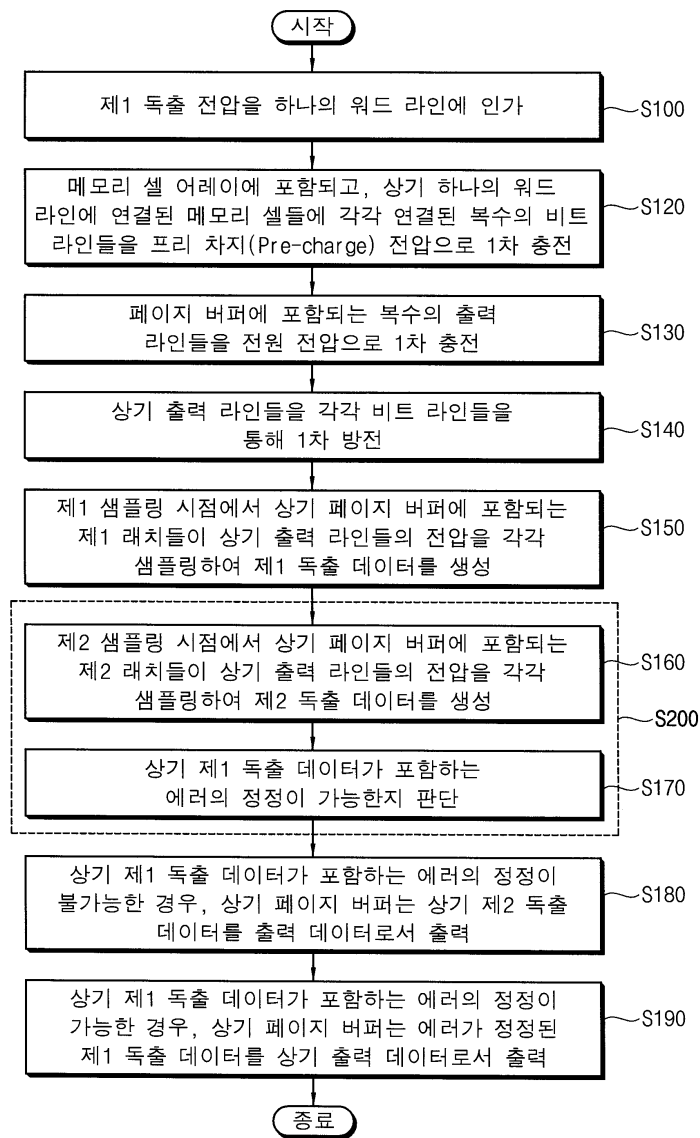
도면15



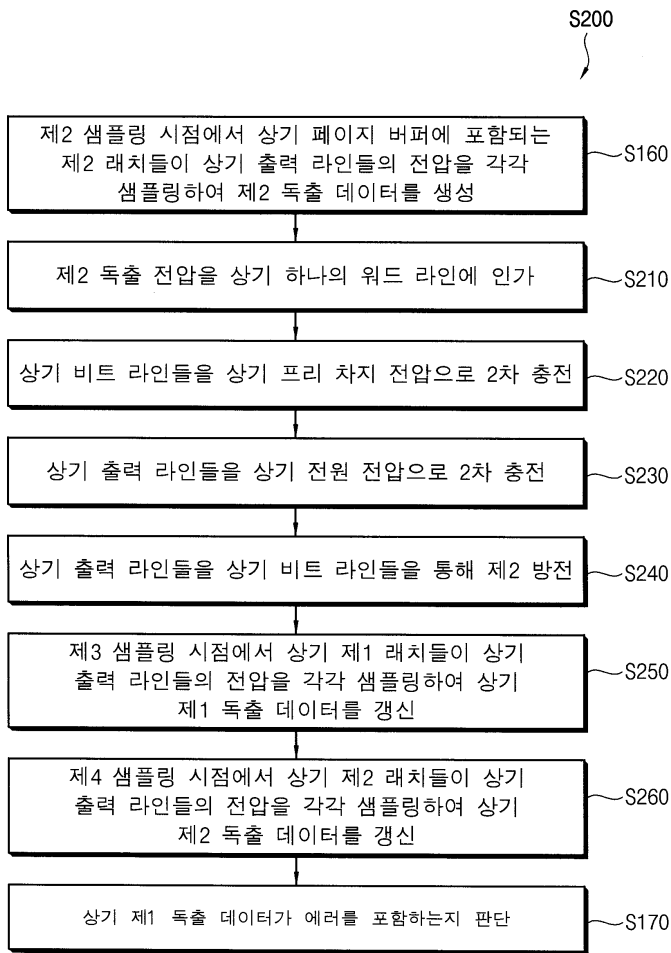
도면16



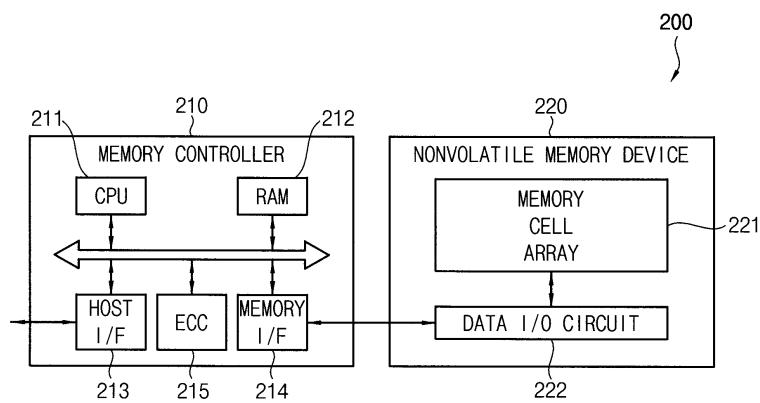
도면17



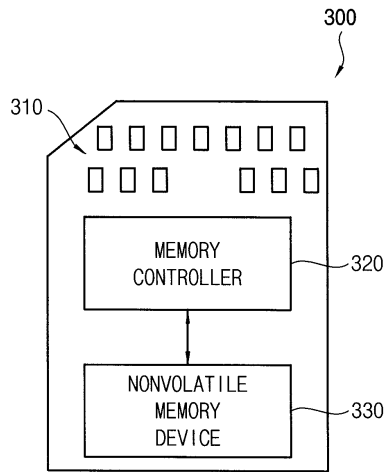
도면18



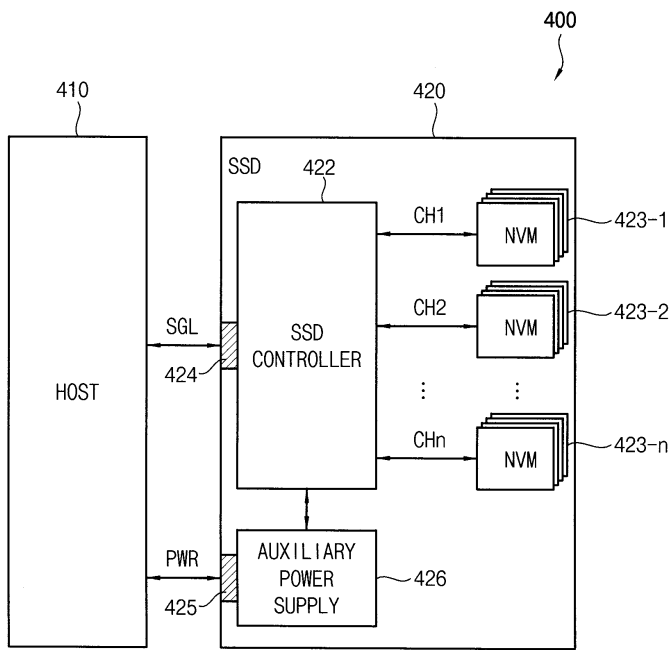
도면19



도면20



도면21



도면22

