



(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2023 132 166.8**

(22) Anmeldetag: **20.11.2023**

(43) Offenlegungstag: **13.06.2024**

(51) Int Cl.: **G11C 7/22 (2006.01)**

(30) Unionspriorität:
10-2022-0170793 08.12.2022 KR

(71) Anmelder:
SK hynix Inc., Icheon-si, Gyeonggi-do, KR

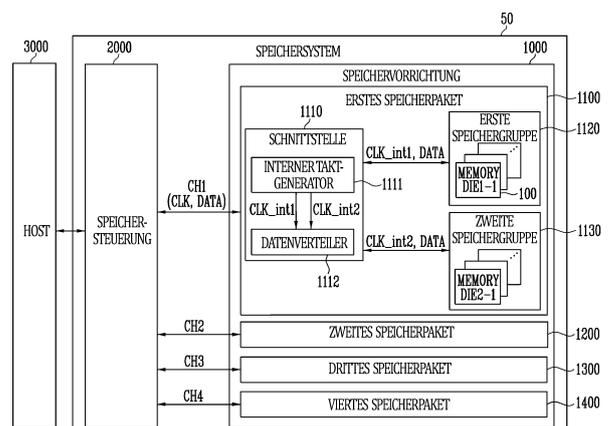
(74) Vertreter:
**isarpatent - Patent- und Rechtsanwälte Barth
Hassa Peckmann und Partner mbB, 80801
München, DE**

(72) Erfinder:
**Kang, Sung Geun, Icheon-si, Gyeonggi-do, KR;
Shim, In Bo, Icheon-si, Gyeonggi-do, KR; Jin, Su
Il, Icheon-si, Gyeonggi-do, KR; Choi, Eun Kyu,
Icheon-si, Gyeonggi-do, KR**

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **SPEICHERVORRICHTUNG MIT EINEM SPEICHERPAKET UND SPEICHERSYSTEM MIT DER SPEICHERVORRICHTUNG**

(57) Zusammenfassung: Ein Speichersystem umfasst eine Speichervorrichtung und eine Speichersteuerung zum Bereitstellen von Daten an die Speichervorrichtung auf der Grundlage eines Taktsignals. Die Speichervorrichtung umfasst eine erste Speichergruppe; eine zweite Speichergruppe; einen internen Taktgenerator zum Erzeugen eines ersten internen Taktsignals und eines zweiten internen Taktsignals, die jeweils einer ersten Periode und einer zweiten Periode des Taktsignals entsprechen; und einen Datenverteiler zum Bereitstellen der Daten jeweils an die erste Speichergruppe und die zweite Speichergruppe auf der Grundlage des ersten internen Taktsignals und des zweiten internen Taktsignals.



Beschreibung

HINTERGRUND

1. Gebiet der Erfindung

[0001] Ausführungsformen der vorliegenden Offenbarung betreffen allgemein eine elektronische Vorrichtung und insbesondere eine Speichervorrichtung mit einem Speicherpaket und ein Speichersystem mit der Speichervorrichtung.

2. Beschreibung des Standes der Technik

[0002] Ein Speichersystem ist eine Vorrichtung, die Daten unter der Steuerung einer Hostvorrichtung wie einem Computer oder einem Smartphone speichert. Das Speichersystem kann eine Speichervorrichtung zum Speichern von Daten und eine Speichersteuerung zum Steuern der Speichervorrichtung umfassen. Die Speichervorrichtung wird in eine flüchtige Speichervorrichtung und eine nichtflüchtige Speichervorrichtung unterteilt.

[0003] Die Speichervorrichtung kann Daten von der Speichersteuerung über eine Vielzahl von Kanälen empfangen. Um die Verarbeitungsgeschwindigkeit der von der Speichersteuerung empfangenen Daten zu erhöhen, kann die Speichervorrichtung eine Verschachtelungsoperation durchführen, bei der eine Vielzahl von mit einem Kanal verbundenen Speicherchips die Daten überlappend verarbeiten. Wenn jedoch die Anzahl der Speicherchips, die sich einen Kanal teilen, größer wird, kann die Geschwindigkeit, mit der Daten zu jedem der Speicherchips übertragen werden, aufgrund eines Widerstands oder dergleichen langsamer werden. Um die Geschwindigkeit zu erhöhen, mit der Speicherchips, die sich einen Kanal teilen, Daten verarbeiten, kann eine Vielzahl von Taktsignalen verwendet werden, so dass jeder der Speicherchips Daten verarbeiten kann.

ZUSAMMENFASSUNG

[0004] Verschiedene Ausführungsformen der vorliegenden Offenbarung stellen eine Speichervorrichtung mit einem Speicherpaket und ein Speichersystem mit der Speichervorrichtung bereit, die die Geschwindigkeit erhöhen können, mit der von außen empfangene Daten verarbeitet werden.

[0005] Gemäß einer Ausführungsform der vorliegenden Offenbarung wird ein Speichersystem bereitgestellt, umfassend: eine Speichervorrichtung; und eine Speichersteuerung, die derart eingerichtet ist, dass sie an die Speichervorrichtung Daten auf der Grundlage eines Taktsignals bereitstellt, wobei die Speichervorrichtung umfasst: eine erste Speichergruppe; eine zweite Speichergruppe; einen internen Taktgenerator, der derart eingerichtet ist, dass er ein

erstes internes Taktsignal und ein zweites internes Taktsignal erzeugt, die jeweils einer ersten Periode und einer zweiten Periode des Taktsignals entsprechen; und einen Datenverteiler, der derart eingerichtet ist, dass er die Daten jeweils an die erste Speichergruppe und die zweite Speichergruppe auf der Grundlage des ersten internen Taktsignals und des zweiten internen Taktsignals bereitstellt.

[0006] Gemäß einer anderen Ausführungsform der vorliegenden Offenbarung wird ein Speichersystem bereitgestellt, umfassend: eine Speichervorrichtung; und eine Speichervorsteuerung, die derart eingerichtet ist, dass sie an die Speichervorrichtung Daten auf der Grundlage eines Taktsignals bereitstellt, wobei die Speichervorrichtung umfasst: eine erste bis n-te Speichergruppe, die jeweils eine Vielzahl von Speicherchips umfasst; einen internen Taktgenerator, der derart eingerichtet ist, dass er auf der Grundlage des Taktsignals ein erstes bis n-tes internes Taktsignal erzeugt, das jeweils der ersten bis n-ten Speichergruppe entspricht; und einen Datenverteiler, der derart eingerichtet ist, dass er an die erste bis n-te Speichergruppe jeweils die Daten auf der Grundlage des ersten bis n-ten internen Taktsignals bereitstellt.

[0007] Gemäß einer anderen Ausführungsform der vorliegenden Offenbarung wird ein Speicherpaket bereitgestellt, umfassend: eine erste bis n-te Speichergruppe, die jeweils eine Vielzahl von Speicherchips umfasst; einen internen Taktgenerator, der derart eingerichtet ist, dass er ein erstes bis n-tes internes Taktsignal erzeugt und das erste bis n-te interne Taktsignal jeweils auf der Grundlage eines Taktsignals an die erste bis n-te Speichergruppen bereitstellt; und einen Datenverteiler, der derart eingerichtet ist, dass er Daten empfängt und die Daten gemäß dem Taktsignal jeweils auf der Grundlage des ersten bis n-ten internen Taktsignals an die erste bis n-te Speichergruppe verteilt.

[0008] Gemäß einer anderen Ausführungsform der vorliegenden Offenbarung wird ein Speichersystem bereitgestellt, umfassend: eine Speichersteuerung, die derart eingerichtet ist, dass sie eine Vielzahl von Datenelementen und ein Taktsignal bereitstellt, wobei die Vielzahl von Datenelementen mehrere ungerade Datenelemente und mehrere gerade Datenelemente umfasst; und eine Speichervorrichtung mit einer Vielzahl von Speicherpaketen, die jeweils über eine Vielzahl von Kanälen mit der Speichersteuerung gekoppelt sind. Jedes der Speicherpakete umfasst eine erste und eine zweite Speichergruppe, wobei jede Speichergruppe eine Vielzahl von Speicherchips umfasst; und eine Schnittstelle. Die Schnittstelle umfasst einen internen Taktgenerator, der derart eingerichtet ist, dass er auf der Grundlage des Taktsignals abwechselnd ein erstes und ein zweites internes Taktsignal erzeugt; und einen Datenverteiler, der derart eingerichtet ist, dass er

als Antwort auf das erste interne Taktsignal sequentiell die mehreren ungeraden Datenelemente an die ersten Speichergruppen bereitstellt und als Antwort auf das zweite interne Taktsignal sequentiell die mehreren geraden Datenelemente an die zweiten Speichergruppen bereitstellt.

[0009] Gemäß einer anderen Ausführungsform der vorliegenden Offenbarung wird ein Verfahren zum Betreiben einer Speichervorrichtung bereitgestellt, umfassend: Empfangen von Daten von einer Speichersteuerung auf der Grundlage eines Taktsignals; Erzeugen eines ersten internen Taktsignals, das einer ungeraden Periode des Taktsignals entspricht, und eines zweiten internen Taktsignals, das einer geraden Periode des Taktsignals entspricht; und Verteilen der Daten an eine erste Speichergruppe und eine zweite Speichergruppe, die in der Speichervorrichtung umfasst sind, auf der Grundlage des ersten internen Taktsignals bzw. des zweiten internen Taktsignals.

KURZBESCHREIBUNG DER ZEICHNUNGEN

[0010] Verschiedene Ausführungsformen werden nun im Folgenden unter Bezugnahme auf die beigefügten Zeichnungen ausführlicher beschrieben; sie können jedoch in verschiedenen Formen ausgeführt werden und sind nicht als auf die hier dargestellten Ausführungsformen beschränkt auszulegen. Vielmehr werden diese Ausführungsformen bereitgestellt, damit diese Offenbarung gründlich und vollständig ist und einem Fachmann den Umfang der Ausführungsformen vollständig vermittelt.

[0011] In den Figuren der Zeichnung können Abmessungen zur besseren Veranschaulichung übertrieben dargestellt sein. Es versteht sich, dass, wenn ein Element als „zwischen“ zwei Elementen bezeichnet wird, es das einzige Element zwischen den beiden Elementen sein kann, oder es auch ein oder mehrere dazwischen liegende Elemente vorhanden sein können. Gleiche Bezugszeichen beziehen sich durchweg auf gleiche Elemente.

Fig. 1 zeigt ein Diagramm, das ein Speichersystem mit einer Speichervorrichtung gemäß einer Ausführungsform der vorliegenden Offenbarung darstellt.

Fig. 2 zeigt ein Zeitdiagramm, das eine Operation des Verarbeitens von Daten gemäß internen Taktsignalen, die auf der Grundlage eines Taktsignals erzeugt werden, gemäß einer Ausführungsform der vorliegenden Offenbarung darstellt.

Fig. 3 zeigt ein Zeitdiagramm, das eine Verschachtelungsoperation von Speicherchips, die jeweils in Speichergruppen umfasst sind, gemäß einer Ausführungsform der vorliegenden Offenbarung darstellt.

Fig. 4 zeigt ein Diagramm, das ein Speicherpaket gemäß einer Ausführungsform der vorliegenden Offenbarung darstellt.

Fig. 5 zeigt ein Zeitdiagramm, das eine Operation des Erzeugens interner Taktsignale auf der Grundlage eines Taktsignals gemäß einer Ausführungsform der vorliegenden Offenbarung darstellt.

Fig. 6 zeigt ein Zeitdiagramm, das eine Operation des Erzeugens interner Taktsignale auf der Grundlage eines Taktsignals gemäß einer anderen Ausführungsform der vorliegenden Offenbarung darstellt.

Fig. 7 ist ein Zeitdiagramm, das eine Operation des Erzeugens interner Taktsignale auf der Grundlage eines Taktsignals gemäß einer weiteren Ausführungsform der vorliegenden Offenbarung darstellt.

Fig. 8 zeigt ein Flussdiagramm, das eine Operation des Verarbeitens von Daten gemäß internen Taktsignalen, die auf der Grundlage eines Taktsignals erzeugt werden, gemäß einer Ausführungsform der vorliegenden Offenbarung darstellt.

Fig. 9 zeigt ein Diagramm, das einen in **Fig. 1** dargestellten Speicherchip gemäß einer Ausführungsform der vorliegenden Offenbarung darstellt.

Fig. 10 zeigt ein Diagramm, das eine in **Fig. 1** gezeigte Speichersteuerung gemäß einer Ausführungsform der vorliegenden Offenbarung darstellt.

AUSFÜHRLICHE BESCHREIBUNG

[0012] Die spezifische strukturelle oder funktionelle Beschreibung, die hierin offenbart ist, dient lediglich zur Veranschaulichung der Beschreibung von Ausführungsformen gemäß dem Konzept der vorliegenden Offenbarung. Die Ausführungsformen gemäß dem Konzept der vorliegenden Offenbarung können in verschiedenen Formen realisiert werden und sind nicht als auf die hier dargelegten Ausführungsformen beschränkt auszulegen.

[0013] **Fig. 1** zeigt ein Diagramm, das ein Speichersystem 50 mit einer Speichervorrichtung gemäß einer Ausführungsform der vorliegenden Offenbarung darstellt.

[0014] Unter Bezugnahme auf **Fig. 1** kann das Speichersystem 50 eine Speichervorrichtung 1000 und eine Speichersteuerung 2000 umfassen. Das Speichersystem 50 kann Daten unter der Steuerung eines außerhalb befindlichen Host 3000 speichern. Bei dem Speichersystem 50 kann es sich um ein Speichergerät handeln, das in einem Mobiltelefon,

einem Computer, einem Infotainment-System in einem Fahrzeug oder dergleichen umfasst ist. Das Speichersystem 50 kann gemäß einer Host-Schnittstelle als Kommunikationsschema mit dem Host 3000 als eine der verschiedenen Arten von Speichergeräten, wie z.B. ein Solid-State-Laufwerk (Solid State Drive - SSD), hergestellt werden. Das Speichersystem 50 kann als eines von verschiedenen Paket- bzw. Gehäusetyphen hergestellt werden, z.B. als Package On Package (POP) und als System On Chip (SOC).

[0015] Die Speichervorrichtung 1000 kann Daten speichern. Die Speichervorrichtung 1000 kann unter der Steuerung der Speichersteuerung 2000 betrieben werden. In einer Ausführungsform kann die Speichervorrichtung 1000 eine flüchtige Speichervorrichtung oder eine nichtflüchtige Speichervorrichtung sein.

[0016] Die Speichervorrichtung 1000 kann einen Befehl und eine Adresse von der Speichersteuerung 2000 empfangen und auf einen durch die Adresse ausgewählten Bereich zugreifen. Die Speichervorrichtung 1000 kann eine durch den Befehl angewiesene Operation in dem durch die Adresse ausgewählten Bereich durchführen. Die Speichervorrichtung 1000 kann eine Programmieroperation (Schreiboperation) des Speicherns von Daten in dem durch die Adresse ausgewählten Bereich, eine Leseoperation des Lesens von Daten oder eine Löschoption des Löschs von Daten durchführen.

[0017] Die Speichersteuerung 2000 kann einen Gesamtbetrieb des Speichersystems 50 steuern.

[0018] Wenn das Speichersystem 50 mit Strom versorgt wird, kann die Speichersteuerung 2000 Firmware (FW) ausführen. In einer Ausführungsform kann die Speichersteuerung 2000 eine Steuerkommunikation zwischen dem Host 3000 und der Speichervorrichtung 1000 durch Ausführen der FW steuern. In einer Ausführungsform kann die Speichersteuerung 2000 eine logische Adresse des Host 3000 in eine physikalische Adresse der Speichervorrichtung 1000 übersetzen.

[0019] Die Speichersteuerung 2000 kann die Speichervorrichtung 1000 steuern, um als Antwort auf eine Anforderung von dem Host 3000 eine Schreiboperation, eine Leseoperation, eine Löschoption oder dergleichen durchzuführen. Die Speichersteuerung 2000 kann der Speichervorrichtung 1000 einen Befehl, eine physikalische Adresse oder Daten gemäß der Schreiboperation, der Leseoperation oder der Löschoption bereitstellen.

[0020] In einer Ausführungsform kann die Speichersteuerung 2000 unabhängig von einer Anforderung

von dem Host 3000 einen Befehl, eine Adresse und Daten erzeugen und den Befehl, die Adresse und die Daten an die Speichervorrichtung 1000 übertragen. Beispielsweise kann die Speichersteuerung 2000 der Speichervorrichtung 1000 einen Befehl, eine Adresse und Daten bereitstellen, die zum Durchführen von Lese- und Schreiboperationen verwendet werden, die mit dem Durchführen von Abnutzungsausgleich (Wear Leveling), Rückgewinnung von Daten (Read Reclaim), Speicherbereinigung (Garbage Collection) und dergleichen einhergehen.

[0021] Der Host 3000 kann mit dem Speichersystem 50 unter Verwendung mindestens eines von verschiedenen Kommunikationsschemata wie NonVolatile Memory Express (NVMe) und Universal Flash Storage (UFS) kommunizieren bzw. in Verbindung stehen.

[0022] In einer Ausführungsform kann die Speichervorrichtung 1000 eine Vielzahl von Speicherpaketen umfassen. Zum Beispiel kann die Speichervorrichtung 1000, wie in **Fig. 1** gezeigt, ein erstes bis viertes Speicherpaket 1100 bis 1400 umfassen. Die Speicherpakete können mit der Speichersteuerung 2000 über unterschiedliche Kanäle kommunizieren bzw. in Verbindung treten. Zum Beispiel kann das erste Speicherpaket 1100 mit der Speichersteuerung 2000 über einen ersten Kanal CH1 kommunizieren. Obwohl in **Fig. 1** ein Fall dargestellt ist, in dem ein Speicherpaket mit einem Kanal verbunden ist, kann eine Vielzahl von Speicherpaketen mit einem Kanal verbunden sein.

[0023] In einer Ausführungsform kann das erste Speicherpaket 1100 eine Schnittstelle 1110 und eine Vielzahl von Speichergruppen umfassen. Im dargestellten Beispiel von **Fig. 1** kann das erste Speicherpaket 1100 eine erste Speichergruppe 1120 und eine zweite Speichergruppe 1130 umfassen. Jede der ersten Speichergruppe 1120 und der zweiten Speichergruppe 1130 kann eine Vielzahl von Speicherchips umfassen.

[0024] Jeder der Vielzahl von Speicherchips kann eine Programmieroperation, eine Leseoperation oder eine Löschoption gemäß einem Befehl, einer Adresse oder Daten, durchführen, die von der Speichersteuerung 2000 empfangenen werden. In einer Ausführungsform kann jeder aus der Vielzahl von Speicherchips eine Vielzahl von Ebenen umfassen. Jede der Vielzahl von Ebenen kann eine Vielzahl von Speicherblöcken umfassen.

[0025] In einer Ausführungsform kann die Schnittstelle 1110 ein Taktsignal CLK und Daten DATA über den ersten Kanal CH1 empfangen. Die Daten DATA können von der Speichersteuerung 2000 auf der Grundlage des Taktsignals CLK empfangen werden. Beispielsweise kann die Schnittstelle 1110 die

Daten DATA gemäß einer steigenden oder einer fallenden Flanke des Taktsignals CLK empfangen. In einer Ausführungsform kann das Taktsignal CLK ein Daten-Strobe-Signal DQS oder ein Schreibfreigabesignal sein.

[0026] In einer Ausführungsform kann die Schnittstelle 1110 einen internen Taktgenerator 1111 und einen Datenverteiler 1112 umfassen.

[0027] Der interne Taktgenerator 1111 kann ein erstes internes Taktsignal CLK_int1 und ein zweites internes Taktsignal CLK_int2 auf der Grundlage des von der Speichersteuerung 2000 empfangenen Taktsignals CLK erzeugen. Das erste interne Taktsignal CLK_int1 kann ein Taktsignal sein, das an die erste Speichergruppe 1120 bereitgestellt werden soll. Das zweite interne Taktsignal CLK_int2 kann ein Taktsignal sein, das an die zweite Speichergruppe 1130 bereitgestellt werden soll. Der interne Taktgenerator 1111 kann den Datenverteiler 1112 mit dem ersten internen Taktsignal CLK_int1 und dem zweiten internen Taktsignal CLK_int2 versorgen.

[0028] Der Datenverteiler 1112 kann Daten, die von der Speichersteuerung 2000 empfangen werden, auf der Grundlage des ersten internen Taktsignals CLK_int1 und des zweiten internen Taktsignals CLK_int2 an die erste Speichergruppe 1120 und die zweite Speichergruppe 1130 verteilen. Insbesondere kann der Datenverteiler 1112 Daten an die erste Speichergruppe 1120 auf der Grundlage des ersten internen Taktsignals CLK_int1 bereitstellen und Daten an die zweite Speichergruppe 1130 auf der Grundlage des zweiten internen Taktsignals CLK_int2 bereitstellen. Wenn beispielsweise erste Daten und zweite Daten nacheinander von der Speichersteuerung 2000 empfangen werden, kann der Datenverteiler 1112 die ersten Daten gemäß dem ersten internen Taktsignal CLK_int1 an die erste Speichergruppe 1120 bereitstellen und die zweiten Daten gemäß dem zweiten internen Taktsignal CLK_int2 an die zweite Speichergruppe 1130 bereitstellen. Das heißt, der Datenverteiler 1112 kann parallel Daten an die erste Speichergruppe 1120 und die zweite Speichergruppe 1130 unter Verwendung des ersten internen Taktsignals CLK_int1 und des zweiten internen Taktsignals CLK_int2 bereitstellen. Die von der Speichersteuerung 2000 über den ersten Kanal CH1 empfangenen Daten können gemäß dem ersten internen Taktsignal CLK_int1 und dem zweiten internen Taktsignal CLK_int2 an die erste Speichergruppe 1120 bzw. die zweite Speichergruppe 1130 bereitgestellt werden.

[0029] In einer Ausführungsform kann jedes des zweiten bis vierten Speicherpakets 1200 bis 1400, wie das erste Speicherpaket 1100, eine Schnittstelle 1110, eine erste Speichergruppe 1120 und eine zweite Speichergruppe 1130 umfassen.

[0030] Eine Geschwindigkeit, mit der Daten von der Speichersteuerung 2000 auf der Grundlage des Taktsignals CLK empfangen werden, kann schneller sein als eine Geschwindigkeit, mit der Daten an die erste Speichergruppe 1120 oder die zweite Speichergruppe 1130 auf der Grundlage eines internen Taktsignals bereitgestellt werden. Um das Auftreten eines Engpassphänomens bei der Datenverarbeitung zu verhindern, da die Geschwindigkeit, mit der Daten an die erste Speichergruppe 1120 oder die zweite Speichergruppe 1130 bereitgestellt werden, langsamer ist als die Geschwindigkeit, mit der Daten von der Speichersteuerung 2000 empfangen werden, kann die Schnittstelle 1110 unter Verwendung des ersten internen Taktsignals CLK_int1 und des zweiten internen Taktsignals CLK_int2 parallel Daten an die erste Speichergruppe 1120 und die zweite Speichergruppe 1130 bereitstellen.

[0031] Fig. 2 zeigt ein Zeitdiagramm, das eine Operation des Verarbeitens von Daten gemäß internen Taktsignalen, die auf der Grundlage des Taktsignals erzeugt werden, gemäß einer Ausführungsform der vorliegenden Offenbarung darstellt.

[0032] Fig. 2 wird unter Bezugnahme auf Fig. 1 beschrieben. Unter Bezugnahme auf Fig. 2 kann die Schnittstelle 1110 Daten DATA1 bis DATA8 von der Speichersteuerung 2000 auf der Grundlage des Taktsignals CLK empfangen. Das Taktsignal CLK kann eine erste Periode und eine zweite Periode umfassen. Die erste Periode kann eine ungerade Periode ODD sein, und die zweite Periode kann eine gerade Periode EVEN sein. Das Taktsignal CLK kann eine ungerade Periode ODD und eine gerade Periode EVEN umfassen, die abwechselnd wiederholt werden.

[0033] Insbesondere kann eine Periode von t1 bis t2 eine ungerade Periode ODD sein. In der Periode von t1 bis t2 kann die Schnittstelle 1110 erste Daten DATA1 auf der Grundlage des Taktsignals CLK empfangen. Während der Periode von t1 bis t2 kann der interne Taktgenerator 1111 das erste interne Taktsignal CLK_int1 als Antwort auf eine steigende Flanke des Taktsignals CLK erzeugen. In einer Ausführungsform kann das erste interne Taktsignal CLK_int1 synchron mit einer steigenden Flanke des Taktsignals CLK während einer ungeraden Periode des Taktsignals von einem logischen Low-Pegel auf einen logischen High-Pegel geändert werden. Das erste interne Taktsignal CLK_int1 kann ein Taktsignal sein, das an die erste Speichergruppe 1120 bereitgestellt wird. Während der Periode von t1 bis t2 kann der Datenverteiler 1112 auf der Grundlage des ersten internen Taktsignals CLK_int1 die ersten Daten DATA1 an die erste Speichergruppe 1120 bereitstellen.

[0034] Eine Periode von t2 bis t3 kann eine gerade Periode EVEN sein. Während der Periode von t2 bis t3 kann die Schnittstelle 1110 auf der Grundlage des Taktsignals CLK zweite Daten DATA2 empfangen. Während der Periode von t2 bis t3 kann der interne Taktgenerator 1111 das zweite interne Taktsignal CLK_int2 als Antwort auf eine steigende Flanke des Taktsignals CLK erzeugen. In einer Ausführungsform kann das zweite interne Taktsignal CLK_int2 synchron mit einer steigenden Flanke des Taktsignals CLK während einer geraden Periode des Taktsignals von einem logischen Low-Pegel auf einen logischen High-Pegel geändert werden. Das zweite interne Taktsignal CLK_int2 kann ein Taktsignal sein, das an die zweite Speichergruppe 1130 bereitgestellt wird. Während der Periode von t2 bis t3 kann der Datenverteiler 1112 auf der Grundlage des zweiten internen Taktsignals CLK_int2 die zweiten Daten DATA2 an die zweite Speichergruppe 1130 bereitstellen. Während der Periode von t2 bis t3 kann das erste interne Taktsignal CLK_int1 von einem logischen High-Pegel auf einen logischen Low-Pegel geändert werden.

[0035] Eine Periode von t3 bis t4 kann eine ungerade Periode ODD sein. Während der Periode von t3 bis t4 kann die Schnittstelle 1110 auf der Grundlage des Taktsignals CLK dritte Daten DATA3 empfangen. Während der Periode von t3 bis t4 kann das erste interne Taktsignal CLK_int1 als Antwort auf eine steigende Flanke des Taktsignals CLK während der ungeraden Periode von einem logischen Low-Pegel auf einen logischen High-Pegel geändert werden. Während der Periode von t3 bis t4 kann der Datenverteiler 1112 auf der Grundlage des ersten internen Taktsignals CLK_int1 die dritten Daten DATA3 an die erste Speichergruppe 1120 bereitstellen. Während der Periode von t3 bis t4 kann das zweite interne Taktsignal CLK_int2 von einem logischen High-Pegel auf einen logischen Low-Pegel geändert werden.

[0036] Eine Periode von t4 bis t5 kann eine gerade Periode EVEN sein. Während der Periode von t4 bis t5 kann die Schnittstelle 1110 auf der Grundlage des Taktsignals CLK vierte Daten DATA4 empfangen. Während der Periode von t4 bis t5 kann das zweite interne Taktsignal CLK_int2 als Antwort auf eine steigende Flanke des Taktsignals CLK während der geraden Periode von einem logischen Low-Pegel auf einen logischen High-Pegel geändert werden. Während der Periode von t4 bis t5 kann der Datenverteiler 1112 auf der Grundlage des zweiten internen Taktsignals CLK_int2 die vierten Daten DATA4 an die zweite Speichergruppe 1130 bereitstellen.

[0037] Eine Periode von t5 bis t6 kann eine ungerade Periode ODD sein. Während der Periode von t5 bis t6 kann die Schnittstelle 1110 auf der Grundlage des Taktsignals CLK fünfte Daten DATA5 empfangen.

Während der Periode von t5 bis t6 kann das erste interne Taktsignal CLK_int1 als Antwort auf eine steigende Flanke des Taktsignals CLK während der ungeraden Periode von einem logischen Low-Pegel auf einen logischen High-Pegel geändert werden. Während der Periode von t5 bis t6 kann der Datenverteiler 1112 auf der Grundlage des ersten internen Taktsignals CLK_int1 die fünften Daten DATA5 an die erste Speichergruppe 1120 bereitstellen.

[0038] Eine Periode von t6 bis t7 kann eine gerade Periode EVEN sein. Während der Periode von t6 bis t7 kann die Schnittstelle 1110 sechste Daten DATA6 auf der Grundlage des Taktsignals CLK empfangen. Während der Periode von t6 bis t7 kann das zweite interne Taktsignal CLK_int2 als Antwort auf eine steigende Flanke des Taktsignals CLK während der geraden Periode von einem logischen Low-Pegel auf einen logischen High-Pegel geändert werden. Während der Periode von t6 bis t7 kann der Datenverteiler 1112 auf der Grundlage des zweiten internen Taktsignals CLK_int2 die sechsten Daten DATA6 an die zweite Speichergruppe 1130 bereitstellen.

[0039] Eine Periode von t7 bis t8 kann eine ungerade Periode ODD sein. Während der Periode von t7 bis t8 kann die Schnittstelle 1110 auf der Grundlage des Taktsignals CLK siebte Daten DATA7 empfangen. Während der Periode von t7 bis t8 kann das erste interne Taktsignal CLK_int1 als Antwort auf eine steigende Flanke des Taktsignals CLK während der ungeraden Periode von einem logischen Low-Pegel auf einen logischen High-Pegel geändert werden. Während der Periode von t7 bis t8 kann der Datenverteiler 1112 auf der Grundlage des ersten internen Taktsignals CLK_int1 die siebten Daten DATA7 an die erste Speichergruppe 1120 bereitstellen.

[0040] Eine Periode von t8 bis t9 kann eine gerade Periode EVEN sein. In der Periode von t8 bis t9 kann die Schnittstelle 1110 auf der Grundlage des Taktsignals CLK achte Daten DATA8 empfangen. Während der Periode von t8 bis t9 kann das zweite interne Taktsignal CLK_int2 als Antwort auf eine steigende Flanke des Taktsignals CLK während der geraden Periode von einem logischen Low-Pegel auf einen logischen High-Pegel geändert werden. Während der Periode von t8 bis t9 kann der Datenverteiler 1112 auf der Grundlage des zweiten internen Taktsignals CLK_int2 die achten Daten DATA8 an die zweite Speichergruppe 1130 bereitstellen.

[0041] In einer Ausführungsform kann die Schnittstelle 1110 die ersten bis achten Daten DATA1 bis DATA8 als Antwort auf eine steigende Flanke des Taktsignals CLK empfangen. Der interne Taktgenerator 1111 kann das erste interne Taktsignal

CLK_int1 als Antwort auf eine steigende Flanke des Taktsignals während der ungeraden Periode erzeugen. Der interne Taktgenerator 1111 kann das zweite interne Taktsignal CLK_int2 als Antwort auf eine steigende Flanke des Taktsignals während der geraden Periode erzeugen. Der interne Taktgenerator 1111 kann das erste interne Taktsignal CLK_int1 und das zweite interne Taktsignal CLK_int2 erzeugen, die der ungeraden bzw. geraden Periode des Taktsignals entsprechen.

[0042] Der Datenverteiler 1112 kann die ersten bis achten Daten DATA1 bis DATA8 auf der Grundlage des ersten internen Taktsignals CLK_int1 und des zweiten internen Taktsignals CLK_int2 an die erste Speichergruppe 1120 bzw. die zweite Speichergruppe 1130 verteilen. Insbesondere kann der Datenverteiler 1112 die ersten Daten DATA1, die dritten Daten DATA3, die fünften Daten DATA5 und die siebten Daten DATA7 auf der Grundlage des ersten internen Taktsignals CLK_int1 an die erste Speichergruppe 1120 bereitstellen. Der Datenverteiler 1112 kann die zweiten Daten DATA2, die vierten Daten DATA4, die sechsten Daten DATA6 und die achten Daten DATA8 auf der Grundlage des zweiten internen Taktsignals CLK_int2 an die zweite Speichergruppe 1130 bereitstellen.

[0043] Fig. 3 zeigt ein Zeitdiagramm, das eine Verschachtelungsoperation von Speicherchips, die jeweils in Speichergruppen umfasst sind, gemäß einer Ausführungsform der vorliegenden Offenbarung darstellt.

[0044] Fig. 3 wird unter Bezugnahme auf die Fig. 1 und 2 beschrieben. Unter Bezugnahme auf Fig. 3 können ein (1-1)-ter Speicherchip MEMORY DIE1-1, ein (1-2)-ter Speicherchip MEMORY DIE1-2, ein (1-3)-ter Speicherchip MEMORY DIE1-3 und ein (1-4)-ter Speicherchip MEMORY DIE1-4 Speicherchips sein, die in der ersten Speichergruppe 1120 umfasst sind. Ein (2-1)-ter Speicherchip MEMORY DIE2-1, ein (2-2)-ter Speicherchip MEMORY DIE2-2, ein (2-3)-ter Speicherchip MEMORY DIE2-3 und ein (2-4)-ter Speicherchip MEMORY DIE2-4 können Speicherchips sein, die in dem zweiten Speicherchip 1130 umfasst sind.

[0045] Während einer Periode von t1 bis t2 kann der (1-1)-te Speicherchip MEMORY DIE1-1 die ersten Daten DATA1 auf der Grundlage des ersten internen Taktsignals empfangen. Während der Periode von t1 bis t2 kann der (2-1)-te Speicherchip MEMORY DIE2-1 auf der Grundlage des zweiten internen Taktsignals die zweiten Daten DATA2 empfangen. Das heißt, während der Periode von t1 bis t2 können der (1-1)-te Speicherchip MEMORY DIE1-1 und der (2-1)-te Speicherchip MEMORY DIE2-1 parallel die ersten Daten DATA1 und die zweiten Daten DATA2 auf der Grundlage des ersten internen Taktsignals

und des zweiten internen Taktsignals empfangen. Danach können der (1-1)-te Speicherchip MEMORY DIE1-1 und der (2-1)-te Speicherchip MEMORY DIE2-1 während der Periode von t2 bis t6 parallel Programmieroperationen des jeweiligen Speicherns der ersten Daten DATA1 und der zweiten Daten DATA2 durchführen.

[0046] Während der Periode von t2 bis t3 kann der (1-2)-te Speicherchip MEMORY DIE1-2 die dritten Daten DATA3 auf der Grundlage des ersten internen Taktsignals empfangen. Während der Periode von t2 bis t3 kann der (2-2)-te Speicherchip MEMORY DIE2-2 auf der Grundlage des zweiten internen Taktsignals die vierten Daten DATA4 empfangen. Während der Periode von t2 bis t3 können der (1-2)-te Speicherchip MEMORY DIE1-2 und der (2-2)-te Speicherchip MEMORY DIE2-2 die dritten Daten DATA3 bzw. die vierten Daten DATA4 empfangen. Danach können der (1-2)-te Speicherchip MEMORY DIE1-2 und der (2-2)-te Speicherchip MEMORY DIE2-2 während einer Periode von t3 bis t7 Programmieroperationen des jeweiligen Speicherns der dritten Daten DATA3 und der vierten Daten DATA4 durchführen.

[0047] Während einer Periode von t3 bis t4 kann der (1-3)-te Speicherchip MEMORY DIE1-3 auf der Grundlage des ersten internen Taktsignals die fünften Daten DATA5 empfangen. Während der Periode von t3 bis t4 kann der (2-3)-te Speicherchip MEMORY DIE2-3 auf der Grundlage des zweiten internen Taktsignals die sechsten Daten DATA6 empfangen. Während der Periode von t3 bis t4 können der (1-3)-te Speicherchip MEMORY DIE1-3 und der (2-3)-te Speicherchip MEMORY DIE2-3 die fünften Daten DATA5 bzw. die sechsten Daten DATA6 auf der Grundlage des ersten internen Taktsignals und des zweiten internen Taktsignals empfangen. Danach können der (1-3)-te Speicherchip MEMORY DIE1-3 und der (2-3)-te Speicherchip MEMORY DIE2-3 während einer Periode von t4 bis t8 Programmieroperationen des jeweiligen Speicherns der fünften Daten DATA5 und der sechsten Daten DATA6 durchführen.

[0048] Während einer Periode von t4 bis t5 kann der (1-4)-te Speicherchip MEMORY DIE1-4 auf der Grundlage des ersten internen Taktsignals die siebten Daten DATA7 empfangen. Während der Periode von t4 bis t5 kann der (2-4)-te Speicherchip MEMORY DIE2-4 auf der Grundlage des zweiten internen Taktsignals die achten Daten DATA8 empfangen. Während der Periode von t4 bis t5 können der (1-4)-te Speicherchip MEMORY DIE1-4 und der (2-4)-te Speicherchip MEMORY DIE2-4 auf der Grundlage des ersten internen Taktsignals und des zweiten internen Taktsignals parallel die siebten Daten DATA7 und die achten Daten DATA8 empfangen. Danach können während der Periode von t5 bis t9

der (1-4)-te Speicherchip MEMORY DIE1-4 und der (2-4)-te Speicherchip MEMORY DIE2-4, die in verschiedenen Speichergruppen umfasst sind, gleichzeitig Programmieroperationen des jeweiligen Speichers der siebten Daten DATA7 und der achten Daten DATA8 durchführen.

[0049] Die erste Speichergruppe mit dem (1-1)-ten Speicherchip MEMORY DIE1-1, dem (1-2)-ten Speicherchip MEMORY DIE1-2, dem (1-3)-ten Speicherchip MEMORY DIE1-3 und dem (1-4)-ten Speicherchip MEMORY DIE1-4 und die zweite Speichergruppe mit dem (2-1)-ten Speicherchip MEMORY DIE2-1, dem (2-2)-ten Speicherchip MEMORY DIE2-2, dem (2-3)-ten Speicherchip MEMORY DIE2-3 und dem (2-4)-ten Speicherchip MEMORY DIE2-4 können Speichergruppen sein, die in dem ersten Speicherpaket 1100 umfasst sind. Das heißt, da die erste Speichergruppe und die zweite Speichergruppe Speichergruppen sind, die in einem Speicherpaket umfasst sind, können die erste Speichergruppe und die zweite Speichergruppe Daten von der Speichersteuerung über einen Kanal empfangen, wie z.B. den ersten Kanal CH1, der in **Fig. 1** gezeigt ist. Da die ersten Daten und die zweiten Daten, die über einen Kanal empfangen werden, auf der Grundlage des ersten internen Taktsignals und des zweiten internen Taktsignals parallel an Speicherchips verteilt werden, die in verschiedenen Speichergruppen umfasst sind, können die Speicherchips, die in den verschiedenen Speichergruppen umfasst sind, darüber hinaus gleichzeitig eine Programmieroperation durchführen.

[0050] Andererseits sind im Falle einer herkömmlichen Verschachtelungsoperation der (1-1)-te Speicherchip MEMORY DIE1-1 und der (2-1)-te Speicherchip MEMORY DIE2-1 mit einem Kanal verbunden. Nachdem der (1-1)-te Speicherchip MEMORY DIE1-1 die ersten Daten empfängt, kann der (2-1)-te Speicherchip MEMORY DIE2-1 demzufolge die zweiten Daten empfangen. Das heißt, der (2-1)-te Speicherchip MEMORY DIE2-1 kann die zweiten Daten DATA2 erst empfangen, wenn der (1-1)-te Speicherchip MEMORY DIE1-1 die ersten Daten DATA1 empfängt. Demzufolge kann eine Programmieroperation an dem (2-1)-ten Speicherchip MEMORY DIE2-1 verzögert werden. Bei der herkömmlichen Verschachtelungsoperation kann die zum Durchführen der Programmieroperation erforderliche Zeit verglichen mit der Ausführungsform der vorliegenden Offenbarung lang werden, bei der die ersten Daten DATA1 und die zweiten Daten DATA2 auf der Grundlage des ersten internen Takts und des zweiten internen Takts parallel an den (1-1)-ten Speicherchip MEMORY DIE1-1 und den (2-1)-ten Speicherchip MEMORY DIE2-1 bereitgestellt werden.

[0051] **Fig. 4** zeigt ein Diagramm, das ein Speicherpaket gemäß einer Ausführungsform der vorliegenden Offenbarung darstellt.

[0052] Unter Bezugnahme auf **Fig. 4** kann ein erstes Speicherpaket 1100 eine Schnittstelle 1110 und eine erste bis n-te Speichergruppe 1120 bis 1140 umfassen. Hierbei kann n eine natürliche Zahl von 3 oder mehr sein. Jede der ersten bis n-ten Speichergruppe 1120 bis 1140 kann eine Vielzahl von Speicherchips umfassen.

[0053] Die Schnittstelle 1110 kann einen internen Taktgenerator 1111 und einen Datenverteiler 1112 umfassen.

[0054] Der interne Taktgenerator 1111 kann ein Taktsignal CLK von der Speichersteuerung 2000 empfangen. Der interne Taktgenerator 1111 kann auf der Grundlage des Taktsignals CLK ein internes erstes bis n-tes Taktsignal CLK_int1 bis CLK_intn erzeugen. Hierbei kann n eine natürliche Zahl von 3 oder mehr sein. Das erste bis n-te Taktsignal CLK_int1 bis CLK_intn können Taktsignale sein, die jeweils der ersten bis n-ten Speichergruppe 1120 bis 1140 entsprechen. Beispielsweise kann das erste interne Taktsignal CLK_int1 ein Taktsignal sein, das an die erste Speichergruppe 1120 bereitgestellt werden soll, und das n-te interne Taktsignal CLK_intn kann ein Taktsignal sein, das an die n-te Speichergruppe 1140 bereitgestellt werden soll. Der interne Taktgenerator 1111 kann das erste bis n-te Taktsignal CLK_int1 bis CLK_intn an den Datenverteiler 1112 bereitstellen.

[0055] In einer Ausführungsform können interne Taktsignale derart erzeugt werden, dass eine Anzahl der internen Taktsignale der Anzahl der Speichergruppen entspricht, die in dem ersten Speicherpaket 1100 umfasst sind. Wenn beispielsweise eine Vielzahl von Speicherchips in eine erste bis vierte Speichergruppe (n=4) unterteilt ist, kann der interne Taktgenerator 111 ein erstes bis viertes internes Taktsignal auf der Grundlage des Taktsignals CLK erzeugen. In einem anderen Beispiel, wenn das erste Speicherpaket 1110 eine erste bis sechste Speichergruppe (n=6) umfasst, kann der interne Taktgenerator 111 ein erstes bis sechstes internes Taktsignal auf der Grundlage des Taktsignals CLK erzeugen.

[0056] In einer anderen Ausführungsform können interne Taktsignale derart erzeugt werden, dass eine Anzahl der internen Taktsignale der Anzahl einer Vielzahl von Speicherchips entspricht, die in dem ersten Speicherpaket 1100 umfasst sind. Jede Speichergruppe kann einen Speicherchip umfassen.

[0057] Der Datenverteiler 1112 kann Daten DATA von der Speichersteuerung 2000 empfangen. Die

Daten DATA können von der Speichersteuerung 2000 auf der Grundlage des Taktsignals CLK empfangen werden. Der Datenverteiler 1112 kann die an die erste bis n-te Speichergruppe 1120 bis 1140 bereitzustellenden Daten auf der Grundlage des ersten bis n-ten internen Taktsignals CLK_int1 bis CLK_intn verteilen. Der Datenverteiler 1112 kann die Daten jeweils auf der Grundlage des ersten bis n-ten internen Taktsignals CLK_int1 bis CLK_intn an die erste bis n-te Speichergruppe 1120 bis 1140 bereitstellen.

[0058] In einer Ausführungsform kann der Datenverteiler 1112 die ersten bis 2n-ten Daten auf der Grundlage des Taktsignals CLK empfangen. Der Datenverteiler 1112 kann auf der Grundlage des ersten bis n-ten internen Taktsignals CLK_int1 bis CLK_intn die ersten bis n-ten Daten jeweils an die erste bis n-te Speichergruppe 1120 bis 1140 bereitstellen und dann die (n+1)-ten bis 2n-ten Daten jeweils an die erste bis n-te Speichergruppe 1120 bis 1140 bereitstellen. Die ersten bis n-ten Daten können parallel an die erste bis n-te Speichergruppe 1120 bis 1140 bereitgestellt werden, und die (n+1)-ten bis 2n-ten Daten können parallel an die erste bis n-te Speichergruppe 1120 bis 1140 bereitgestellt werden.

[0059] (1-1)-te bis (n-1)-te Speicherchips, die jeweils in der ersten bis n-ten Speichergruppe 1120 bis 1140 umfasst sind, können die ersten bis n-ten Daten auf der Grundlage des ersten bis n-ten internen Taktsignals CLK_int1 bis CLK_intn empfangen und dann parallel Programmieroperationen des jeweiligen Speicherns der ersten bis n-ten Daten durchführen. (1-2)-te bis (n-2)-te Speicherchips, die in der ersten bis n-ten Speichergruppe 1120 bis 1140 umfasst sind, können die (n+1)-ten bis 2n-ten Daten auf der Grundlage des ersten bis n-ten internen Taktsignals CLK_int1 bis CLK_intn empfangen und dann parallel Programmieroperationen des jeweiligen Speicherns der (n+1)-ten bis 2n-ten Daten durchführen.

[0060] In einer Ausführungsform können das in **Fig. 1** gezeigte zweite bis vierte Speicherpaket 1200 bis 1400 identisch mit dem ersten Speicherpaket 1100 von **Fig. 4** realisiert werden.

[0061] **Fig. 5** zeigt ein Zeitdiagramm, das eine Operation des Erzeugens interner Taktsignale auf der Grundlage eines Taktsignals gemäß einer Ausführungsform der vorliegenden Offenbarung darstellt.

[0062] **Fig. 5** wird unter Bezugnahme auf **Fig. 4** beschrieben. In **Fig. 5** wird als Beispiel ein Fall beschrieben, in dem das erste Speicherpaket 1100 eine erste bis vierte Speichergruppe (n=4) umfasst.

[0063] Unter Bezugnahme auf **Fig. 5** kann der interne Taktgenerator 1111 auf der Grundlage des

von der Speichersteuerung 2000 empfangenen Taktsignals CLK ein erstes bis viertes internes Taktsignal CLK_int1 bis CLK_int4 erzeugen. Das erste bis vierte interne Taktsignal CLK_int1 bis CLK_int4 können Taktsignale sein, die jeweils an die erste bis vierte Speichergruppe bereitgestellt werden.

[0064] Eine Periode von t1 bis t3 kann eine ungerade Periode ODD sein. Während der Periode von t1 bis t2 kann der interne Taktgenerator 1111 das erste interne Taktsignal CLK_int1 als Antwort auf eine steigende Flanke des Taktsignals erzeugen. In einer Ausführungsform kann das erste interne Taktsignal CLK_int1 synchron mit einer steigenden Flanke des Taktsignals während der ungeraden Periode von einem logischen Low-Pegel auf einen logischen High-Pegel geändert werden.

[0065] Während einer Periode von t2 bis t3 kann der interne Taktgenerator 1111 das zweite interne Taktsignal CLK_int2 als Antwort auf eine fallende Flanke des Taktsignals erzeugen. In einer Ausführungsform kann das zweite interne Taktsignal CLK_int2 synchron mit einer fallenden Flanke des Taktsignals während der ungeraden Periode von einem logischen Low-Pegel auf einen logischen High-Pegel geändert werden.

[0066] Eine Periode von t3 bis t5 kann eine gerade Periode EVEN sein. Während der Periode von t3 bis t5 kann der interne Taktgenerator 1111 das dritte interne Taktsignal CLK_int3 als Antwort auf eine steigende Flanke des Taktsignals erzeugen. In einer Ausführungsform kann das dritte interne Taktsignal CLK_int3 synchron mit einer steigenden Flanke des Taktsignals während der geraden Periode von einem logischen Low-Pegel auf einen logischen High-Pegel geändert werden.

[0067] Während einer Periode von t4 bis t5 kann der interne Taktgenerator 1111 das vierte interne Taktsignal CLK_int4 als Antwort auf eine fallende Flanke des Taktsignals erzeugen. In einer Ausführungsform kann das vierte interne Taktsignal CLK_int4 synchron mit einer fallenden Flanke des Taktsignals während der geraden Periode von einem logischen Low-Pegel auf einen logischen High-Pegel geändert werden.

[0068] In einer Ausführungsform kann der interne Taktgenerator 1111 das erste bis vierte interne Taktsignal CLK_int1 bis CLK_int4 auf der Grundlage der steigenden Flanke und der fallenden Flanke des Taktsignals während jeder der ungeraden Periode ODD und der geraden Periode EVEN erzeugen. Der Datenverteiler 1112 kann Daten, die von der Speichersteuerung 2000 empfangen werden, auf der Grundlage des ersten bis vierten internen Taktsignals CLK_int1 bis CLK_int4 an die erste bis vierte Speichergruppe bereitstellen. Beispielsweise kann

der Datenverteiler 1112 auf der Grundlage des ersten bis vierten internen Taktsignals CLK_int1 bis CLK_int4 erste bis vierte von der Speichersteuerung 2000 sequentiell empfangene Daten an die erste bis vierte Speichergruppe bereitstellen und dann fünfte bis achte von der Speichersteuerung 2000 sequentiell empfangene Daten an die erste bis vierte Speichergruppe bereitstellen. Erste Speicherchips, die jeweils in der ersten bis vierten Speichergruppe umfasst sind, können parallel Programmieroperationen des jeweiligen Speicherns der ersten bis vierten Daten durchführen, und zweite Speicherchips, die jeweils in der ersten bis vierten Speichergruppe umfasst sind, können parallel Programmieroperationen des jeweiligen Speicherns der fünften bis achten Daten durchführen.

[0069] Fig. 6 zeigt ein Zeitdiagramm, das eine Operation des Erzeugens interner Taktsignale auf der Grundlage eines Taktsignals gemäß einer anderen Ausführungsform der vorliegenden Offenbarung darstellt.

[0070] Fig. 6 wird unter Bezugnahme auf Fig. 4 beschrieben. In Fig. 6 wird als Beispiel ein Fall beschrieben, in dem das erste Speicherpaket 1100 die erste bis sechste Speichergruppe (n=6) umfasst.

[0071] Unter Bezugnahme auf Fig. 6 kann der interne Taktgenerator 1111 auf der Grundlage des von der Speichersteuerung 2000 empfangenen Taktsignals CLK ein erstes bis sechstes internes Taktsignal CLK_int1 bis CLK_int6 erzeugen. Das erste bis sechste interne Taktsignal CLK_int1 bis CLK_int6 können Taktsignale sein, die jeweils an die erste bis sechste Speichergruppe bereitgestellt werden.

[0072] Eine Periode von t1 bis t3 kann eine ungerade Periode ODD sein. Der interne Taktgenerator 1111 kann das erste interne Taktsignal CLK_int1 als Antwort auf eine steigende Flanke des Taktsignals während der ungeraden Periode erzeugen. Der interne Taktgenerator 1111 kann einen hohen Pegel des Taktsignals während der ungeraden Periode erfassen bzw. abtasten, wodurch das zweite interne Taktsignal CLK_int2 erzeugt wird. In einer Ausführungsform kann das zweite interne Taktsignal CLK_int2 synchron mit dem hohen Pegel des Taktsignals während der ungeraden Periode von einem logischen Low-Pegel auf einen logischen High-Pegel geändert werden. Der interne Taktgenerator 1111 kann das dritte interne Taktsignal CLK_int3 als Antwort auf eine fallende Flanke des Taktsignals während der ungeraden Periode erzeugen.

[0073] Eine Periode von t3 bis t5 kann eine gerade Periode EVEN sein. Der interne Taktgenerator 1111 kann das vierte interne Taktsignal CLK_int4 als Antwort auf eine steigende Flanke des Taktsignals während der geraden Periode erzeugen. Der interne

Taktgenerator 1111 kann einen hohen Pegel des Taktsignals während der geraden Periode abtasten, wodurch das fünfte interne Taktsignal CLK_int5 erzeugt wird. In einer Ausführungsform kann das fünfte interne Taktsignal CLK_int5 synchron mit dem hohen Pegel des Taktsignals während der geraden Periode von einem logischen Low-Pegel auf einen logischen High-Pegel geändert werden. Der interne Taktgenerator 1111 kann das sechste interne Taktsignal CLK_int6 als Antwort auf eine fallende Flanke des Taktsignals während der geraden Periode erzeugen.

[0074] In einer Ausführungsform kann der interne Taktgenerator 1111 das erste bis sechste interne Taktsignal CLK_int1 bis CLK_int6 auf der Grundlage der steigenden Flanke und der fallenden Flanke des Taktsignals während jeder der ungeraden Periode und der geraden Periode des Taktsignals erzeugen. Der Datenverteiler 1112 kann die von der Speichersteuerung 2000 empfangenen Daten auf der Grundlage des ersten bis sechsten internen Taktsignals CLK_int1 bis CLK_int6 an die erste bis sechste Speichergruppe verteilen. Zum Beispiel kann der Datenverteiler 1112 auf der Grundlage des ersten bis sechsten internen Taktsignals CLK_int1 bis CLK_int6 erste bis sechste Daten, die sequentiell von der Speichersteuerung 2000 empfangen wurden, jeweils an die erste bis sechste Speichergruppe bereitstellen und dann siebte bis zwölfte Daten, die sequentiell von der Speichersteuerung 2000 empfangen wurden, jeweils an die erste bis sechste Speichergruppe bereitstellen. Erste Speicherchips, die jeweils in der ersten bis sechsten Speichergruppe umfasst sind, können parallel Programmieroperationen des jeweiligen Speicherns der ersten bis sechsten Daten durchführen, und zweite Speicherchips, die jeweils in der ersten bis sechsten Speichergruppe umfasst sind, können parallel Programmieroperationen des jeweiligen Speicherns der siebten bis zwölften Daten durchführen.

[0075] In einer anderen Ausführungsform kann der interne Taktgenerator 1111 einen niedrigen Pegel des Taktsignals während der ungeraden Periode abtasten, wodurch ein siebtes internes Taktsignal erzeugt wird. Der interne Taktgenerator 1111 kann einen niedrigen Pegel des Taktsignals während der geraden Periode abtasten, wodurch ein achttes internes Taktsignal erzeugt wird. Das in Fig. 4 gezeigte erste Speicherpaket 1100 kann eine erste bis achte Speichergruppe (n=8) umfassen.

[0076] Fig. 7 zeigt ein Diagramm, das eine Operation des Erzeugens von internen Taktsignalen auf der Grundlage eines Taktsignals gemäß einer weiteren Ausführungsform der vorliegenden Offenbarung darstellt.

[0077] Fig. 7 wird unter Bezugnahme auf Fig. 4 beschrieben. In Fig. 7 wird als Beispiel ein Fall beschrieben, in dem das erste Speicherpaket 1100 eine erste bis sechste Speichergruppe (n=6) umfasst.

[0078] Unter Bezugnahme auf Fig. 7 kann das Taktsignal CLK eine erste Periode First, eine zweite Periode Second und eine dritte Periode Third umfassen. Der interne Taktgenerator 1111 kann auf der Grundlage des von der Speichersteuerung 2000 empfangenen Taktsignals CLK ein erstes bis sechstes internes Taktsignal CLK_int1 bis CLK_int6 erzeugen. Das erste bis sechste interne Taktsignal CLK_int1 bis CLK_int6 können Taktsignale sein, die jeweils an die erste bis sechste Speichergruppe bereitgestellt werden.

[0079] Insbesondere kann eine Periode von t1 bis t3 die erste Periode First sein. Der interne Taktgenerator 1111 kann das erste interne Taktsignal CLK_int1 als Antwort auf eine steigende Flanke eines Taktsignals während einer ersten Periode erzeugen. Der interne Taktgenerator 1111 kann das zweite interne Taktsignal CLK_int2 als Antwort auf eine fallende Flanke des Taktsignals während der ersten Periode erzeugen.

[0080] Eine Periode von t3 bis t5 kann die zweite Periode Second sein. Der interne Taktgenerator 1111 kann das dritte interne Taktsignal CLK_int3 als Antwort auf eine steigende Flanke eines Taktsignals während einer zweiten Periode erzeugen. Der interne Taktgenerator 1111 kann das vierte interne Taktsignal CLK_int4 als Antwort auf eine fallende Flanke des Taktsignals während der zweiten Periode erzeugen.

[0081] Eine Periode von t5 bis t7 kann die dritte Periode Third sein. Der interne Taktgenerator 1111 kann das fünfte interne Taktsignal CLK_int5 als Antwort auf eine steigende Flanke eines Taktsignals während einer dritten Periode erzeugen. Der interne Taktgenerator 1111 kann das sechste interne Taktsignal CLK_int6 als Antwort auf eine fallende Flanke des Taktsignals während der dritten Periode erzeugen.

[0082] In einer Ausführungsform kann der interne Taktgenerator 1111 einen hohen Pegel des Taktsignals während der ersten Periode abtasten, wodurch ein siebtes internes Taktsignal erzeugt wird. Der interne Taktgenerator 1111 kann einen hohen Pegel des Taktsignals während der zweiten Periode erfassen, wodurch ein achtes internes Taktsignal erzeugt wird. Der interne Taktgenerator 1111 kann einen hohen Pegel des Taktsignals während der dritten Periode abtasten, wodurch ein neuntes internes Taktsignal erzeugt wird.

[0083] In einer Ausführungsform kann der interne Taktgenerator 1111 einen niedrigen Pegel des Taktsignals während der ersten Periode abtasten, wodurch ein zehntes internes Taktsignal erzeugt wird. Der interne Taktgenerator 1111 kann einen niedrigen Pegel des Taktsignals während der zweiten Periode abtasten, wodurch ein elftes internes Taktsignal erzeugt wird. Der interne Taktgenerator 1111 kann einen niedrigen Pegel des Taktsignals während der dritten Periode abtasten, wodurch ein zwölftes internes Taktsignal erzeugt wird.

[0084] In einer Ausführungsform kann der interne Taktgenerator 1111 ein erstes bis n-tes internes Taktsignal, die jeweils einer ersten bis n-ten Speichergruppe entsprechen, auf der Grundlage der steigenden Flanke und der fallenden Flanke des Taktsignals während jeder einer Vielzahl von Perioden des Taktsignals erzeugen. Der Datenverteiler 1112 kann auf der Grundlage des ersten bis n-ten internen Taktsignals von der Speichersteuerung 2000 empfangene Daten jeweils an die erste bis n-te Speichergruppe bereitstellen.

[0085] Fig. 8 zeigt ein Flussdiagramm, das eine Operation des Verarbeitens von Daten gemäß internen Taktsignalen, die auf der Grundlage eines Taktsignals erzeugt werden, gemäß einer Ausführungsform der vorliegenden Offenbarung darstellt.

[0086] Unter Bezugnahme auf Fig. 8 kann das Speichersystem 50 in Operation S801 auf der Grundlage eines Taktsignals ein erstes und ein zweites internes Taktsignal erzeugen, die jeweils einer ersten und einer zweiten Speichergruppe entsprechen. Das Speichersystem 50 kann das erste interne Taktsignal und das zweite interne Taktsignal als Antwort auf eine steigende Flanke des Taktsignals während einer ungeraden Periode und einer geraden Periode des Taktsignals erzeugen.

[0087] In Operation S803 kann das Speichersystem 50 auf der Grundlage des ersten und zweiten internen Taktsignals erste Daten und zweite Daten an die erste Speichergruppe bzw. die zweite Speichergruppe bereitstellen. Die erste Speichergruppe und die zweite Speichergruppe können parallel die ersten Daten und die zweiten Daten empfangen.

[0088] In Operation S805 kann das Speichersystem 50 eine Programmieroperation des Speicherns der ersten Daten in einem ersten Speicherchip, der in der ersten Speichergruppe umfasst ist, und eine Programmieroperation des Speicherns der zweiten Daten in einem zweiten Speicherchip, der in der zweiten Speichergruppe umfasst ist, durchführen. Der erste Speicherchip und der zweite Speicherchip können die Programmieroperationen parallel durchführen.

[0089] In Operation S807 kann das Speichersystem 50 auf der Grundlage des ersten und zweiten internen Taktsignals dritte Daten und vierte Daten an die erste Speichergruppe bzw. die zweite Speichergruppe bereitstellen. Ein dritter Speicherchip, der in der ersten Speichergruppe umfasst ist, und ein vierter Speicherchip, der in der zweiten Speichergruppe umfasst ist, können parallel Programmieroperationen des jeweiligen Speicherns der dritten Daten und der vierten Daten durchführen.

[0090] Fig. 9 zeigt ein Diagramm, das einen in Fig. 1 dargestellten Speicherchip 100 gemäß einer weiteren Ausführungsform der vorliegenden Offenbarung darstellt.

[0091] Der in Fig. 9 gezeigte Speicherchip 100 kann ein beliebiger Speicherchip aus der Vielzahl von Speicherchips sein, die in den in Fig. 1 gezeigten ersten und zweiten Speichergruppe 1120 und 1130 umfasst sind.

[0092] Der Speicherchip 100 kann ein Speicherzellenfeld 110, eine Peripherieschaltung 120 und eine Steuerlogik 130 umfassen.

[0093] Das Speicherzellenfeld 110 kann eine Vielzahl von Speicherblöcken BLK1 bis BLKz umfassen. Die Vielzahl von Speicherblöcken BLK1 bis BLKz kann über Zeilenleitungen RL mit einem Adressendecoder 121 verbunden sein. Die Vielzahl von Speicherblöcken BLK1 bis BLKz kann über die Bitleitungen BL1 bis BLm mit einer Seitenpuffergruppe 123 verbunden sein. Jeder der Vielzahl von Speicherblöcken BLK1 bis BLKz kann eine Vielzahl von Speicherzellen umfassen.

[0094] Jede der Vielzahl von Speicherzellen kann als Single-Level-Cell (SLC), die Ein-Bit-Daten speichert, als Multi-Level-Cell (MLC), die Zwei-Bit-Daten speichert, als Triple-Level-Cell (TLC), die Drei-Bit-Daten speichert, als Quad-Level-Cell (QLC), die Vier-Bit-Daten speichert, oder als Speicherzellen, die Fünf- oder Mehr-Bit-Daten speichern, ausgeführt sein.

[0095] Die Peripherieschaltung 120 kann das Speicherzellenfeld 110 ansteuern. Zum Beispiel kann die Peripherieschaltung 120 das Speicherzellenfeld 110 ansteuern, um eine Programmieroperation, eine Leseoperation und eine Löschoption unter der Steuerung der Steuerlogik 130 durchzuführen. In einem anderen Beispiel kann die Peripherieschaltung 120 unter der Steuerung der Steuerlogik 130 verschiedene Betriebsspannungen an die Zeilenleitungen RL und die Bitleitungen BL1 bis BLm anlegen oder die angelegten Spannungen entladen.

[0096] Die Peripherieschaltung 120 kann den Adressendecoder 121, einen Spannungsgenerator

122, die Seitenpuffergruppe 123, eine Dateneingabe-/Datenausgabeschaltung 124 und eine Abtastschaltung 125 umfassen.

[0097] Der Adressendecoder 121 kann über die Zeilenleitungen RL mit dem Speicherzellenfeld 110 verbunden sein. Die Zeilenleitungen RL können Drain-Auswahlleitungen, eine Vielzahl von Wortleitungen, Source-Auswahlleitungen und eine gemeinsame Source-Leitung umfassen.

[0098] Der Adressendecoder 121 kann unter der Steuerung der Steuerlogik 130 betrieben werden. Der Adressendecoder 121 kann eine Adresse ADDR von der Steuerlogik 130 empfangen.

[0099] Der Adressendecoder 121 kann eine Blockadresse in der empfangenen Adresse ADDR dekodieren. Der Adressendecoder 121 kann gemäß der dekodierten Blockadresse mindestens einen Speicherblock aus den Speicherblöcken BLK1 bis BLKz auswählen. Der Adressendecoder 121 kann gemäß der dekodierten Blockadresse mindestens eine Wortleitung des ausgewählten Speicherblocks auswählen.

[0100] In einer Programmieroperation kann der Adressendecoder 121 eine Programmiervspannung an die ausgewählte Wortleitung anlegen und eine Durchgangsspannung mit einem kleineren Pegel als einem Pegel der Programmiervspannung an nicht ausgewählte Wortleitungen anlegen. In einer Programmprüfoperation kann der Adressendecoder 121 eine Prüf- bzw. Verifizierungsspannung an die ausgewählte Wortleitung anlegen und eine Prüf- bzw. Verifizierungsdurchgangsspannung mit einem größeren Pegel als einem Pegel der Prüfspannung an die nicht ausgewählten Wortleitungen anlegen.

[0101] Der Adressendecoder 121 kann eine Spaltenadresse in der empfangenen Adresse ADDR dekodieren. Die dekodierte Spaltenadresse kann an die Seitenpuffergruppe 123 übertragen werden.

[0102] Der Spannungsgenerator 122 kann eine Vielzahl von Betriebsspannungen Vop unter Verwendung einer externen Versorgungsspannung erzeugen, die an den Speicherchip 100 zugeführt wird. Der Spannungsgenerator 122 kann unter der Steuerung der Steuerlogik 130 betrieben werden.

[0103] In einer Ausführungsform kann der Spannungsgenerator 122 verschiedene Betriebsspannungen Vop, die für Programm-, Lese- und Löschoptionen verwendet werden, als Antwort auf ein Betriebssignal OPSIG erzeugen. Zum Beispiel kann der Spannungsgenerator 122 eine Vielzahl von Löschespannungen, eine Vielzahl von Programmspannungen, eine Vielzahl von Durchgangsspannungen, eine Vielzahl von Auswahl-Lesespannungen

gen bzw. Select-Read-Read-Spannungen und eine Vielzahl von Nicht-Auswahl-Lesespannungen bzw. Unselect-Read-Spannungen erzeugen. Die Vielzahl von Betriebsspannungen Vop kann an das Speicherzellenfeld 110 durch den Adressendecoder 121 bereitgestellt werden.

[0104] Die Seitenpuffergruppe 123 kann einen ersten bis m-ten Seitenpuffer PB1 bis PBm umfassen. Der erste bis m-te Seitenpuffer PB1 bis PBm können jeweils über eine erste bis m-te Bitleitung BL1 bis BLm mit dem Speicherzellenfeld 110 verbunden sein. Der erste bis m-te Seitenpuffer PB1 bis PBm können unter der Steuerung der Steuerlogik 130 betrieben werden.

[0105] Der erste bis m-te Seitenpuffer PB1 bis PBm können Daten DATA mit der Dateneingabe-/Datenausgabeschaltung 124 kommunizieren. Bei einer Programmieroperation können der erste bis m-te Seitenpuffer PB1 bis PBm über die Dateneingabe-/Datenausgabeschaltung 124 und die Datenleitungen DL Daten DATA empfangen.

[0106] In einer Programmieroperation können der erste bis m-te Seitenpuffer PB1 bis PBm die über die Dateneingabe-/Datenausgabeschaltung 124 empfangenen Daten DATA über die Bitleitungen BL1 bis BLm an ausgewählte Speicherzellen übertragen. Die ausgewählten Speicherzellen können gemäß den übertragenen Daten DATA programmiert werden. Eine Speicherzelle, die mit einer Bitleitung verbunden ist, über die eine Programmberechtigungsspannung (z.B. eine Massespannung) angelegt wird, kann eine erhöhte Schwellenspannung aufweisen. Eine Schwellenspannung einer Speicherzelle, die mit einer Bitleitung verbunden ist, über die eine Programmsperrspannung (z.B. eine Versorgungsspannung) angelegt wird, kann beibehalten werden. In einer Prüfoperation können der erste bis m-te Seitenpuffer PB1 bis PBm in den ausgewählten Speicherzellen gespeicherte Daten DATA aus den ausgewählten Speicherzellen über die Bitleitungen BL1 bis BLm lesen.

[0107] Die Dateneingabe-/Datenausgabeschaltung 124 kann über die Datenleitungen DL mit dem ersten bis m-ten Seitenpuffer PB1 bis PBm verbunden sein. Die Dateneingabe-/Datenausgabeschaltung 124 kann unter der Steuerung der Steuerlogik 130 betrieben werden. In einer Programmieroperation kann die Dateneingabe-/Datenausgabeschaltung 124 Daten DATA von der Speichersteuerung 2000 empfangen. Die Dateneingabe-/Datenausgabeschaltung 124 kann die Daten DATA auf der Grundlage eines ersten internen Taktsignals CLK_int1 oder eines zweiten internen Taktsignals CLK_int2 empfangen, das die in **Fig. 1** gezeigte Schnittstelle 1110 bereitstellt.

[0108] Bei einer Leseoperation oder einer Prüfoperation kann die Abtastschaltung 125 einen Referenzstrom als Antwort auf ein von der Steuerlogik 130 erzeugtes Erlaubnisbit VRYBIT erzeugen und ein Durchgangs- oder Fehlersignal PASS/FAIL an die Steuerlogik 130 ausgeben, indem sie eine von der Seitenpuffergruppe 123 empfangene Abtastspannung VPB mit einer durch den Referenzstrom erzeugten Referenzspannung vergleicht. Zum Beispiel kann die Abtastschaltung 125 das Durchgangssignal an die Steuerlogik 130 ausgeben, wenn eine Größe der Abtastspannung VPB größer ist als eine Größe der Referenzspannung. In einem anderen Beispiel kann die Abtastschaltung 125 das Fehlersignal an die Steuerlogik 130 ausgeben, wenn die Größe der Abtastspannung VPB kleiner als die Größe der Referenzspannung ist.

[0109] Die Steuerlogik 130 kann mit dem Adressendecoder 121, dem Spannungsgenerator 122, der Seitenpuffergruppe 123, der Dateneingabe-/Datenausgabeschaltung 124 und der Abtastschaltung 125 verbunden sein. Die Steuerlogik 130 kann einen allgemeinen Betrieb des Speicherchips 100 steuern. Die Steuerlogik 130 kann als Antwort auf einen von der Speichersteuerung 2000 übertragenen Befehl CMD betrieben werden.

[0110] Die Steuerlogik 130 kann die Peripherieschaltung 120 steuern, indem sie mehrere Signale als Antwort auf einen Befehl CMD und eine Adresse ADDR erzeugt. Zum Beispiel kann die Steuerlogik 130 als Antwort auf den Befehl CMD und die Adresse ADDR das Betriebssignal OPSIG, die Adresse ADDR, ein Seitenpuffer-Steuersignal PBSIG und das Erlaubnisbit VRYBIT erzeugen. Die Steuerlogik 130 kann das Betriebssignal OPSIG an den Spannungsgenerator 122 ausgeben, die Adresse ADDR an den Adressendecoder 121 ausgeben, das Seitenpuffer-Steuersignal PBSIG an die Seitenpuffergruppe 123 ausgeben und das Erlaubnisbit VRYBIT an die Abtastschaltung 125 ausgeben. Außerdem kann die Steuerlogik 130 als Antwort auf das von der Abtastschaltung 125 ausgegebene Durchgangs- oder Fehlersignal PASS/FAIL bestimmen, ob die Prüfoperation bestanden oder fehlgeschlagen ist.

[0111] **Fig. 10** zeigt ein Diagramm, das die in **Fig. 1** gezeigte Speichersteuerung 2000 gemäß einer Ausführungsform der vorliegenden Offenbarung darstellt.

[0112] Unter Bezugnahme auf **Fig. 10** kann die Speichersteuerung 2000 einen Prozessor 2010, einen Direktzugriffsspeicher (Random Access Memory - RAM) 2020, eine ECC(Error Correction Code)-Schaltung 2030, eine Host-Schnittstelle 2040, einen Nur-Lese-Speicher (Read Only Memory - ROM) 2050 und eine Speicherschnittstelle 2060 umfassen.

[0113] Der Prozessor 2010 kann einen allgemeinen Betrieb der Speichersteuerung 2000 steuern. Der Prozessor 2010 kann einen Betrieb der Speichersteuerung 2000 zum Speichern von Daten, die von dem Host 3000 angefordert werden, in der Speichervorrichtung 1000 steuern. In einer Ausführungsform kann der Prozessor 2010 die Speichervorrichtung 1000 steuern, um von dem Host 3000 empfangene Anforderungen in der Speichervorrichtung 1000 zu speichern.

[0114] Das RAM 2020 kann als Pufferspeicher, Cache-Speicher, Arbeitsspeicher oder dergleichen der Speichersteuerung 2000 verwendet werden.

[0115] Die ECC-Schaltung 2030 kann eine Fehlerkorrektur durchführen. Die ECC-Schaltung 2030 kann eine ECC-Codierung auf der Grundlage von Daten durchführen, die über die Speicherschnittstelle 2060 in die Speichervorrichtung 1000 geschrieben werden sollen. Die ECC-codierten Daten können über die Speicherschnittstelle 2060 an die Speichervorrichtung 1000 übertragen werden. Die ECC-Schaltung 2030 kann eine ECC-Dekodierung an Daten durchführen, die von der Speichervorrichtung 1000 über die Speicherschnittstelle 2060 empfangen werden. In einer Ausführungsform kann die ECC-Schaltung 2030 als eine Komponente der Speicherschnittstelle 2060 in der Speicherschnittstelle 2060 umfasst sein.

[0116] Das ROM 2050 kann in Form einer Firmware verschiedene Informationen speichern, die benötigt werden, wenn die Speichersteuerung 1000 betrieben wird.

[0117] Die Speichersteuerung 2000 kann mit einer externen Vorrichtung (z.B. dem Host 3000, einem Anwendungsprozessor oder dergleichen) über die Host-Schnittstelle 2040 kommunizieren bzw. in Verbindung stehen. Die Speichersteuerung 2000 kann Daten empfangen, die über die Host-Schnittstelle 2040 bereitgestellt werden.

[0118] Die Speichersteuerung 2000 kann mit der Speichervorrichtung 1000 über die Speicherschnittstelle 2060 kommunizieren. Die Speichersteuerung 2000 kann einen Befehl, eine Adresse, ein Steuersignal und dergleichen über die Speicherschnittstelle 2060 an die Speichervorrichtung 1000 übertragen und Daten empfangen. In einer Ausführungsform kann die Speicherschnittstelle 2060 mit der Speichervorrichtung 1000 über eine Vielzahl von Kanälen kommunizieren. Ein Kanal kann mit mindestens einem Speicherpaket verbunden sein. Die Speicherschnittstelle 2060 kann auf der Grundlage eines Taktsignals Daten an die Speichervorrichtung 1000 bereitstellen.

[0119] Gemäß der vorliegenden Offenbarung können eine Speichervorrichtung mit einem Speicherpaket und ein Speichersystem mit der Speichervorrichtung bereitgestellt werden, die die Geschwindigkeit, mit der von außen empfangene Daten verarbeitet werden, erhöhen können.

[0120] Während die vorliegende Offenbarung unter Bezugnahme auf verschiedene Ausführungsformen davon gezeigt und beschrieben worden ist, versteht es sich für einen Fachmann, dass verschiedene Änderungen in Form und Details vorgenommen werden können, ohne vom Sinn und Umfang der vorliegenden Offenbarung abzuweichen, wie er durch die beigefügten Ansprüche und ihre Äquivalenten definiert ist. Daher sollte der Umfang der vorliegenden Offenbarung nicht auf die oben beschriebenen Ausführungsformen beschränkt sein, sondern sollte nicht nur durch die beigefügten Ansprüche, sondern auch durch die Äquivalente davon bestimmt werden.

[0121] In den oben beschriebenen Ausführungsformen können alle Operationen wahlweise durchgeführt werden oder ein Teil der Operationen kann weggelassen werden. In jeder Ausführungsform werden die Operationen nicht notwendigerweise gemäß der beschriebenen Reihenfolge durchgeführt und können neu angeordnet werden. Die in dieser Patentschrift und den Zeichnungen offenbarten Ausführungsformen stellen nur Beispiele dar, die das Verständnis der vorliegenden Offenbarung erleichtern sollen, und die vorliegende Offenbarung ist nicht darauf beschränkt. Das heißt, es sollte für einen Fachmann offensichtlich sein, dass verschiedene Änderungen bzw. Modifikationen auf der Grundlage des technologischen Umfangs der vorliegenden Offenbarung vorgenommen werden können.

[0122] Darüber hinaus sind die Ausführungsformen der vorliegenden Offenbarung in den Zeichnungen und der Patentschrift beschrieben. Obwohl hier spezifische Terminologien verwendet werden, dienen diese nur dazu, die Ausführungsformen der vorliegenden Offenbarung zu beschreiben. Daher ist die vorliegende Offenbarung nicht auf die oben beschriebenen Ausführungsformen beschränkt und viele Variationen sind im Sinne und Umfang der vorliegenden Offenbarung möglich. Es sollte einem Fachmann klar sein, dass zusätzlich zu den hier offenbarten Ausführungsformen verschiedene Modifikationen auf der Grundlage des technologischen Umfangs der vorliegenden Offenbarung möglich sind. Darüber hinaus können die Ausführungsformen kombiniert werden, um zusätzliche Ausführungsformen zu bilden.

Patentansprüche

1. Speichersystem, aufweisend:
eine Speichervorrichtung; und

eine Speichersteuerung, die eingerichtet ist, um an die Speichervorrichtung auf der Grundlage eines Taktsignals Daten bereitzustellen, wobei die Speichervorrichtung umfasst:
 eine erste Speichergruppe;
 eine zweite Speichergruppe;
 einen internen Taktgenerator, der eingerichtet ist, um ein erstes internes Taktsignal und ein zweites internes Taktsignal zu erzeugen, die jeweils einer ersten Periode und einer zweiten Periode des Taktsignals entsprechen; und
 einen Datenverteiler, der eingerichtet ist, um die Daten auf der Grundlage des ersten internen Taktsignals und des zweiten internen Taktsignals jeweils an die erste Speichergruppe und die zweite Speichergruppe bereitzustellen.

2. Speichersystem nach Anspruch 1, wobei die erste und die zweite Speichergruppe die Daten von der Speichersteuerung über denselben Kanal empfangen.

3. Speichersystem nach Anspruch 1, wobei die Daten ein erstes Datenelement und ein zweites Datenelement umfassen, und wobei der Datenverteiler das erste Datenelement und das zweite Datenelement auf der Grundlage des ersten internen Taktsignals und des zweiten internen Taktsignals jeweils an einen ersten Speicherchip, der in der ersten Speichergruppe umfasst ist, und an einen zweiten Speicherchip, der in der zweiten Speichergruppe umfasst ist, bereitstellt.

4. Speichersystem nach Anspruch 3, wobei der erste Speicherchip und der zweite Speicherchip parallel Programmieroperationen des jeweiligen Speicherns des ersten Datenelements und des zweiten Datenelements durchführen.

5. Speichersystem nach Anspruch 3, wobei die Daten ferner ein drittes Datenelement und ein viertes Datenelement umfassen, und wobei der Datenverteiler auf der Grundlage des ersten internen Taktsignals und des zweiten internen Taktsignals das erste Datenelement und das zweite Datenelement jeweils an den ersten Speicherchip und den zweiten Speicherchip bereitstellt und dann das dritte Datenelement und das vierte Datenelement jeweils an einen dritten Speicherchip, der in der ersten Speichergruppe umfasst ist, und einen vierten Speicherchip, der in der zweiten Speichergruppe umfasst ist, bereitstellt.

6. Speichersystem nach Anspruch 1, wobei das erste interne Taktsignal und das zweite interne Taktsignal als Antwort auf eine eingestellte Flanke des Taktsignals während jeder der ersten Periode und der zweiten Periode erzeugt werden.

7. Speichersystem nach Anspruch 1, wobei die Speichervorrichtung eine Vielzahl von Speicherpaketen umfasst, und wobei die erste Speichergruppe und die zweite Speichergruppe Speichergruppen sind, die in einem Speicherpaket aus der Vielzahl von Speicherpaketen umfasst sind.

8. Speichersystem nach Anspruch 1, wobei die Daten mehrere Datenelemente umfassen, und wobei der Datenverteiler ein oder mehrere in der ersten Periode des Taktsignals empfangene Datenelemente an die erste Speichergruppe auf der Grundlage des ersten internen Taktsignals bereitstellt und ein oder mehrere in der zweiten Periode des Taktsignals empfangene Datenelemente an die zweite Speichergruppe auf der Grundlage des zweiten internen Taktsignals bereitstellt.

9. Speichersystem nach Anspruch 1, wobei eine Geschwindigkeit, mit der die Daten von der Speichersteuerung auf der Grundlage des Taktsignals empfangen werden, schneller ist als eine Geschwindigkeit, mit der die Daten an die erste oder zweite Speichergruppe auf der Grundlage des ersten oder zweiten internen Taktsignals bereitgestellt werden.

10. Speichersystem, aufweisend:
 eine Speichervorrichtung; und
 eine Speichersteuerung, die eingerichtet ist, um an die Speichervorrichtung auf der Grundlage eines Taktsignals Daten bereitzustellen, wobei die Speichervorrichtung umfasst:
 eine erste bis n-te Speichergruppe, die jeweils eine Vielzahl von Speicherchips umfasst;
 einen internen Taktgenerator, der eingerichtet ist, um auf der Grundlage des Taktsignals ein erstes bis n-tes internes Taktsignal zu erzeugen, das jeweils der ersten bis n-ten Speichergruppe entspricht; und
 einen Datenverteiler, der eingerichtet ist, um die Daten auf der Grundlage des ersten bis n-ten internen Taktsignals jeweils an die erste bis n-te Speichergruppe bereitzustellen.

11. Speichersystem nach Anspruch 10, wobei der interne Taktgenerator das erste bis n-te interne Taktsignal auf der Grundlage einer steigenden Flanke, einer fallenden Flanke oder eines Pegels des Taktsignals während jeder einer Vielzahl von in dem Taktsignal umfassten Perioden erzeugt.

12. Speichersystem nach Anspruch 10, wobei der Datenverteiler die Daten jeweils auf der Grundlage des ersten bis n-ten internen Taktsignals an erste Speicherchips in jeder der ersten bis n-ten Speichergruppe bereitstellt.

13. Speichersystem nach Anspruch 12, wobei die jeweils in der ersten bis n-ten Speichergruppe umfassten ersten Speicherchips gleichzeitig eine Programmieroperation des Speicherns der Daten durchführen.

Datenelement jeweils an die erste bis n-te Speichergruppe verteilt.

Es folgen 10 Seiten Zeichnungen

14. Speichersystem nach Anspruch 10, wobei die Speichervorrichtung eine Vielzahl von Speicherpaketen umfasst, und wobei die erste bis n-te Speichergruppe in einem Speicherpaket aus der Vielzahl von Speichergruppen umfasst ist.

15. Speichersystem nach Anspruch 14, wobei die Vielzahl von Speicherpaketen mit der Speichersteuerung jeweils über unterschiedliche Kanäle kommunizieren.

16. Speicherpaket, aufweisend:
eine erste bis n-te Speichergruppe, die jeweils eine Vielzahl von Speicherchips umfasst;
einen internen Taktgenerator, der eingerichtet ist, um ein erstes bis n-tes internes Taktsignal zu erzeugen, um das erste bis n-te interne Taktsignal jeweils auf der Grundlage eines Taktsignals an die erste bis n-te Speichergruppe bereitzustellen; und
einen Datenverteiler, der eingerichtet ist, um Daten zu empfangen und die Daten an die erste bis n-te Speichergruppe gemäß dem Taktsignal jeweils auf der Grundlage des ersten bis n-ten internen Taktsignals zu verteilen.

17. Speicherpaket nach Anspruch 16, wobei der interne Taktgenerator das erste bis n-te interne Taktsignal auf der Grundlage einer steigenden Flanke, einer fallenden Flanke oder eines Pegels des Taktsignals während jeder einer Vielzahl von in dem Taktsignal umfassten Perioden erzeugt.

18. Speicherpaket nach Anspruch 16, wobei die Daten ein erstes bis n-tes Datenelement umfassen, und wobei der Datenverteiler das erste bis n-te Datenelement jeweils auf der Grundlage des ersten bis n-ten internen Taktsignals an erste Speicherchips in jeder der ersten bis n-ten Speichergruppe verteilt.

19. Speicherpaket nach Anspruch 18, wobei die ersten Speicherchips in jeder der ersten bis n-ten Speichergruppe parallel Programmieroperationen des jeweiligen Speicherns des ersten bis n-ten Datenelements durchführen.

20. Speicherpaket nach Anspruch 16, wobei die Daten ein erstes bis 2n-tes Datenelement umfassen, und wobei der Datenverteiler auf der Grundlage des ersten bis n-ten internen Taktsignals jeweils das erste bis n-te Datenelement an die erste bis n-te Speichergruppe verteilt und dann das (n+1)-te bis 2n-te

Anhängende Zeichnungen

FIG. 1

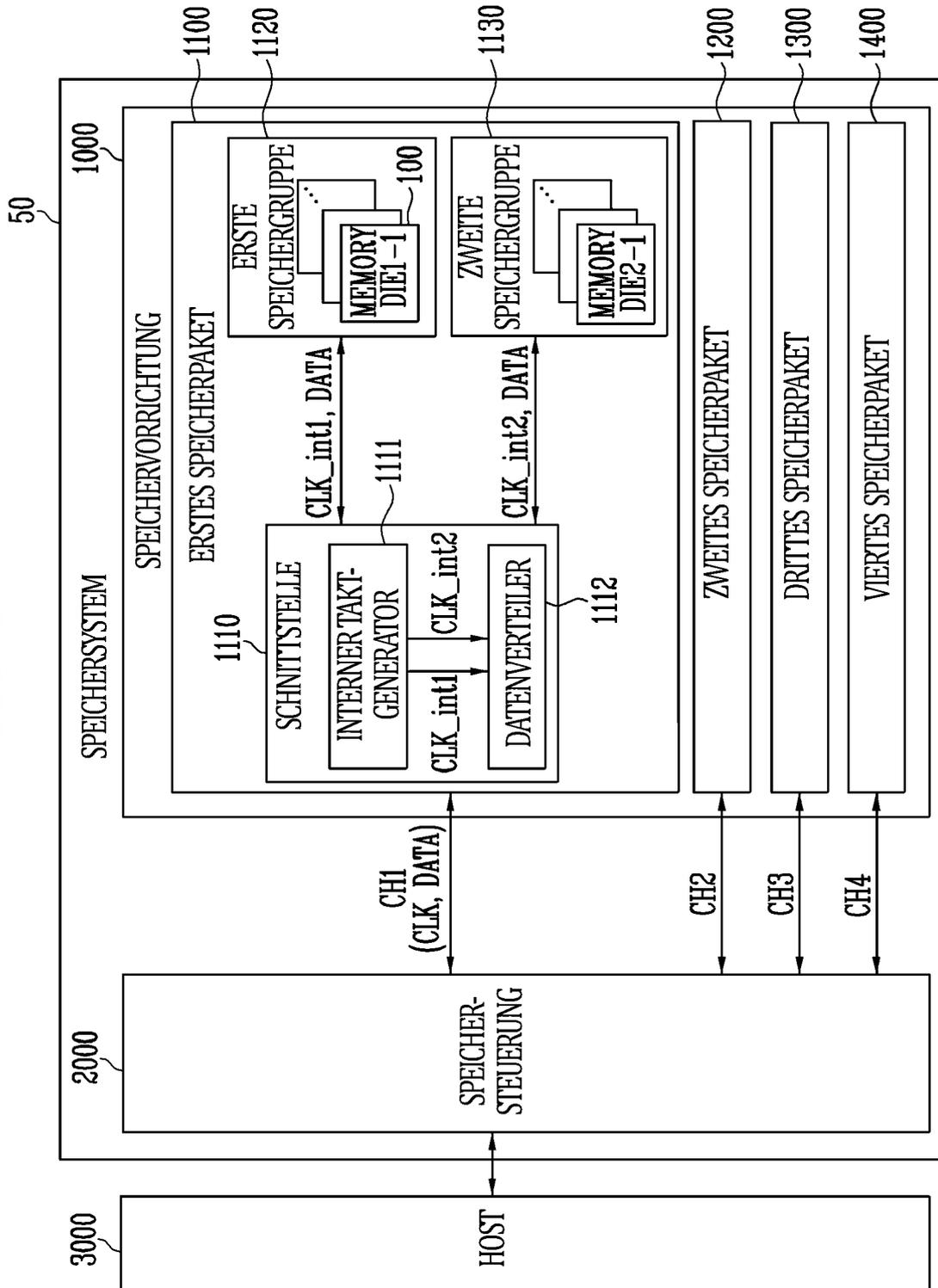


FIG. 2

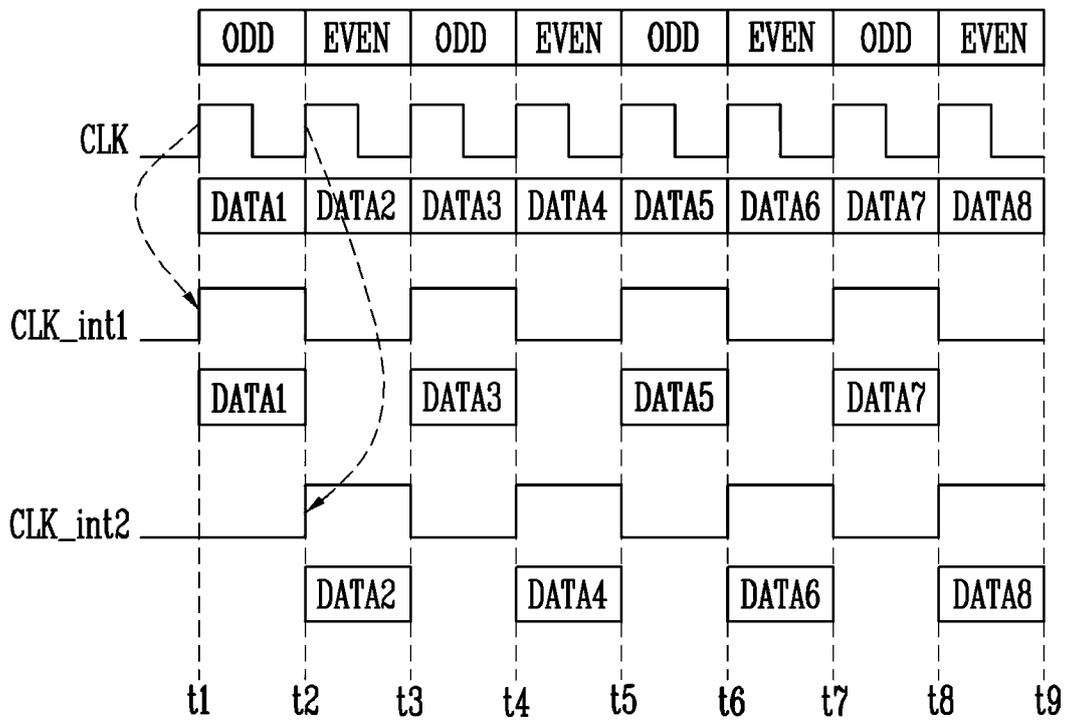


FIG. 4

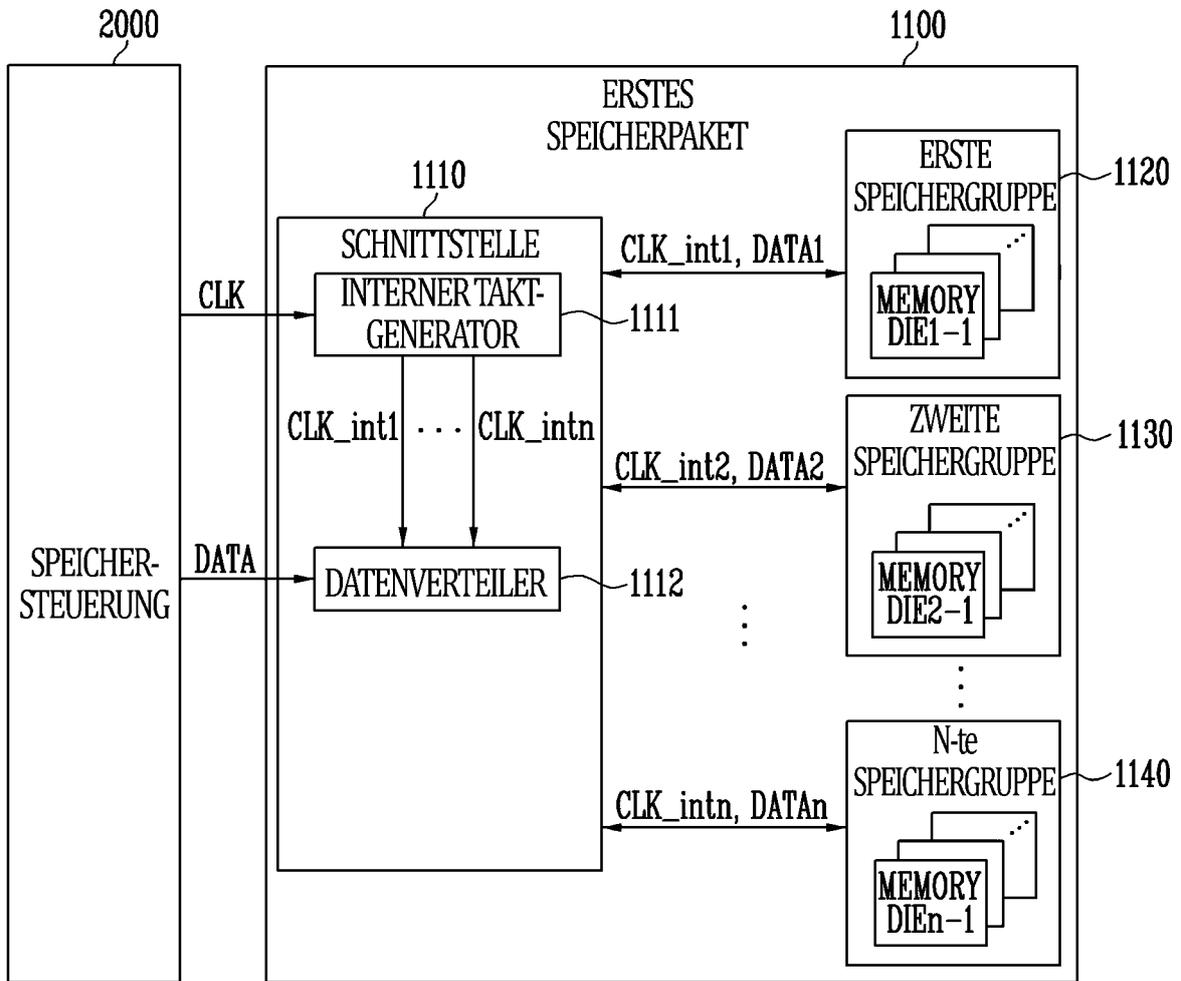


FIG. 5

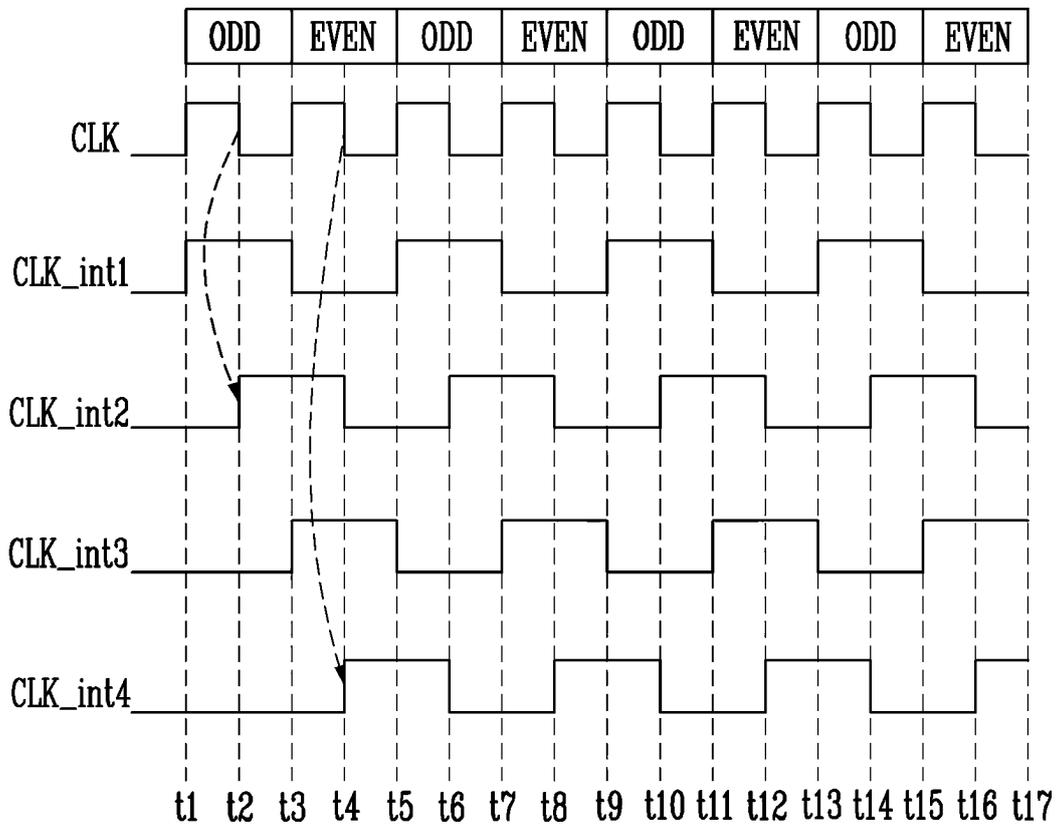


FIG. 6

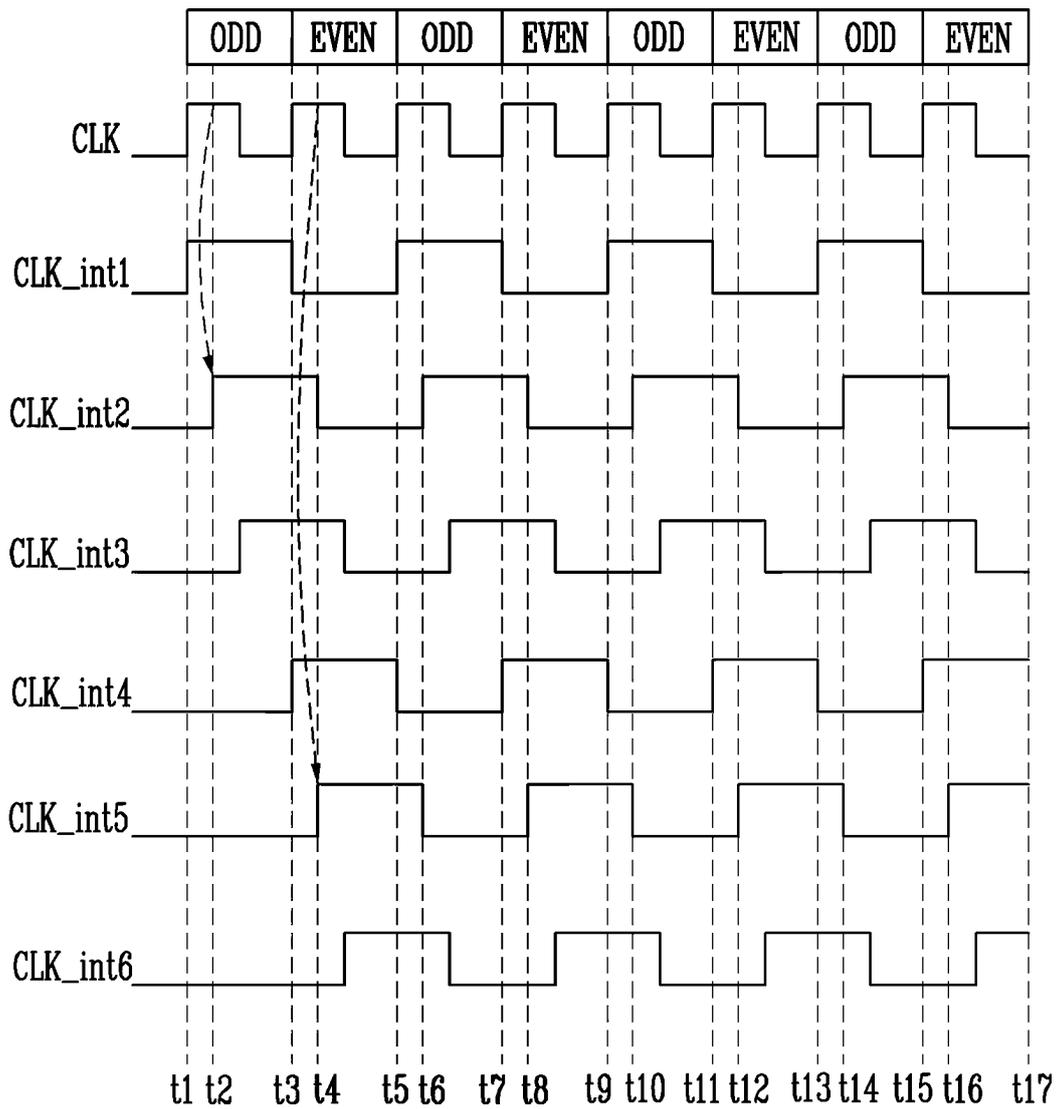


FIG. 7

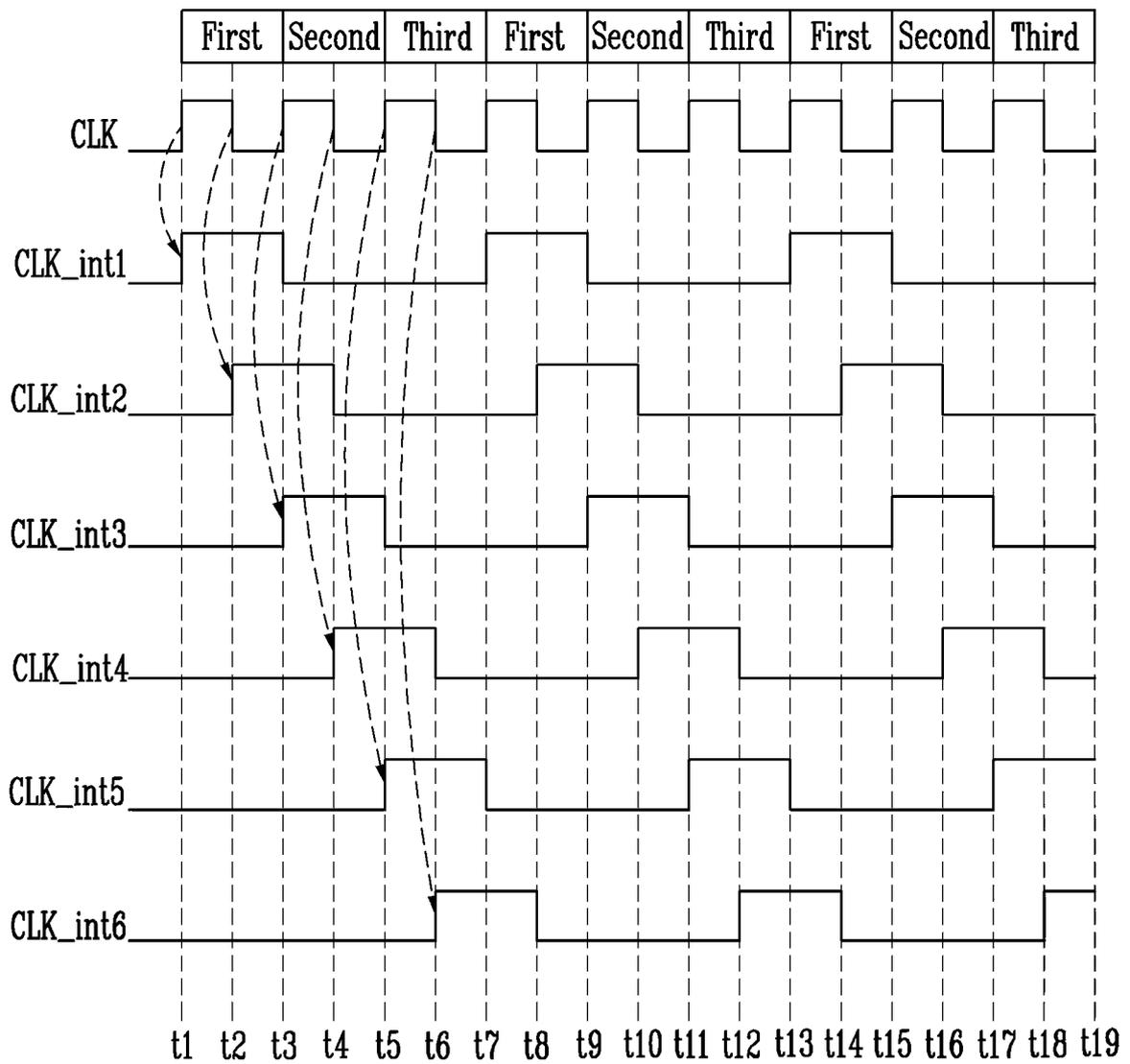


FIG. 8

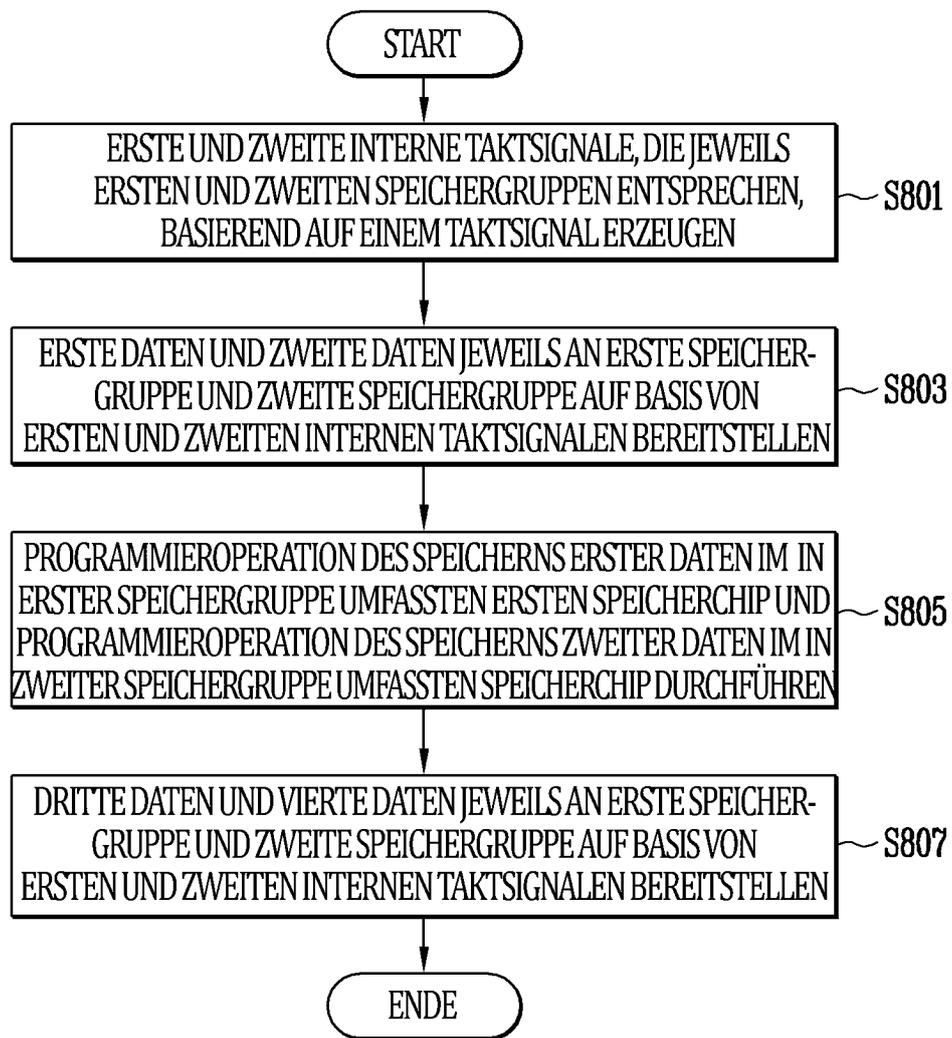


FIG. 9

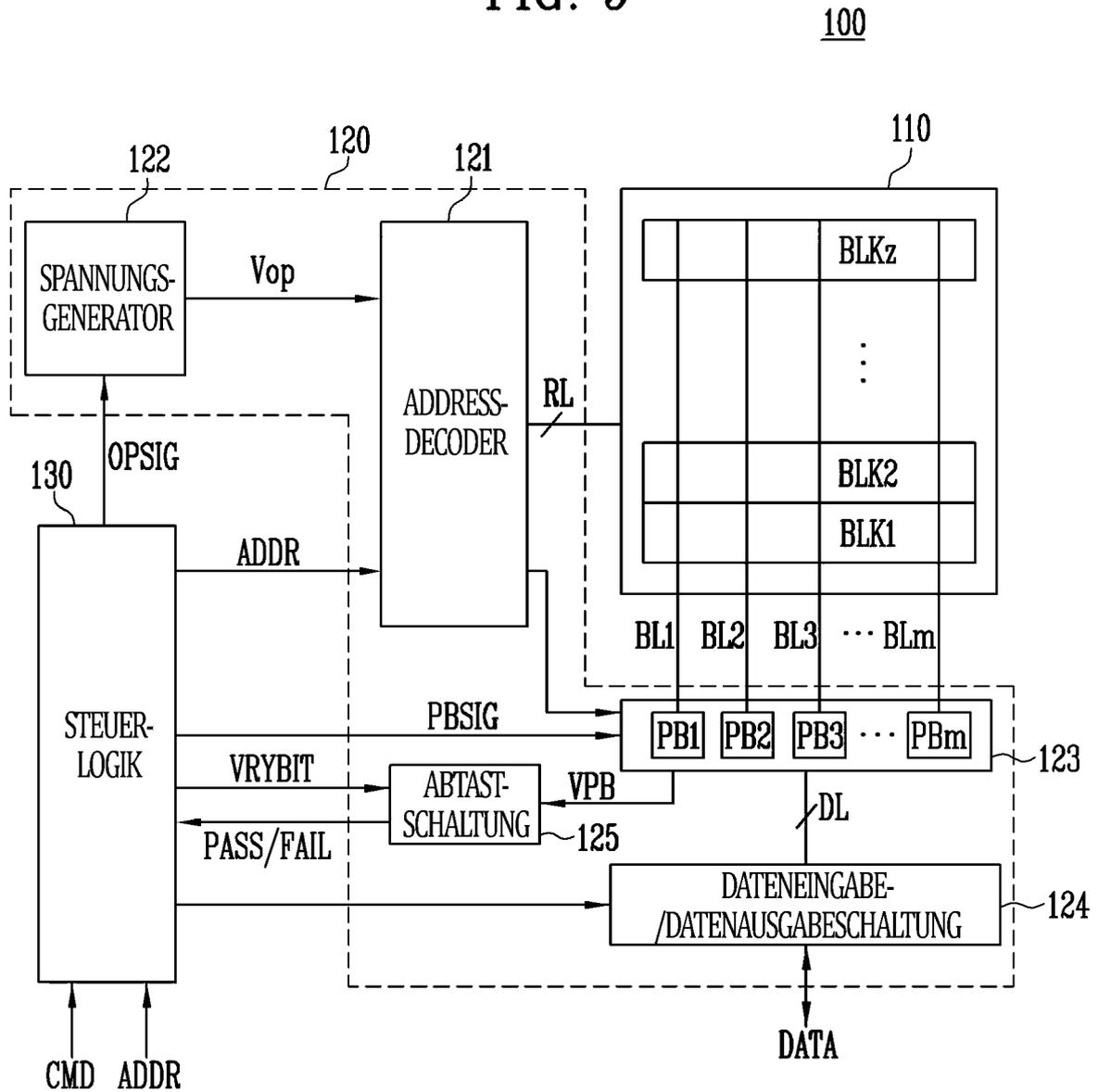


FIG. 10

