



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0058680
 (43) 공개일자 2010년06월03일

- (51) Int. Cl.
 G06F 13/36 (2006.01) G06F 13/40 (2006.01)
 G06F 13/38 (2006.01) G06F 1/32 (2006.01)
- (21) 출원번호 10-2010-7010296(분할)
- (22) 출원일자(국제출원일자) 2001년10월24일
 심사청구일자 2010년05월10일
- (62) 원출원 특허 10-2009-7009694
 원출원일자(국제출원일자) 2001년10월24일
 심사청구일자 2009년05월26일
- (85) 번역문제출일자 2010년05월10일
- (86) 국제출원번호 PCT/JP2001/009322
- (87) 국제공개번호 WO 2002/61591
 국제공개일자 2002년08월08일
- (30) 우선권주장
 JP-P-2001-022587 2001년01월31일 일본(JP)

- (71) 출원인
 가부시키가이샤 히타치세이사쿠쇼
 일본국 도쿄도 치요다쿠 마루노우치 1초메 6반 6고
- (72) 발명자
 니시모토 준이치
 일본국 도오쿄오토 코다이라이시 조우쓰이혼조오 5초메 20반 1고 가부시키가이샤 히타치세이사쿠쇼
 한도타이그루프 나이
 나카자와 타쿠이치로
 일본국 도오쿄오토 코다이라이시 조우쓰이혼조오 5초메 20반 1고 가부시키가이샤 히타치세이사쿠쇼
 한도타이그루프 나이
 (뒷면에 계속)
- (74) 대리인
 특허법인 원전

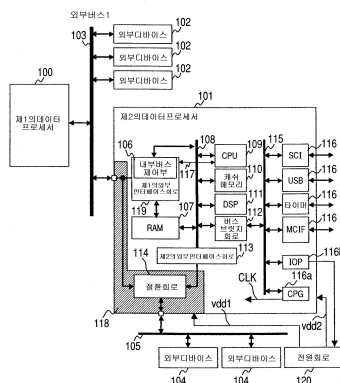
전체 청구항 수 : 총 15 항

(54) 데이터 처리 시스템 및 데이터 프로세서

(57) 요약

1개의 데이터 프로세서(101)에 다른 데이터 프로세서(100)와의 접속을 가능하게 하기 위한 인터페이스 수단(119)을 설치하고, 이 인터페이스 수단에, 1개의 데이터 프로세서 내의 내부버스(108)에 다른 데이터 프로세서를 버스 마스터로서 접속 가능하게 하는 기능을 설치하며, 내부버스에 메모리 맵된 주변기능을 상기 인터페이스 수단을 통해서 외부에서 해당 다른 데이터 프로세서가 직접 조작할 수 있게 한다. 이것에 의해, 데이터 프로세서는 실행중의 프로그램을 중단하지 않고, 다른 데이터 프로세서의 주변기능 등을 사용하는 것이 가능하게 된다. 요컨대, 1개의 데이터 프로세서는 다른 데이터 프로세서의 주변 리소스를 공유하는 것이 가능하게 된다.

대표도 - 도1



(72) 발명자

야마다 코지

일본국 도오쿄오토 코다이라시 조우쓰이혼쵸오 5초
메 20반 1고 가부시키가이샤 히타치세이사쿠쇼 한
도타이그룹프 나이

핫도리 토시히로

일본국 도오쿄오토 코다이라시 조우쓰이혼쵸오 5초
메 20반 1고 가부시키가이샤 히타치세이사쿠쇼 한
도타이그룹프 나이

특허청구의 범위

청구항 1

명령실행 가능한 중앙처리장치와,
 제1외부버스에 접속 가능한 제1단자와,
 상기 제1외부버스와는 다른 제2외부버스에 접속 가능한 제2단자와,
 상기 중앙처리장치에 접속되는 내부버스와,
 상기 제1단자와 상기 내부버스에 접속되는 제1인터페이스 회로와,
 상기 제2단자와 상기 내부버스에 접속되는 제2인터페이스 회로와,
 상기 제1단자와 상기 제2단자를 접속하는 신호경로를 가지고,
 클럭신호가 공급되는 제1상태와 상기 클럭신호의 공급이 정지되는 제2상태를 가지고,
 상기 제2상태일 때, 상기 제1단자와 상기 신호경로 및 상기 제2단자가 접속되어 클럭동기회로에의 클럭신호의 공급이 정지되며,
 상기 중앙처리장치는, 상기 클럭동기회로의 하나이며,
 상기 중앙처리장치, 상기 내부버스, 상기 제1인터페이스 회로 및 상기 제2 인터페이스 회로는 제1영역에 배치되며,
 상기 신호경로는 제2영역에 배치되며,
 상기 제2상태일 때, 상기 제1영역은 저소비전력상태인 싱글 칩 데이터프로세서.

청구항 2

제1항에 있어서,
 상기 제1상태는, 상기 중앙처리장치가 명령을 실행 가능하고,
 상기 제2상태는, 상기 중앙처리장치가 명령 실행이 억제되는 싱글 칩 데이터프로세서.

청구항 3

제1항에 있어서,
 상기 신호경로가 배치되는 상기 제2영역은, 상기 제2상태일 때 동작 가능한 싱글 칩 데이터프로세서.

청구항 4

제3항에 있어서,
 상기 제2상태일 때, 상기 제1단자를 통해 제1외부버스로부터 정보가 입력되어 상기 신호경로를 통해 상기 제2단자로부터 상기 제2외부버스에 출력하는 싱글 칩 데이터프로세서.

청구항 5

제4항에 있어서,
 상기 제1외부버스로부터 입력되는 정보는, 시각표시제어의 정보인 싱글 칩 데이터프로세서.

청구항 6

제4항에 있어서,
 상기 제1단자에 접속된 전기신호경로와 상기 제2인터페이스 중 하나를 상기 제2단자에 접속하는 절환 제어를 행

하기 위한 절환 회로를 가지고,

상기 제1상태일 때, 상기 절환 회로는, 상기 제2 인터페이스와 상기 제2단자를 접속하고, 상기 내부 버스를 경유한 신호를, 상기 제2단자에 출력 가능하게 구성되며,

상기 제2상태일 때, 상기 절환 회로는 상기 신호 경로와 상기 제2단자를 접속하고, 상기 제1단자를 통해 입력된 전기 정보를, 상기 전기신호경로를 경유해 상기 제2단자에 출력 가능하게 구성되는 싱글 칩 데이터프로세서.

청구항 7

제6항에 있어서,

상기 전기 절환 회로는, 상기 제2영역에 배치되어 상기 제2상태일 때, 동작 가능하게 되어 이루어지는 싱글 칩 데이터프로세서.

청구항 8

중앙처리장치와,

외부버스에 접속 가능한 제1단자와,

상기 외부버스는 다른 외부버스에 접속 가능한 제2단자와,

상기 중앙처리장치에 접속되는 내부버스와,

상기 내부버스를 바이패스하기 위해서, 상기 제1단자와 상기 제2단자를 접속하기 위한 경로와,

상기 제1단자와 상기 내부버스에 접속되어 상기 외부버스로부터 입력된 신호의 인터페이스를 행하기 위한 제1인터페이스 회로를 가지고,

상기 중앙처리장치를 포함한 클록동기회로에 클록신호를 공급하는 제1상태와 상기 클록신호의 공급을 정지하는 제2상태를 가지고,

상기 제1상태일 때, 상기 외부 버스로부터 상기 제1단자를 통해서 입력된 신호는, 상기 제1인터페이스 회로를 경유해 상기 전기내부버스에 출력되고,

상기 제2상태일 때, 상기 외부버스로부터 상기 제1단자를 통해 입력된 신호는, 상기 경로를 통해 상기 제2단자로부터 상기 다른 외부버스에 출력되며,

상기 제2상태는 저소비전력상태인 싱글 칩 데이터프로세서.

청구항 9

제8항에 있어서,

상기 제1상태는, 상기 중앙처리장치가 명령 실행 가능하고,

상기 제2 상태는, 상기 중앙처리장치의 명령 실행이 억제되는 싱글 칩 데이터프로세서.

청구항 10

제8항에 있어서,

상기 제2상태일 때, 상기 제1단자를 통해 입력된 신호는, 상기 제2단자를 통해 다른 외부 버스에 접속되는 액정 장치의 표시 제어인 싱글 칩 데이터프로세서.

청구항 11

제10항에 있어서,

상기 경로와 상기 제2단자의 접속 또는 상기 내부 버스와 상기 제2단자와의 접속을 절환 제어하기 위한 회로를 가지고,

상기 제1상태일 때, 상기 회로는 상기 내부버스와 상기 제2단자를 접속하고, 상기 내부버스의 신호를 상기 다른 외부버스에 출력 가능하게 제어하며,

상기 제2상태일 때, 상기 회로는, 상기 경로와 상기 제2단자를 접속해, 상기 제1단자를 경유하여 입력된 신호를, 상기 내부버스를 바이패스하며, 상기 경로와 상기 제2단자를 통해 외부에 출력 가능하게 제어하는 싱글 톱 프로세서.

청구항 12

제1내부버스 및 제2내부버스와,
 제1외부버스에 접속 가능한 제1단자와,
 상기 제1 및 제2 내부버스 중 하나를 선택적으로 상기 제1단자에 접속 가능한 절환 회로와,
 상기 제1외부버스와는 다른 제2외부버스를 접속 가능하게 구성되는 제2단자와,
 중앙처리장치를 포함한 내부회로를 가지고,
 상기 제1내부버스는, 상기 내부회로로부터 공급되는 제1정보를 상기 절환 회로에 공급하고,
 상기 제2내부버스는, 상기 제1단자를 통해서 상기 제1외부버스로부터 입력된 제2정보를 상기 절환 회로에 공급 가능하게 하고,
 상기 절환 회로는, 상기 제1내부버스를 통해 공급되는 제1정보와 상기 제1단자를 통해 상기 제1외부버스로부터 입력되고 상기 제2내부버스를 통해 공급되는 상기 제2정보 중 어느 하나를 선택적으로 상기 제2단자를 통해 상기 제2외부버스가 접속되어야 할 외부에 출력 제어하고,
 상기 제2단자는, 상기 제2외부버스를 통해 외부 디바이스를 접속 가능하고,
 상기 제2정보는, 시간표시제어에 이용되는 정보를 포함하고,
 상기 내부회로 및 상기 제1내부버스를 동작 가능 상태로 하는 제1동작모드와,
 상기 내부회로에의 클럭신호의 공급을 정지하는 제2동작모드를 가지고,
 상기 전환회로는, 상기 제1동작모드일 때, 상기 제1내부버스를 상기 제2단자에 접속하고, 상기 제1정보를 상기 제2단자를 통해 제2외부버스에 출력 가능하게 하고,
 상기 제2동작모드일 때, 상기 제2내부버스를 상기 제2단자에 접속하고, 상기 제1단자를 통해 상기 제1외부버스로부터 공급된 상기 제2정보를 상기 제2내부버스 및 상기 제2단자를 통해 직접 상기 제2외부버스에 출력 가능하게 하는 반도체 집적회로.

청구항 13

제12항에 있어서,
 상기 제1동작모드는 상기 중앙처리장치가 명령 실행 가능으로 되고,
 상기 제2동작모드는 상기 중앙처리장치의 명령 실행이 억제되는 반도체 집적회로.

청구항 14

제12항에 있어서,
 상기 중앙처리장치를 포함한 내부회로와 상기 제1내부버스는, 반도체 집적회로의 제1영역에 배치되며,
 상기 절환 회로와 상기 제2내부버스는 제2영역에 배치되며,
 상기 제2영역은, 반도체 집적회로 장치가 동작 가능한 때, 항상 전원이 공급되는 반도체 집적회로.

청구항 15

제14항에 있어서,
 상기 제1동작모드일 때, 상기 제1내부버스를 통해 화상표시제어를 위한 정보를 상기 제2단자를 통해 외부에 출력하는 것이 가능한 반도체 집적회로.

명세서

기술분야

[0001] 본 발명은, 복수의 데이터 프로세서와 복수의 시스템 버스로 구성되는 시스템에 있어서, 데이터 프로세서 사이를 접속하는 버스의 데이터 전송방식 및 데이터 전송 시스템의 기술분야에 속한다. 예를 들면 1개의 데이터 프로세서가 다른 데이터 프로세서의 내장회로를 공유하는 기술, 1개의 데이터 프로세서가 다른 데이터 프로세서의 외부 버스를 액세스하는 기술에 적용하는 유용한 기술에 관한 것이다. 또한 본 발명은, 데이터 프로세서의 동작 프로그램을 메모리에 초기적으로 저장하는 부트제어기술에 관한 것이다.

배경기술

[0002] 시스템의 복잡도에 따라, 그 시스템 상에 탑재되는 데이터 프로세서 및 부품의 수가 증가해가고 있다. 예를 들면 휴대전화의 시스템에서는, 종래까지는 통신을 제어하기 위한 베이스 밴드 데이터 프로세서가 소프트웨어(애플리케이션, 키제어 등)와 하드웨어(RF회로, LCD, 메모리 등의 부품)의 제어를 행했다. 그러나 기능의 다양화에 따라, 모든 처리를 베이스 밴드 데이터 프로세서로 행하는 것이 곤란하게 되어 지고 있다. 종래의 PC계의 시스템에서는 이 문제를 데이터 프로세서의 동작 주파수를 향상시킴으로써 해결하였지만, 최근의 배터리 구동형의 휴대단말에서는 전지수명을 길게 하지 않으면 안되는 이유 때문에, 단순히 주파수의 고속화에 따른 성능향상은 행해지지 않는다.

[0003] 데이터 프로세서가 행하는 처리에 의해 주파수를 가변으로 하는 방법도 존재하지만, 실제로 시스템 상에서 실현하는 것은 복잡하므로 실용화가 어렵다. 또 고속동작을 행하는 데이터 프로세서는 칩 면적이 크게 되는 경향이 있으며, 대기시의 전류치를 줄이는 것이 곤란하다.

[0004] 이 문제를 해결하기 위해, 종래의 데이터 프로세서에서는 처리할 수 없는 애플리케이션을 코프로세서 혹은 별도의 데이터 프로세서로 처리하는 수단을 취할 수 있게 되어 졌다. 이것에 의해 특정의 처리가 필요하게 되었을 때에, 그 처리에 적합한 데이터 프로세서만을 동작하는 것이 가능하게 되기 때문에, 시스템 구축이 용이하게 되며 최종적으로는 시스템 전체의 저소비전력화에도 연결된다.

[0005] 1개의 시스템 상에 데이터 프로세서 및 코프로세서 등과 같이 복수의 데이터 프로세서가 탑재되는 경우, 그 데이터 프로세서끼리의 접속에는 공유버스가 이용되는 경우가 많다. 그러나 버스를 공유할 수 없는 데이터 프로세서와, 버스공유를 행해서는 메모리 액세스 성능이 충분치 않아 성능이 발휘되지 않는 경우 등에서는, 편측의 데이터 프로세서에 별도의 인터페이스를 내장하여, 이 인터페이스를 또다른 편측의 데이터 프로세서의 버스에 접속하는 것으로 데이터 전송을 행할 필요가 생긴다. 이 인터페이스로서 예를 들면 TI의 DSP(TMS320C54x)가 서포트하고 있는 호스트 포트 인터페이스 등이 있으며, 실제로는 데이터 프로세서에 내장된 RAM과 인터럽트 기능을 이용하는 것에 의해 데이터 프로세서 사이의 데이터 전송을 행한다. 단 전송한 데이터를 사용하기 위해서는 소프트웨어를 실행할 필요가 있다.

[0006] 시스템 뿐만 아니라 데이터 프로세서의 기능 자체도 고기능화하고 있다. 이 때문에 시스템 상에 복수의 데이터 프로세서를 탑재한 경우, 서로의 데이터 프로세서에 탑재된 기능을 효율 좋게 사용함으로써, 중복하여 같은 기능을 복수의 데이터 프로세서가 서포트할 필요가 없게 된다. 예를 들면 SDRAM(싱크로너스 DRAM) 등에 대한 메모리 인터페이스와 USB(유니버설·시리얼·버스), 메모리 카드, 시리얼 인터페이스 등이다. 상기 공통버스에 의하지 않는 인터페이스로 데이터 프로세서끼리가 접속되어 있는 경우, 각각의 데이터 프로세서가 서포트하고 있는 기능을 사용할 때는, 전송된 데이터를 소프트웨어로 처리할 필요가 있다. 예를 들면 어느 데이터 프로세서가 다른 데이터 프로세서의 메모리 인터페이스를 이용하여, 그 메모리에 액세스하고 싶은 경우에는, 한번 상기 인터페이스로 액세스하는 데이터를 상기 다른 데이터 프로세서에 전송한 후에, 인터럽트로 해당 다른 데이터 프로세서의 프로그램 실행을 기동하고, 그 프로그램을 실행하는 상기 다른 데이터 프로세서가 메모리로의 액세스를 행하며, 액세스 후에 재차 상기 다른 데이터 프로세서에서 상기 한쪽의 데이터 프로세서에 대해서 인터럽트를 발생하여, 해당 한쪽의 데이터 프로세서에 상기 인터페이스를 통해서 데이터의 전송을 행할 필요가 있다.

[0007] 시스템의 복잡도에 기인하는 별도의 문제로서, 실장면적의 삭감을 들 수 있다. 특히 휴대정보단말에서는 소비전력 및 코스트의 관점에서 실장면적을 줄이기 위해 시스템의 부품점수를 삭감하는 것이 필요하게 된다. 그러나 시스템이 다기능화함에 따라 그것을 실현하기 위한 부품점수가 증가한다. 특히 전술과 같이 복수의 데이터 프로세서를 내장하는 경우에는 이 문제는 더욱 심각해 진다.

[0008] 종래의 기술에서 서술한 바와 같이 시스템 상에 복수의 데이터 프로세서를 탑재하여, 그 데이터 프로세서끼리가 공유버스로 접속할 수 없는 경우에는, 데이터 프로세서를 상호 접속하는 인터페이스를 내장할 필요가 생긴다. TI의 DSP와 같은 호스트 인터페이스는 데이터 프로세서에 재장된 RAM과 인터럽트 기능을 이용함으로써 핸드셰이크(handshake)를 행하여 데이터 전송을 실현한다. 이 방법에서는 데이터 전송 때마다 인터럽트 처리 프로그램을 실행할 필요가 생기기 때문에, 지금까지 작동되고 있던 프로그램의 실행이 중단되어 성능이 열화하는 경우가 있다. 특히 그 데이터 프로세서가 서포트하는 외부 인터페이스만을 사용하고 싶은 경우 등에 대처하기 위해서는 문제가 있다.

[0009] 또한, 본 발명자는, 데이터 프로세서의 동작 프로그램을 메모리에 초기적으로 저장하는 기술에 대해서 검토했다. 예를 들면 CPU의 동작 프로그램을 저장하는 전기적으로 재기록 가능한 플래시 메모리가 온칩된 마이크로 프로세서에 있어서, 상기 플래시 메모리에 대한 초기적인 프로그램의 기록은 예를 들면, 그 제조단계에서 EPROM 라이터와 같은 기록장치를 이용하여 행해지는 것이 일반적이다. 그러나, 그와 같은 기록동작은 베리파이 처리와 재기록을 동반하는 경우도 있으며 처리가 복잡할 뿐아니라 시간도 걸리고, 데이터 프로세서의 제조 코스트를 상승시키는 원인으로도 되어 있다.

발명의 내용

해결하려는 과제

[0010] 본 발명의 목적은, 복잡·다기능화하는 데이터 처리 시스템에 있어서, 데이터 프로세서가 메모리 인터페이스와는 별도로 데이터 전송을 행하기 위한 데이터 전송 인터페이스를 실현하는데 있다. 또 본 발명은, 그 인터페이스에 접속하고 있는 별도의 데이터 프로세서 혹은 디바이스에서, 해당 데이터 프로세서의 내부 기능 혹은 해당 데이터 프로세서의 외장회로를 효율 좋게 이용하는 것을 가능하게 하는 것을 목적으로 한다. 그리고, 본 발명은, 그것에 의해, 시스템 성능의 향상과 저코스트화를 도모하며, 최종적으로는 저소비전력화를 실현하려고 하는 것이다.

[0011] 본 발명의 다른 목적은, 데이터 프로세서가 실행해야 할 프로그램을 불휘발성 메모리에 초기적으로 기록하는 처리가 용이한 데이터 처리 시스템, 또한 데이터 프로세서를 제공하는데 있다.

과제의 해결 수단

[0012] 본 발명의 제1 관점은, 다른 데이터 프로세서에 데이터 프로세서의 내부 버스 액세스를 허용하는 것이다.

[0013] 이 관점에 의한 본 발명은, 1개의 데이터 프로세서(100)에 다른 데이터 프로세서(101)와의 접속을 가능하게 하기 위한 인터페이스 수단(119)을 설치하고, 이 인터페이스 수단에, 1개의 데이터 프로세서 내의 내부버스에 다른 데이터 프로세서를 버스 마스터로서 접속 가능하게 하는 기능을 설치하며, 내부버스에 메모리 맵된 주변기능을 상기 인터페이스 수단을 통해서 외부에서 해당 다른 데이터 프로세서가 직접 조작하는 기능을 서포트하는 것이다. 이것에 의해, 데이터 프로세서는, 실행중의 프로그램을 중단하지 않고, 다른 데이터 프로세서의 주변기능 등을 사용하는 것이 가능하게 된다. 예를 들면 제1의 데이터 프로세서가 제2의 데이터 프로세서의 메모리 인터페이스를 사용하여 특정의 메모리에 액세스하는 경우, 제1의 데이터 프로세서는, 제2의 데이터 프로세서의 상기 인터페이스 수단을 통해서, 해당 제2 데이터 프로세서의 주변 메모리와 그 이외의 주변회로를 액세스하여 이용하는 것이 가능하게 된다. 요컨대, 1개의 데이터 프로세서는 다른 데이터 프로세서의 주변 리소스를 공유하는 것이 가능하게 된다. 다시말하면, 제1의 데이터 프로세서는 제2의 데이터 프로세서에 내장되어 있는 별도의 인터페이스 기능을 직접 사용할 수 있게 되며, 시스템의 고성능화를 도모하는 것이 가능하게 된다.

[0014] 상기 관점에 의한 발명을 더욱 상세하게 서술한다. 상기 제1의 관점에 의한 데이터 처리 시스템은 제1의 데이터 프로세서(100) 및 제2의 데이터 프로세서(101)를 포함한다. 상기 제2의 데이터 프로세서는, 상기 제1의 데이터 프로세서가 상기 제2의 데이터 프로세서의 내부버스의 버스권을 획득하는 것을 가능하게 하는 인터페이스 수단(119)을 내장한다. 상기 인터페이스 수단은, 상기 내부버스의 버스권을 획득한 제1의 데이터 프로세서에 의한 상기 내부버스에 접속된 입출력 회로의 액세스를 가능하게 하는 것이다.

[0015] 상기 입출력회로는, 예를 들면 SDRAM에 접속 가능한 SDRAM 인터페이스 회로, 액정디스플레이 장치에 접속 가능한 LCD 인터페이스 회로, 메모리 카드에 접속 가능한 메모리 카드 인터페이스 회로, 시리얼 인터페이스 회로, 불휘발성 메모리, 전기적으로 재기록 가능한 불휘발성 메모리, 및 범용입출력 포트회로 중에서 선택된 단수 혹은 복수의 회로이다.

- [0016] 상기 인터페이스 수단은, 제2의 데이터 프로세서 내부에서의 액세스와 상기 제1의 데이터 프로세서에서의 액세스에 배타적으로 응답하여 동작 가능하게 하는 버퍼 RAM(107)을 포함해도 된다.
- [0017] 본 발명의 제2의 관점은, 다른 데이터 프로세서에 1개의 데이터 프로세서 고유의 외부버스에 대한 액세스를 해당 1개의 데이터 프로세서 경유로 허용하는 것이다.
- [0018] 이 관점에 의한 본 발명은, 제2의 데이터 프로세서의 저소비전력화를 위해 제2의 데이터 프로세서(101)의 대기시(전원을 오프 혹은 스탠바이 상태)에, 제1의 데이터 프로세서(100)와의 인터페이스를 제2의 데이터 프로세서 내부에서 해당 제2의 데이터 프로세서의 외장 디바이스(104)와 인터페이스 가능하게 하는 수단(114)을 설치한다. 이것에 의해, 제2의 데이터 프로세서에 접속한 디바이스를, 해당 제2의 데이터 프로세서의 대기중에는 외장회로 없이 제1의 데이터 프로세서를 제어할 수 있게 된다. 요컨대, 제1의 데이터 프로세서는, 제2의 데이터 프로세서가 대기상태이라도, 해당 제2의 데이터 프로세서에 접속되어 있는 외장회로를, 상기 제2의 데이터 프로세서 내부를 바이패스시켜 제어할 수 있다. 이것에 의해 데이터 처리 시스템을 구성하는 부품점수의 삭감을 행하여, 저코스트화가 가능하게 된다.
- [0019] 상기 관점에 의한 발명을 더욱 상세하게 서술한다. 상기 제2의 관점에 의한 데이터 처리 시스템은, 제1의 데이터 프로세서(100), 상기 제1의 데이터 프로세서에 접속되는 제1의 버스(103), 상기 제1의 버스에 접속되는 제2의 데이터 프로세서(101), 및 상기 제2의 데이터 프로세서에 접속되는 제2의 버스(105)를 포함한다.
- [0020] 상기 제2의 데이터 프로세서는 상기 제1의 버스에 한쪽이 접속되고 내부버스에 다른쪽이 접속되는 제1의 외부 인터페이스 회로(119)와, 상기 제2의 버스에 한쪽이 접속되는 내부버스에 다른쪽이 접속되는 제2의 외부 인터페이스 회로(113)와, 제2의 데이터 프로세서의 대기상태에서 상기 제2의 외부 인터페이스 회로의 상기 한쪽 대신에 상기 제1의 인터페이스 회로의 상기 한쪽을 상기 제2의 버스에 접속하는 절환회로(114)와, 를 포함한다.
- [0021] 상기 제2의 데이터 프로세서의 대기상태는, 예를 들면 상기 제2의 데이터 프로세서에 포함되는 클록 동기회로에 클록신호의 공급이 정지되는 상태이다. 또 상기 제2의 데이터 프로세서에서 상기 절환회로의 동작전원과 그 이외의 회로의 동작전원을 분리 가능하게 하고, 상기 제2의 데이터 프로세서의 대기상태에 응답하여 상기 그 이외의 회로의 전부 또는 일부에의 동작전원의 공급을 정지시키는 전원제어회로(116b)를 더 포함한다. 이것에 의해, 상기 제2의 데이터 프로세서는 대기상태에서 전력소비가 저감된다.
- [0022] 상기 제2의 외부 인터페이스 회로는, 예를 들면 액정디스플레이 컨트롤러에 접속 가능한 LCD 인터페이스 회로를 포함한다. 이때, 상기 제2의 버스에는 액정디스플레이 컨트롤러가 접속된다. 이것에 의해, 상기 제1의 데이터 프로세서는 상기 절환회로를 통해서 상기 액정디스플레이 컨트롤러를 제어 가능하게 된다.
- [0023] 본 발명의 제3의 관점은, 리셋동작 해제 후에 데이터 프로세서가 실행해야 할 동작 프로그램을 온칩의 불휘발성 메모리와 로컬버스 상의 불휘발성 메모리에 초기적으로 기록하기 위한 동작제어를 해당 데이터 프로세서를 통해서 가능하게 하는 것이다.
- [0024] 이 관점의 본 발명에 의한 데이터 처리 시스템은, 제1의 데이터 프로세서(100) 및 제2의 데이터 프로세서(101)를 포함한다. 상기 제2의 데이터 프로세서는, 리셋동작 해제 후의 제1 동작모드에서 상기 제1의 데이터 프로세서에 의해 기록 가능하게 되는 휘발성 메모리(107)과, 상기 제1 동작모드에 의한 기록 후에서의 명령페치(fetch)의 대상을 상기 휘발성 메모리로 하는 CPU(109)와, 리셋동작 해제 후의 제2의 동작모드에서 CPU에 의한 명령페치의 대상이 되는 전기적으로 재기록 가능한 불휘발성 메모리(502)를 포함한다. 상기 제1의 데이터 프로세서는, 제2의 데이터 프로세서에 제1 동작모드를 지정하고, 상기 휘발성 메모리에, 상기 불휘발성 메모리에 대한 기록 제어용 프로그램을 저장하여 CPU에 명령페치를 허가한다. 이것에 의해, 제2의 데이터 프로세서는, 휘발성 메모리에 기록된 기록 제어 프로그램을 실행하고, 이것에 따라 상기 온칩의 불휘발성 메모리에 제1의 데이터 프로세서의 동작 프로그램을 초기적으로 기록할 수 있다. 이 동작 프로그램을 실행할 때는, 리셋동작 해제 후에 제2 동작모드가 지정되면 된다.
- [0025] 전기적으로 기록 가능한 불휘발성 메모리는 제1의 데이터 프로세서에 온칩된 메모리에 한정되지 않는다. 제1의 데이터 프로세서의 로컬버스에 접속된 전기적으로 재기록 가능한 불휘발성 메모리(501)라도 된다.
- [0026] 제3의 관점에 의한 발명에 의하면, 리셋동작 해제 후에 데이터 프로세서가 실행해야 할 동작 프로그램을 온칩의 불휘발성 메모리와 로컬버스 상의 불휘발성 메모리에 초기적으로 기록하기 위한 동작제어를 해당 데이터 프로세서를 통해서 행할 수 있다. 요컨대, 데이터 프로세서의 제조과정에서 온칩의 프로그램 메모리 등에 프로그램을 기록처리를 행하지 않아도 된다.

- [0027] 본 발명의 제4의 관점은, 상기 제1 내지 3의 관점에 의한 데이터 처리 시스템에 적용되는 데이터 프로세서에 착안한다.
- [0028] 데이터 프로세서는 CPU(109)와, 상기 CPU에 접속하는 내부버스와, 상기 내부버스에 접속하는 주변회로(116)와, 제1의 외부단자에 한쪽이 접속되고 상기 내부버스에 다른쪽이 접속되는 제1의 외부 인터페이스 회로(119)와, 제2의 외부단자에 한쪽이 접속되고 상기 내부버스에 다른쪽이 접속되는 제2의 외부 인터페이스 회로(113)를 포함한다. 상기 제1의 외부 인터페이스 회로는 외부에서의 액세스 요구에 응답하여, 내부버스의 버스권을 획득하고, 내부버스에 접속된 상기 주변회로의 액세스를 가능하게 한다. 이것에 의해, 데이터 프로세서는 내부버스에 접속하는 온칩의 주변회로 등을 다른 데이터 프로세서에 이용시키는 것이 가능하게 된다.
- [0029] 상기 CPU의 대기상태에서 상기 제2의 외부 인터페이스 회로의 한쪽 대신에 상기 제1의 외부단자를 상기 제2의 외부단자에 접속하는 절환회로(114)를 더 포함해도 된다. 다른 데이터 프로세서에 1개의 데이터 프로세서 고유 외부버스에 대한 액세스를 해당 1개의 데이터 프로세서 경유로 허용하는 것이다. 예를 들면 데이터 프로세서의 로컬버스에 LCD 컨트롤러가 접속될 때, 해당 데이터 프로세서의 대기상태에서 시스템 버스 경유로 다른 데이터 프로세서가 로컬버스 상의 상기 LCD 컨트롤러를 통해서 LCD에 대한 시간표시 제어기능을 실현하는 것이 가능하게 된다.
- [0030] 상기 제3의 관점과 같이, 데이터 프로세서의 부트 프로그램을 초기적으로 기록한다는 관점에서는, 데이터 프로세서는 리셋동작 해제 후의 제1 동작모드에서 상기 제1의 외부 인터페이스 회로를 통해 외부에서 기록 가능하게 되는 휘발성 메모리와, 프로그램 메모리 예를 들면 전기적으로 기록 가능한 불휘발성 메모리를 더 포함한다. 상기 CPU는, 상기 제1 동작모드에 의한 기록 후에 상기 휘발성 메모리에서 명령을 폐지하여 실행 가능하며, 또 CPU는 리셋동작 해제 후의 제2 동작모드에서 상기 프로그램 메모리에서 명령을 폐지하여 실행 가능하다. 상기 제2 동작모드에서 상기 프로그램 메모리에 대한 기록 제어 프로그램을 휘발성 메모리에 기록하고, 기록한 기록 제어 프로그램을 제2 동작모드에서 실행하면, 불휘발성 프로그램 메모리에 데이터 프로세서의 부트 프로그램을 초기적으로 기록할 수 있다.
- [0031] 상기 CPU, 상기 내부버스, 상기 제1의 외부 인터페이스 회로, 상기 제2의 외부 인터페이스 회로, 상기 절환회로, 상기 휘발성 메모리, 및 상기 프로그램 메모리를 1개의 반도체 기관 상에 형성하여, 데이터 프로세서를 싱글 칩으로 구성할 수 있다. 또 상기 CPU, 상기 내부버스, 상기 제1의 외부 인터페이스 회로, 상기 제2의 외부 인터페이스 회로, 상기 절환회로, 및 상기 휘발성 메모리를 제1의 반도체 기관 상에 형성하고, 상기 프로그램 메모리(501)를 제2의 반도체 기관 상에 형성하며, 상기 제1의 반도체 기관과 제2의 반도체 기관을 예를 들면 고밀도 실장기관에 실장하여 1개의 패키지로 밀봉하고, 멀티칩 모듈로서 구성해도 된다.
- [0032] 본 발명의 제5의 관점은, 상기 제1의 관점에 의한 데이터 처리 시스템에 적용되는 데이터 프로세서를 또 다른 관점에서 파악한다.
- [0033] 데이터 프로세서는 제1의 버스에 접속되는 제1의 단자와, 제2의 버스에 접속되는 제2의 단자와, 제1의 상태 또는 제2의 상태를 선택적으로 정할 수 있는 제1의 내부회로와, 제2의 내부회로와, 상기 제1의 단자에서 상기 제1의 내부회로와 상기 제2의 내부회로를 통해서 상기 제2의 단자에 접속되는 제1의 신호경로와, 상기 제1의 단자에서 상기 제2의 내부회로를 통해서 상기 제2의 단자에 접속되는 제2의 신호경로를 포함한다. 상기 제2의 내부회로는, 상기 제1의 내부회로의 상태에 따라 상기 제1의 신호경로와 상기 제2의 신호경로 중 어느 하나의 신호경로를 선택한다.
- [0034] 상기 제1의 상태는 예를 들면 상기 제1의 내부회로가 명령을 실행 가능한 동작상태이며, 상기 제2의 상태는 예를 들면 명령의 실행이 억지(抑止)되는 대기상태이다. 상기 제2의 내부회로는 동작상태에서 상기 제1의 경로를 선택하고, 대기상태에서 제2의 경로를 선택한다.
- [0035] 상기 제1의 내부회로에 대한 제1의 전원의 공급과 상기 제2의 내부회로에 대한 제2의 전원의 공급을 제어하는 전원제어회로를 가진다. 이때, 상기 전원제어회로는, 상기 제2의 내부회로에 상기 제2의 신호경로가 선택되는 경우에 제1의 내부회로의 전부 또는 일부에 제1의 전원의 공급을 정지한다. 요컨대, 대기상태에서는 동작을 행할 필요가 없는 회로에는 쓸모없는 동작전원의 공급을 행하지 않도록 한다.
- [0036] 상기 제1의 내부회로, 제2의 내부회로, 및 전원제어회로는 1개의 반도체 기관 상에 형성해도 된다. 또 상기 제1의 내부회로 및 상기 전원제어회로는 제1의 반도체 기관 상에 형성하고, 상기 제2의 내부회로는 제2의 반도체 기관 상에 형성하며, 상기 제1의 반도체 기관과 제2의 반도체 기관을 1개의 패키지로 밀봉하여 데이터 프로세서를 멀티칩 모듈 등으로 구성해도 된다.

- [0037] 상기 제1의 내부회로에 동기 동작용의 클럭신호를 공급하는 클럭제어회로(116a)를 가지고 있을 때, 상기 클럭제어회로는, 상기 제2의 내부회로에 상기 제2의 신호경로가 선택되는 경우에 상기 제1의 내부회로에 클럭신호의 공급을 정지시키면 된다. 대기상태에서는 동작을 행할 필요가 없는 회로에는 쓸모없는 전력소비에 연결되는 것과 같은 클럭신호의 공급을 정지하는 것이 바람직하기 때문이다.
- [0038] 바람직한 형태로서, 상기 제1의 내부회로에 대한 제1의 전원의 공급과 상기 제2의 내부회로에 대한 제2의 전원의 공급을 제어하는 전원제어회로는, 상기 제1의 내부회로에 클럭신호의 공급이 정지될 때, 상기 제1의 내부회로의 전부 또는 일부에 전원공급을 정지하는 것이 좋다.
- [0039] 상기 제1의 내부회로, 제2의 내부회로, 클럭제어회로, 및 전원제어회로는 1개의 반도체 기판 상에 형성해도 된다. 또 상기 제1의 내부회로, 클럭제어회로 및 전원제어회로는 제1의 반도체 기판 상에 형성하고, 상기 제2의 내부회로는 제2의 반도체 기판 상에 형성하며, 상기 제1의 반도체 기판과 제2의 반도체 기판을 1개의 패키지로 밀봉하여 데이터 프로세서를 멀티칩 모듈 등으로 구성해도 된다.
- [0040] 본 발명의 제6의 관점은, 상기 제1의 관점에 의한 정보처리 시스템을 또 다른 관점에서 파악한다.
- [0041] 정보처리 시스템은 제1의 버스와, 제2의 버스와, 상기 제1의 버스 및 제2의 버스에 접속되는 데이터 프로세서를 가진다. 상기 데이터 프로세서는 제1 동작형태와 제2 동작형태를 가지며, 상기 제1 동작형태에서 상기 데이터 프로세서는, 상기 제1의 버스에서 공급된 정보를 처리하고, 상기 제2의 버스에 소정의 정보를 공급 가능하게 한다. 상기 제2 동작형태에서 상기 데이터 프로세서는, 상기 제1의 버스에서 공급된 정보를 그대로 상기 제2의 버스에 공급한다.
- [0042] 또 관점을 바꾼다. 휴대전화 시스템은 제1 내지 제3의 반도체 집적회로, 상기 제1의 반도체 집적회로와 제2의 반도체 집적회로를 접속하는 제1의 버스, 및 상기 제2의 반도체 집적회로와 제3의 반도체 집적회로를 접속하는 제2의 버스를 가진다. 상기 제2의 반도체 집적회로는 제1의 동작형태와 제2의 동작형태를 가지며, 상기 제1의 동작형태는, 상기 제2의 반도체 집적회로가 상기 제1의 반도체 집적회로에서 공급되는 정보에 의거하여 소정의 처리를 행하며, 상기 제3의 반도체 집적회로에 처리결과를 공급하는 동작형태이다. 상기 제2의 동작형태는, 상기 제2의 반도체 집적회로가 상기 제1의 반도체 집적회로에서 공급되는 정보를 그대로 상기 제3의 반도체 집적회로에 공급하는 동작형태이다.
- [0043] 상기 휴대전화 시스템에 있어서, 상기 제2의 반도체 집적회로가 상기 제1 또는 제2의 동작형태 중 어느 동작형태로 천이해야 할까를 제어하는 제어신호를, 상기 제1의 반도체 집적회로가 공급해도 된다. 그와 같은 제어신호는 커맨드로서 부여되도 된다.
- [0044] 상기 휴대전화 시스템에 있어서, 예를 들면 상기 제1의 반도체 집적회로는, 베이스 밴드 처리용이며, 상기 제3의 반도체 집적회로는 표시 제어용이다. 상기 소정의 처리는, 예를 들면 적어도 화상을 취급하기 위한 신호처리이다.
- [0045] 상기 제2의 버스에 기억장치를 접속해도 된다. 예를 들면, 상기 기억장치에는, 상기 제2의 반도체 집적회로에서 행하는 처리를 규정한 처리 프로그램을 저장해도 된다.

발명의 효과

- [0046] 별도의 데이터 전송 인터페이스가 마련되어 있어, 데이터 프로세서가 메모리 인터페이스와는 별도로 데이터 전송을 행할 수 있다. 그리고, 상기 데이터 전송 인터페이스에 접속하고 있는 별도의 데이터 프로세서 혹은 디바이스에서, 해당 데이터 프로세서의 내부 기능 혹은 해당 데이터 프로세서의 외장회로를 효율 좋게 이용할 수 있다. 또한, 이에 의해, 시스템 성능의 향상과 저코스트화를 도모할 수 있으며, 최종적으로는 저소비전력화를 실현할 수 있다.

도면의 간단한 설명

- [0047] 도1은 본 발명에 관한 데이터 처리 시스템의 일예를 나타내는 블록도이다.
- 도2는 제1도의 제2의 데이터 프로세서에서의 바이패스용의 영역의 상세를 예시하는 블록도이다.
- 도3은 데이터 프로세서를 멀티칩 모듈로 구성한 경우의 예를 나타내는 블록도이다.
- 도4는 제2의 데이터 프로세서가 구비하는 제1의 외부 인터페이스 회로의 구체적인 일예를 나타내는 블록도이다.

도5는 제2의 데이터 프로세서가 구비하는 제1의 외부 인터페이스 회로의 더욱 구체적인 또 다른 예를 나타내는 블록도이다.

도6은 본 발명에 관한 데이터 처리 시스템에서의 데이터 프로세서의 부트 프로그램의 초기적 기록에 관한 설명도이다.

도7은 도6의 데이터 처리 시스템에서의 부트동작의 타이밍차트이다.

도8은 도6의 데이터 처리 시스템에서의 부트동작의 또 다른 타이밍차트이다.

도9는 프로그램 메모리에 부트 프로그램이 저장되어 있는 상태에서, 부트 프로그램의 갱신 또는 제2의 데이터 프로세서로 실행되는 애플리케이션을 추가/갱신하는 경우의 타이밍차트이다.

도10은 도3의 데이터 프로세서를 구성하는 멀티칩 모듈의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0048] 도1에 본 발명에 관한 데이터 처리 시스템의 일예를 나타낸다. 본 시스템은 제1의 외부버스(103)에 접속된 제1의 데이터 프로세서(100)와, 제2의 외부버스(105)에 접속된 제2의 데이터 프로세서(101)로 구성된다. 제1의 외부버스(103)에는 RAM, ROM, 플래시 메모리(FLASH) 등의 복수의 외부 디바이스(102)가 접속된다. 제2의 외부버스(105)에는, RAM, ROM, FLASH, 액정디스플레이(LCD) 컨트롤러 등의 외부 디바이스(104)가 접속되어 있다. 제2의 데이터 프로세서(101)는 제1의 외부버스(103) 상의 디바이스의 하나로서 제1의 외부 인터페이스 회로(119)를 통해서 제1의 외부버스(103)에 접속되어 있다.

[0049] 제2의 데이터 프로세서(101)는 내부 고속버스(108)과 내부 저속버스(115)를 가진다. 상기 내부 고속버스(108)에는, CPU(109), 캐쉬 메모리(110), 디지털 신호처리 프로세서(DSP)(111), 내부 고속버스(108)와 내부 저속버스(115)와의 사이의 버스 브릿지 회로로서의 브릿지 회로(112), 제1의 외부 인터페이스 회로(119), 제2의 외부 인터페이스 회로(113), 및 RAM(107)이 접속되어 있다. 상기 내부 저속버스(115)에는 시리얼 인터페이스 회로(SCI), USB(유니버설·시리얼·버스), 타이머, 메모리 카드 인터페이스 회로(MCIF), IO포트와 같은 범용 입출력 포트(IOP), 클록펄스 제너레이터(CPG), 플래시 메모리 등의 주변회로(116)가 접속되어 있다. 도1에서 클록펄스 제너레이터(CPG)에는 참조부호(116a)가 붙어 있으며, 범용 입출력 포트(IOP)에는 참조부호(116b)가 붙어있다.

[0050] 데이터 처리 시스템은, 특히 제한되지 않지만, 휴대전화 시스템으로 된다. 이때, 제1의 데이터 프로세서(100)는 베이스 밴드처리를 행한다. 제2의 데이터 프로세서(101)는 액정디스플레이 컨트롤러와 같은 외부 디바이스(104)에 대해 화상표시제어를 위한 제어와 압축신장 등의 신호처리를 행한다. 액정디스플레이 컨트롤러를 통한 시각표시 등의 제어는, 특히 제한되지 않지만, 제1의 데이터 프로세서(100)가 제2의 데이터 프로세서(101)를 경유하여 행한다.

[0051] 상기 제1의 외부 인터페이스 회로(119)는, 상기 제1의 데이터 프로세서(100)가 제2의 데이터 프로세서(101)의 내부버스 예를 들면 내부 고속버스(108)의 버스권을 획득하는 것을 가능하게 하는 것이며, 내부버스(108)의 버스권을 획득한 제1의 데이터 프로세서(100)에 의한 상기 내부버스(108)에 접속된 입출력회로의 액세스를 가능하게 한다. 입출력회로란, DSP(111)의 레지스터 등을 의미한다. 요컨대, 제1의 데이터 프로세서(100)는 내부 고속버스(108)의 버스 마스터로서 동작하는 것이 가능하게 된다. 그와 같은 버스 마스터로서의 동작제어는 내부버스 제어부(106)가 행한다.

[0052] 또 상기 제1의 외부 인터페이스 회로(119)는 상기 RAM을 CPU(109)와 제1의 데이터 프로세서(100)와의 공유메모리 혹은 공유버퍼로서 동작 제어한다. 즉, CPU(109)에서 RAM(107)으로의 액세스 요구와 제1의 데이터 프로세서(100)에서 RAM(107)으로의 액세스 요구에 배타적으로 응답하여 RAM(107)을 동작시킨다. 이 RAM(107)에 대한 공유버퍼 기능에 의해, 제1의 데이터 프로세서(100)과 제2의 데이터 프로세서(101)와의 사이의 데이터 전송을 실현할 수 있다. 이 데이터 전송에는, 예를 들면 인터럽트 신호(117)를 이용한 핸드셰이크제어를 채용해도 된다. 구체적으로는, 제1의 데이터 프로세서(100)에서 RAM(107)으로 데이터가 저장되면, CPU(109)의 인터럽트 신호(117)가 부여되며, 이 인터럽트에 응하는 인터럽트 처리로 CPU(109)가 RAM(107)의 데이터를 읽어들인다. 반대의 경우에는 외부 인터페이스 회로(119)는 제1의 데이터 프로세서(100)를 향해 인터럽트 요구를 발행한다.

[0053] 상기 제2의 외부 인터페이스 회로(113)는 외부버스(105)에 접속되는 외부 디바이스와의 인터페이스를 실현하기 위한 인터페이스 사양을 가진다. 예를 들면 외부 디바이스(104)로서 FLASH, 액정디스플레이(LCD) 컨트롤러가 접속하는 것을 상정(想定)하고 있는 경우, 제2의 외부 인터페이스 회로(113)는 플래시 메모리 인터페이스 회로,

LCD 인터페이스 회로로서의 인터페이스 기능을 가진다.

- [0054] 도1의 구성에 있어서, 상기 영역(118)에는 제2의 데이터 프로세서(101)의 대기상태에 있어서, 상기 제2의 외부 인터페이스 회로(113)에서의 외부버스(105)와의 접속단 대신에, 상기 제1의 외부 인터페이스 회로에서의 외부 버스(103)와의 접속단을, 상기 외부버스(105)에 접속하는 절환회로(114)가 설치되어 있다. 즉, 상기 절환회로(114)는 제2의 데이터 프로세서(101)의 대기시에, 제2의 외부 인터페이스 회로(113) 대신에 제1의 외부버스(103)를 제2의 외부버스(105)에 접속하는 접속형태를 선택한다. 이것에 의해, 제1의 데이터 프로세서(100)는 절환제어부(114)를 통해서, 제2의 외부버스(105) 상의 디바이스를 액세스하는 것이 가능하게 된다. 예를 들면 제1의 데이터 프로세서(100)는 절환회로(114)를 통해서 외부버스(105) 상의 외부 디바이스(104)로서 액정디스플레이 컨트롤러를 제어 가능하다. 여기서 도1 중의 영역(118)의 회로는 제2의 데이터 프로세서(101)의 대기시에도 동작하는 영역이다.
- [0055] 상기 제2의 데이터 프로세서(101)의 대기상태는, 해당 제2의 데이터 프로세서(101)에 포함되는 CPU(109), DSP(111), 시리얼 인터페이스 회로, 타이머 등의 클록 동기회로에 클록신호의 공급이 정지되는 상태이다. 예를 들면 CPU(109)가 클록펄스 제너레이터(116a)의 대기상태 레지스터에 대기상태 인에이블 비트를 세트하는 것에 의해, 클록펄스 제너레이터(116a)는 클록신호(CLK)의 출력동작 혹은 발진동작을 정지하여 클록신호의 공급을 억지한다.
- [0056] 도1에서 120으로 나타내는 회로는 전원회로이다. 상기 제2의 데이터 프로세서(101)에서 상기 절환회로(114)의 동작전원(vdd1)과 그 이외의 회로의 동작전원(vdd2)은 분리 가능하게 된다. 예를 들면 동작전원(vdd1)의 외부 전원단자 및 전원배선과, 동작전원(vdd2)의 외부 전원단자 및 전원배선은 물리적으로 분리된다. 전원회로(120)는 동작전원(vdd1, vdd2)을 대응하는 전원단자에 공급한다. 상기 범용 입출력 포트(116b)는 전원회로(120)에 대한 전원제어회로로서 이용된다. 범용 입출력 포트(116b)는 상기 제2의 데이터 프로세서(101)의 대기상태로의 천이과정에서 상기 그 이외의 회로의 전부 또는 일부에 동작전원(vdd2)의 공급을 정지시킨다. 상기 절환회로(114)에는 제2의 데이터 프로세서(101)가 동작 가능할 때는 동작전원(vdd1)이 항상 공급된다. 대기상태에서 빠지는 데 인터럽트를 이용하는 경우에는 인터럽트 제어회로에는 동작전원이 공급되어 있다. 전원제어회로(116b)는 대기상태로의 천이과정에서 전원회로(120)의 전원제어 레지스터를 전원공급 정지 지시 상태로 셋트한다. 이것에 의해, 동작전원(vdd2)의 공급이 정지된다. 전원제어 레지스터에 대한 전원공급지시 상태로의 리셋동작은 대기상태에서 동작상태로의 복귀처리과정에서 행해지면 된다.
- [0057] 도2에 도1의 제2의 데이터 프로세서(101)의 영역(118)의 상세도가 예시된다. 또한 이에에서는, 제1의 외부 인터페이스 회로(119)가 내부 저속버스(115)의 버스 마스터로서 신호선(200)으로 접속되어 있다. 도2의 신호선(200)이 나타내는 바와 같이, 제1의 외부 인터페이스 회로(119)가 버스 마스터가 되는 내부버스는 고속버스(108)에 한정되지 않고, 저속버스라도 된다.
- [0058] 데이터 프로세서(1)에서 영역(118)에 구성되는 회로를 제2의 회로, 그 이외의 영역에 구성되는 CPU(109) 등의 회로를 제1의 회로라 부른다. 영역(118)에는, 제1 외부단자(210), 제1의 외부단자와 제1의 회로를 접속하는 제1 버스(211), 제1의 회로와 제2의 회로를 접속하는 제2 버스(212), 제1 외부단자와 제2의 내부회로를 접속하는 제3 버스(213), 제2 외부단자(215), 제2 외부단자와 제2의 회로를 접속하는 제4 버스(216), 상기 제2 버스(212)와 제3 버스(213) 중 어느 하나를 제4 버스에 접속할지를 선택하는 셀렉터(217), 버스 드라이버(218), 및 제5 버스(219)를 가진다. 셀렉터(217)는 대기상태로의 천이과정에서 제1 버스(211)를 제4 버스(216)에 접속하는 접속형태를 선택한다. CPU(109)의 상태에 착안하면, 대기상태는 제1의 회로에 의한 명령실행이 억지되는 상태(제1의 상태)이며, 동작상태는 제1의 회로가 명령을 실행 가능한 상태(제2의 상태)이다. 제2의 데이터 프로세서(101)는 대기상태에 있어서, 제1의 외부버스(103)를 제2의 외부버스(105)에 직접 접속하는 것이 가능하게 된다. 이 예에서는, 제2의 데이터 프로세서(101)의 대기상태에서 제1의 외부버스(103)의 데이터를 제2의 외부버스(105)에 무조건적으로 전달하도록 구성되어 있지만, 제1의 외부버스(103)와 제2의 외부버스(105)를 입출력 버퍼(도시하지 않음)를 통해서 접속하는 것도 가능하다. 이렇게 하면 제1의 외부버스(103)에서 제2의 외부버스(105)의 입출력을 제어하는 것이 가능하게 된다.
- [0059] 도1 및 도2에서 제2의 데이터 프로세서(101)는 1개의 반도체 기판 상에 구성된 소위 싱글칩의 데이터 프로세서로서 구성된다.
- [0060] 도3에는 멀티칩 모듈로 제2의 데이터 프로세서(300)를 구성한 경우의 예를 나타낸다. 제2의 데이터 프로세서(300)는 제1의 외부 인터페이스 회로(119) 및 절환회로(114)의 기능을 내장한 칩(301)과 그 이외의 기능을 내장한 칩(302)으로 구성된다. 칩(302)은 내부 고속버스(108)에 접속부(303)를 제1의 외부 인터페이스 회로(119)와

의 인터페이스부로 하고 있으며, 이 접속부(303)에 접속하는 칩(301)이 내부 고속버스(108)의 버스 마스터가 되는 것이 가능하게 된다. 제2의 데이터 프로세서(300)의 대기상태에서 칩(301)만을 동작시키는 것에 의해, 제1의 외부버스(103)를 제2의 외부버스(105)에 접속하는 것이 가능하게 된다.

[0061] 도4에는 제2의 데이터 프로세서(101)가 구비되는 제1의 외부 인터페이스(119)의 구체적인 일례를 나타낸다. 제1의 외부 인터페이스 회로(119)는 외부버스 액세스 제어부(401), 버스 변환 조정부(402), 내부버스 액세스 제어부(403), RAM 액세스 제어부(404), 리셋/인터럽트 제어부(405)로 구성된다.

[0062] 제1의 외부버스(103)에서의 액세스 정보는 외부버스 액세스 제어부(401)에 입력되고, 입력정보가 동기화되어 버스 변환 조정부(402)에 전송된다. 버스 변환 조 정부는 해당 액세스가 RAM(107)으로의 액세스인지 내부버스(108)로의 액세스인지를 판정하여 내부버스(108)로의 액세스인 경우에는 내부버스 액세스 제어부(403)로 액세스 요구를 보내 내부버스(108)의 버스 액세스 사양에 따른 버스 액세스 동작을 기동한다. 요컨대, 어드레스 신호, 버스 액세스 제어신호, 데이터를 내부버스(108)의 버스 액세스 사양에 근거하여 버스(108)에 공급하고, 또 데이터를 버스(108)로부터 받는다. RAM(107)으로의 액세스 요구인 경우에는 RAM 액세스 제어부(404)에 메모리 액세스 요구를 보내 RAM(107)의 액세스 사양에 근거하여 액세스 동작을 기동한다. 요컨대, 어드레스 신호, 메모리 제어 신호, 데이터를 메모리 액세스 사양에 따라 RAM(107)에 공급하며, 또 데이터를 RAM(107)으로부터 받는다.

[0063] CPU(109)로의 인터럽트/리셋의 발행과 CPU(109)에서의 인터럽트는 리셋/인터럽트 제어부(405)에서 처리되며, 외부버스 액세스 제어부(401)가 제1의 외부버스(103) 상의 디바이스에 대해 대응하는 요구를 발행한다. 또 제1의 외부버스(103) 상의 디바이스에서의 요구와 RAM 액세스 제어부(404)에서의 동작요구는 외부버스 액세스 제어부(401)가 대응하는 인터럽트 요구로서 리셋/인터럽트 제어부(405)에 부여한다.

[0064] 도5에는 제2의 데이터 프로세서(101)를 구비하는 제1의 외부 인터페이스(119)의 더욱 구체적인 다른예를 나타낸다. 동 도면에는, 버스(103)와의 사이의 인터페이스, 버스(115)와의 사이의 인터페이스, RAM(107)과의 사이의 인터페이스를 실현하기 위한 구체예를 나타낸다. 제1의 외부 인터페이스 회로(119)는 제어회로(410), 인덱스 레지스터(IDX), 어드레스 플래그(FG)를 가진다. 제어회로(410)는 어드레스 레지스터(ADR), 데이터 레지스터(DAT), 커맨드 레지스터(CMD), 액세스 제어 레지스터(ACS), 스테이터스 레지스터(STS) 등의 제어회로 내장 레지스터를 가진다. 어드레스 플래그(FG)는 논리치 "1"이 설정되면, 인덱스 레지스터(IDX)의 선택을 지정하고, 논리치 "0"이 설정되면 제어회로 내장 레지스터의 선택을 지정한다. 논리치 "0"이 설정되었을 때, 제어회로 내장 레지스터의 내의 어느 레지스터를 선택할까는 인덱스 레지스터(IDX)의 값으로 결정된다. 인덱스 레지스터(IDX) 및 어드레스 플래그(FG)는 제1의 외부버스(103)를 통해서 액세스된다. 버스(103)는 데이터 버스(103D), 어드레스 버스(103A) 및 컨트롤 버스(103C)로 이루어진다. 인덱스 레지스터(IDX)의 값에 따라 제어회로 내장 레지스터가 선택되며, 대응하는 레지스터에 데이터 버스(103D) 경유로 어드레스 정보, 데이터 정보, 버스 액세스 제어정보, 커맨드 정보가 로드되고, 로드된 커맨드 정보에 따라, RAM(107)에 대한 액세스, 버스(115)에 대한 액세스가 기동된다. 이때의 액세스에는 상기 레지스터의 설정치가 이용되고, 액세스 타이밍은 액세스 제어정보가 결정된다. 외부버스(103)를 통해서 RAM(107)에 기록되는 데이터는 CPU(109)가 내부버스(108)를 경유하여 액세스할 수 있다. 버스(108)는 데이터 버스(108D), 어드레스 버스(108A) 및 컨트롤 버스(108C)로 이루어진다. 버스(115)는 데이터 버스(115D), 어드레스 버스(115A) 및 컨트롤 버스(115C)로 이루어진다.

[0065] 도6에는 본 발명에 관한 데이터 처리 시스템에서의 데이터 프로세서의 부트 프로그램의 초기적 기록에 관한 예를 나타낸다. 도6의 예에서는, CPU(109)의 내부버스(115)에 메모리(502)가 배치되며, 또 제2의 외부버스(105)에 메모리(501)가 배치된다. 이 예에서는, 특히 제한되지 않지만, 상기 메모리(501, 502)는 유저 프로그램 저장영역으로서 이용되게 된다. 그 경우에는, 제2의 데이터 프로세서(101)가 리셋 직후에 실행하는 부트 프로그램은, 상기 메모리(501, 502)에 통상 저장된다. 도6에서는 내부 메모리(502)를 내부 저속버스(115)에 접속하고 있지만, 내부 고속버스(108)에 접속해도 된다. 제2의 데이터 프로세서의 내부 메모리(502)는 플래시 메모리 등과 같은 전기적으로 재기록 가능한 불휘발성 메모리이며, CPU(109) 등과 같은 반도체 기판 상에 형성해도 되며, 혹은 다른 반도체 기판 상에 각각을 형성하여, 1의 패키지로 밀봉하는 것이라도 된다. 다른 반도체 기판 상에 형성하여 1개의 패키지로 밀봉하는 경우, 제2의 데이터 프로세서(101)의 내부버스(108, 115)에 접속하는 것이 아니라, 패키지 내부에서 제2의 외부버스(105)에 접속하도록 해도 된다. 여기서는 전기적으로 재기록 가능한 불휘발성 메모리(501, 502)를 프로그램 메모리로서 이용한다.

[0066] 상기 전기적으로 기록 가능한 불휘발성 메모리(501, 502)에 대한 프로그램의 초기적인 기록은 데이터 프로세서(101) 등의 반도체 집적회로의 제조과정에서 EPROM 라이터와 같은 기록장치를 이용하여 행하는 것이 종래부터 행해져 왔다. 도6의 예에서는, 데이터 프로세서(101)가 데이터 처리 시스템 상에 실장된 초기적인 단계에서는

불휘발성 메모리(501, 502)에 부트 프로그램이 초기 기록되어 있지 않은 상태를 상정한다. 도6의 데이터 처리 시스템은 그와 같은 상태에서 부트 프로그램을 초기적으로 기록 가능하게 하는 것이다. 요컨대, 제2의 데이터 프로세서(101)의 부트를 RAM(107)에서 행하는 구조를 제2의 데이터 프로세서(101)에 내장시킨다. 즉 제1의 데이터 프로세서(100)에서 제1의 외부버스(103)를 경유하여 제2의 데이터 프로세서(101)의 부트 프로그램을 RAM(107)에 기록하고, 기록한 후에 제2의 데이터 프로세서(101)에 RAM(107)의 프로그램을 실행시킨다. 그러기 위해서는, 제2의 데이터 프로세서(101)를 RAM(107)의 프로그램 실행에 의해 기동하든지 메모리(501, 502)의 프로그램 실행에 의해 기동하는지를 절환할 필요가 있다. 이 절환은 리셋신호(RES)(504)에 의한 리셋동작을 지시할 때 부트 모드신호(BT)(503)의 레벨을 이용하여 행한다. 예를 들면 리셋신호(504)가 로레벨의 기간에, 부트 모드신호(503)가 하이레벨 시는 RAM(107)의 프로그램 실행에서 기동하고, 부트 모드신호(503)가 로레벨 시는 메모리(501, 502)의 프로그램 실행에서 기동한다.

[0067] 부트 프로그램의 초기적 기록을 위한 구성을 상세하게 서술한다. 상기 제2의 데이터 프로세서(101)에 있어서, 상기 RAM(107)은 리셋신호(504)에 의한 리셋동작 해제 후의 제1 동작모드에서 상기 제1의 데이터 프로세서(100)에 의해 기록 가능하게 된다. 상기 제1 동작모드는, 예를 들면 리셋신호(504)가 로레벨이 되는 리셋기간에, 부트 모드신호(503)가 하이레벨로 되어 있으며, 리셋신호(504)가 하이레벨로 네게이트(negate) 되어 리셋동작이 해제된 동작상태이다. 이때, CPU(109)는 명령폐치가 억제(抑制)된다. 요컨대, CPU(109)에 대한 스타트 벡터의 공급이 억제되어 있다. 이때 RAM(107)에 대한 액세스는 상술과 같이, 제1의 데이터 프로세서(100)가 제1의 외부 인터페이스 회로(106)에 대해 행하면 된다. 데이터 프로세서(100)에 의한 RAM(107)으로의 기록이 종료하면, 데이터 프로세서(100)에서 제1의 외부 인터페이스 회로(119)에 부여되는 커맨드에 의해, 혹은 부트 모드신호(503)의 하이레벨에서 로레벨로의 변화에 응답하여, CPU(109)에 RAM(107)의 선두 어드레스를 지정하는 스타트 벡터가 공급된다. 이것에 의해 CPU(109)는 RAM(107)에 저장된 프로그램을 실행한다. 여기서는 유저 프로그램의 초기적인 기록이라는 조작에 착안하고 있기 때문에, RAM(107)의 저장되는 상기 프로그램은 적어도 유저 프로그램의 기록 제어 프로그램이면 된다. 유저 프로그램 자체도 상기 프로그램과 함께 RAM(107)에 미리 전송되어 있어도 된다. 혹은 RAM(107)에 전송된 기록 제어 프로그램의 실행에 의해, 유저 프로그램을 시리얼 인터페이스 회로(116) 등으로부터 입력하여 메모리(502) 등에 초기적으로 기록하도록 해도 된다.

[0068] 리셋동작 해제 후의 제2 동작모드에서는 CPU(109)에 의한 명령폐치의 대상은, 상기 메모리(501, 502)이다. 상기 제2 동작모드는, 예를 들면 리셋신호(504)가 로레벨이 되는 리셋기간에, 부트 모드신호(503)가 로레벨로 되며, 리셋신호(504)가 하이레벨로 네게이트 되어 리셋동작이 해제된 동작상태이다. 이것에 의해, CPU(109)는 상기 제1 동작모드를 통해서 상기 메모리(501, 502)에 초기적으로 저장된 유저 프로그램을 실행한다.

[0069] 상기 제1의 데이터 프로세서(100)에서 RAM(107)에 부트 프로그램으로서의 상기 기록 제어용 프로그램을 저장하는 동작을 설명한다.

[0070] 먼저, 제2의 데이터 프로세서(101)를 부트하기 전에, 제1의 데이터 프로세서(100)에 접속하고 있는 메모리(505) 혹은 메모리 카드(506) 등의 외부 기억 혹은 도서를 생략하는 시리얼 인터페이스 등으로부터 입력한 부트 프로그램을 제1의 데이터 프로세서(100)가 제2의 데이터 프로세서(101)의 RAM(107)에 기록한다.

[0071] RAM(107)에 전송하는 부트 프로그램은 애플리케이션까지를 포함한 것이라도 상관없지만, 다음과 같은 처리를 포함하고 있으면 짧은 부트 프로그램으로 대응 가능하게 된다. 예를 들면 RAM(107) 상의 프로그램에는 제1의 데이터 프로세서(100)에서 제1의 외부 인터페이스 회로(119)를 통해서 프로그램의 전송을 행하여 메모리(501, 502)에 기록하는 프로그램이 저장되어 있다. 혹은 제2의 데이터 프로세서의 주변 디바이스(116)의 시리얼, USB, 메모리 카드를 이용하여 프로그램을 메모리(501, 502)에 전송하여 기록하는 프로그램이 저장된다.

[0072] 상기에서, 제2의 데이터 프로세서(101)의 부트용 메모리(501, 502)가 플래시 메모리인 경우에, 시스템 조립의 후공정에서 본래라면 플래시 메모리를 초기화하는 구조가 필요하였지만, RAM(107)에서 부트하는 모드에서 플래시 메모리의 초기화를 행할 수 있도록 되기 때문에, 데이터 프로세서(101)의 양산 코스트를 저감하는 것이 가능하게 된다.

[0073] 도7에는 도6의 데이터 처리 시스템에서의 부트동작의 타이밍차트가 예시된다.

[0074] 제1의 데이터 프로세서(100)는 부트 모드신호(503)와 리셋신호(504)를 공급하여 제2의 데이터 프로세서(101)의 기동을 제어한다.

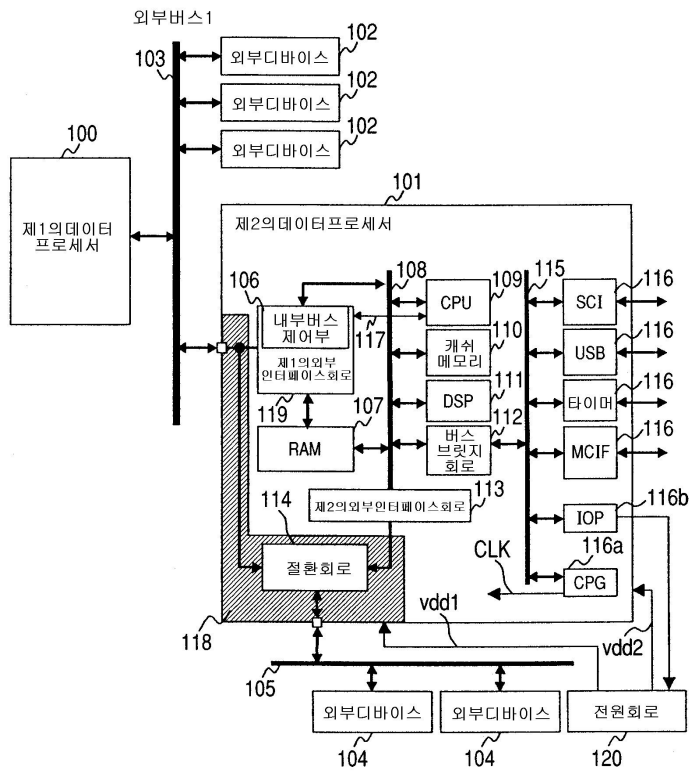
[0075] 제1의 데이터 프로세서는 부트 모드신호(503)를 하이레벨로 하여 리셋을 해제(리셋신호를 로레벨에서 하이레벨로 천이)함으로써, RAM(107)에서 부트하는 모드에서 제2의 데이터 프로세서를 기동하여 제1의 외부버스(103)를

통해서 RAM(107)에 부트 프로그램을 전송한다. 제2의 데이터 프로세서의 CPU(109)는 부트 모드신호가 하이레벨인 것을 검토했고, 제1의 외부 인터페이스 회로(119)를 통해서 RAM(107)에서 부트 프로그램을 폐치한다. CPU(109)는 부트 프로그램의 전송중에는 명령폐치가 억지되므로, 부트 프로그램의 공급이 행해지지 않고, 웨이트 한 상태로 놓여진다. 부트 프로그램의 전송종료에 맞추어 제1의 데이터 프로세서(100)는 전송종료 커맨드를 제1의 외부 인터페이스 회로(119)에 전송하며, 제1의 외부 인터페이스 회로(119)는 CPU(109)에 부트 프로그램의 폐치를 지시함으로써, 제2의 데이터 프로세서(101)는 RAM(107)의 프로그램으로 기동한다. CPU(109)는 RAM(107)내의 부트 프로그램을 실행하고, 내부 고속버스(108)를 경유하며, 메모리(501, 502)에 부트 프로그램을 기록하는 처리를 행한다. 메모리(501, 502)로의 부트 프로그램의 기록이 종료한 단계에서 재차 제2의 데이터 프로세서(101)를 리셋하며(리셋신호(RESET)(504)를 하이레벨에서 로레벨로 천이), 다음은 부트 모드신호(BT)(503)를 로레벨로 한 상태에서 리셋을 해제하여 제2의 데이터 프로세서(101)를 기동한다. 이것에 의해 CPU(109)는 메모리(501, 502)에서 부트 프로그램을 폐치하며, 이것을 실행함으로써, 제2의 데이터 프로세서의 데이터 처리 동작이 기동된다.

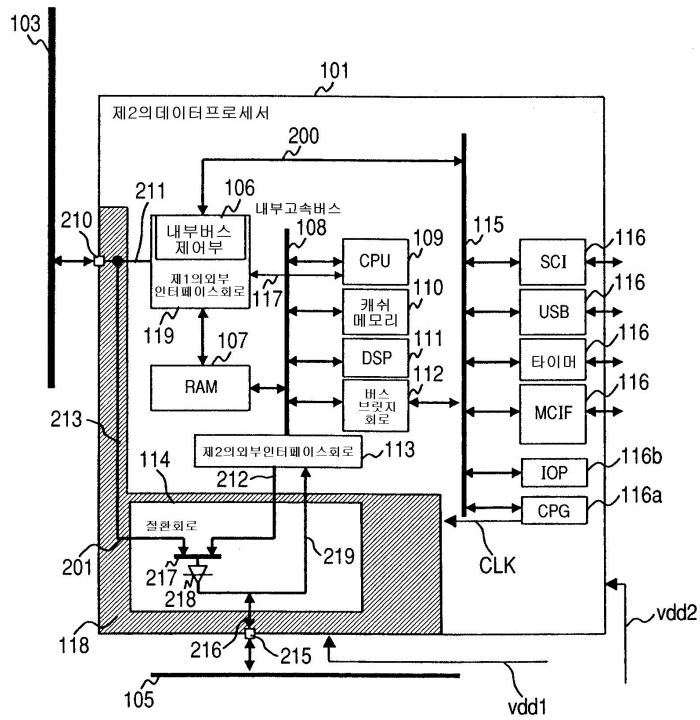
- [0076] 도7의 예는, 제1의 외부버스(103)를 통해서, 제1의 데이터 프로세서(100)에 접속하고 있는 메모리(505) 혹은 메모리 카드(506)에서 메모리(501, 502)에 부트 프로그램을 공급하는 동작 타이밍을 나타내고 있다.
- [0077] 도8에는 도6의 데이터 처리 시스템에서의 부트동작의 다른 타이밍차트가 예시된다. 동 도면에 나타내는 타이밍은 제2의 데이터 프로세서(101)에 있는 시리얼과 USB(116) 등을 통해서 메모리(501, 502)에 저장하는 부트 프로그램을 공급하는 경우를 상정하고 있다. 그 이외의 점은 도7과 같다.
- [0078] 도9에는 메모리(501, 502)에 부트 프로그램이 저장되어 있는 상태에 있어서, 부트 프로그램의 갱신 또는 제2의 데이터 프로세서(101)로 실행되는 애플리케이션을 추가/갱신하는 경우의 타이밍차트가 예시된다.
- [0079] 제1의 데이터 프로세서(100)는 부트 모드신호(503)를 로레벨로 하여 리셋을 해제하는 것으로, 제2의 데이터 프로세서(101)는 메모리(501, 502)에서 부트 프로그램을 폐치하여 기동을 개시한다. 메모리(501, 502)에는 미리 부트 프로그램의 갱신 또는 프로세서(2)로 실행되는 애플리케이션을 추가/갱신하기 위한 전송 프로그램이 저장되어 있으며, 제1의 데이터 프로세서(100)에서의 기동 지시 등에 의해 전송 프로그램이 기동된다. 예를 들면 제1의 데이터 프로세서(100)에 접속되는 안테나를 통해서, 무선통신에 의해 추가의 애플리케이션을 수신하는 경우, 제1의 프로세서(100)는 수신한 추가의 애플리케이션을 외부버스(103)를 통해서 RAM(107)에 전송한다. 제2의 데이터 프로세서(101)는 RAM(107)에 저장된 추가의 애플리케이션을 제1의 외부 인터페이스 회로(119)를 통해서 내부버스(108)에 설치하여, 메모리(501, 502)에 전송하여 기록을 행한다.
- [0080] 도10에는 도3의 데이터 프로세서(300)를 구성하는 멀티칩 모듈의 단면도가 예시된다. 고밀도 실장기관(510)의 일면에는 유리에폭시 기관으로 이루어지는 프린트 배선기관의 실장면에 접속되는 범프전극(511)이 다수 배열되며, 다른쪽의 면에는 상기 범프전극(511)에 접속된 마이크로 범프전극(512) 및 패드전극(513)이 다수 배치된다. 마이크로 범프전극(512)의 일부에는 상기 반도체 칩(302)의 본딩패드가 페이스 다운으로 실장된다. 상기 반도체 칩(302) 상에 별도의 반도체 칩(301)이 적층 배치되며, 이 반도체 칩(301)의 본딩패드는 본딩 와이어(515)에 대응하는 상기 패드전극(513)에 접속된다. 본딩 와이어(515) 및 반도체 칩(301, 302)의 전체는 수지(516)로 몰딩된다.
- [0081] 이상 본 발명자에 의해 행해진 발명을 구체적으로 설명했으나, 본 발명은 그것에 한정되는 것이 아니라, 그 요지를 이탈하지 않는 범위에서 여러가지 변경 가능한 것은 말할 필요도 없다.
- [0082] 예를 들면 데이터 프로세서가 내장하는 주변회로와 그 이외의 회로모듈은 도1 등에 의거하여 설명한 회로에 한정되지 않고 적절하게 변경하는 것이 가능하다. 데이터 프로세서의 내부버스는 고속버스와 저속버스로 나누어져 있지 않아도 된다. 또 제1의 회로부와 제2의 회로부에 대한 동작전원계통은 외부 전원단자에서 따로 따로 하지 않아도, 스위치 회로로 전원공급의 정지를 제어할 수 있도록 해도 된다. 또 데이터 프로세서를 멀티칩 모듈로서 구성할 때, 등재하는 반도체 집적회로의 종류는 상기 예에 한정되지 않고, 플래시 메모리(502)와 같은 반도체 칩과, 그 이외의 CPU(109) 등의 프로세서 코어칩, 및 반도체 칩(301)과 같은 인터페이스 칩을 함께 3장 등재해도 된다. 플래시 메모리 칩은 멀티칩 모듈로 복수 칩 등재해도 된다.

도면

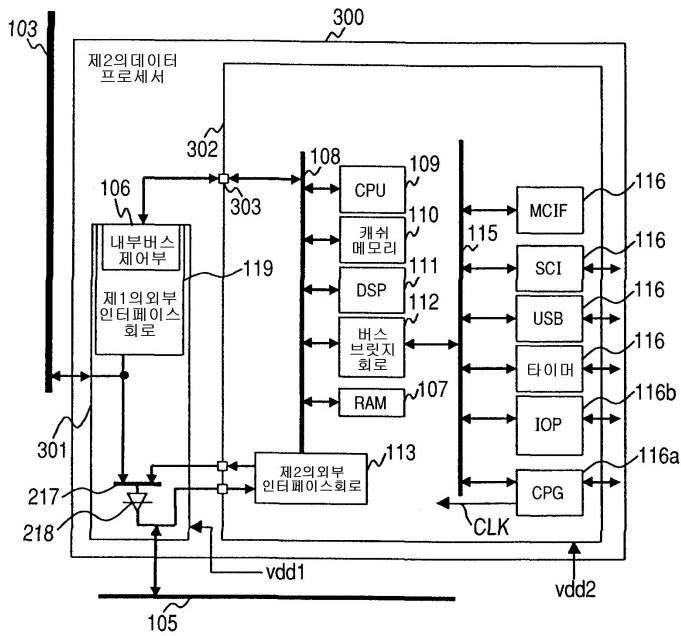
도면1



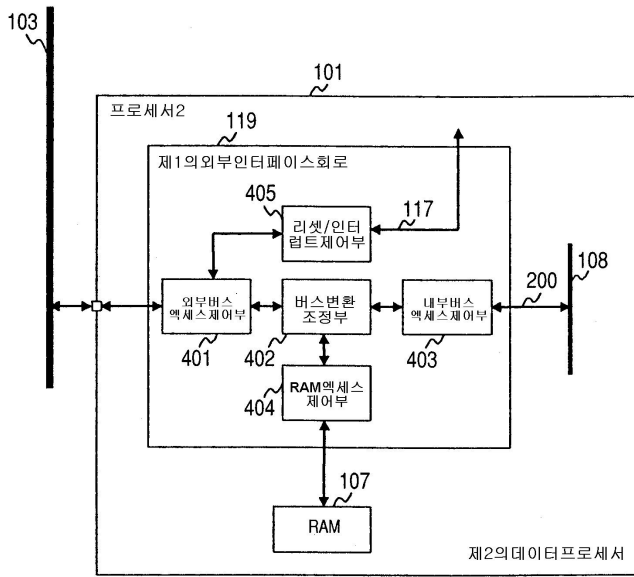
도면2



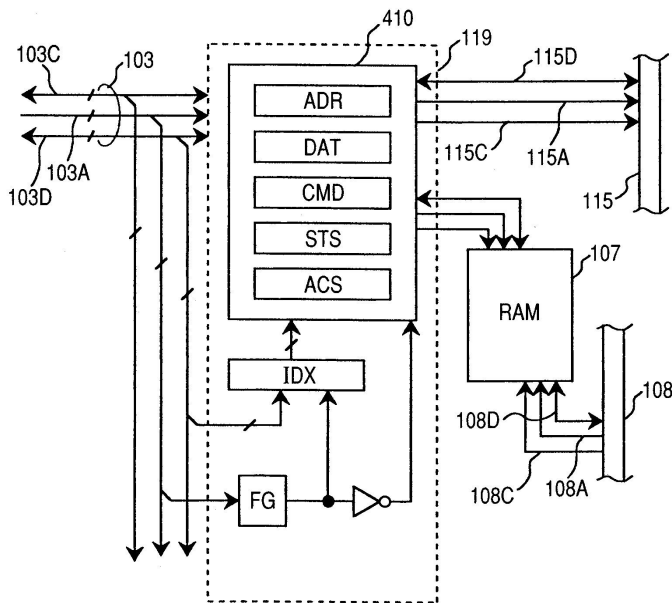
도면3



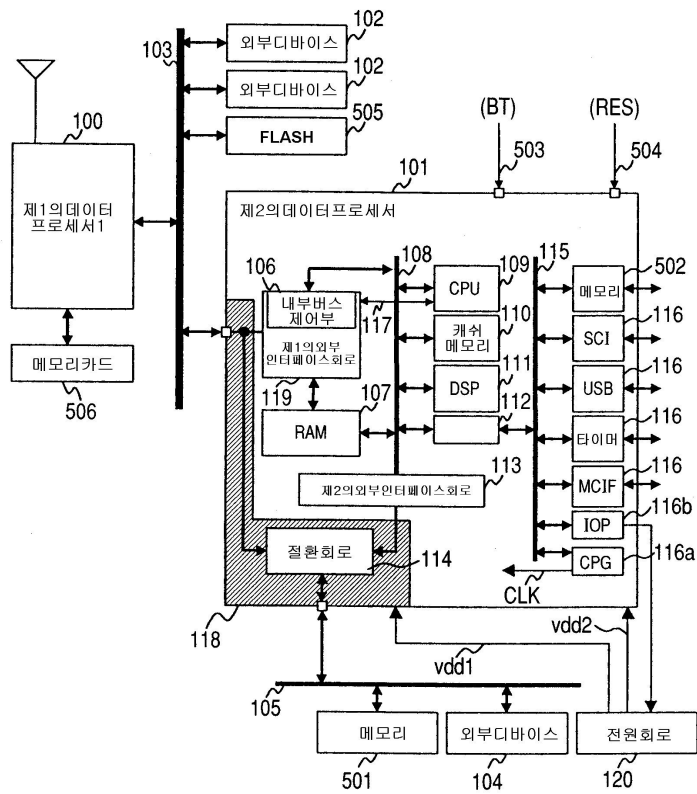
도면4



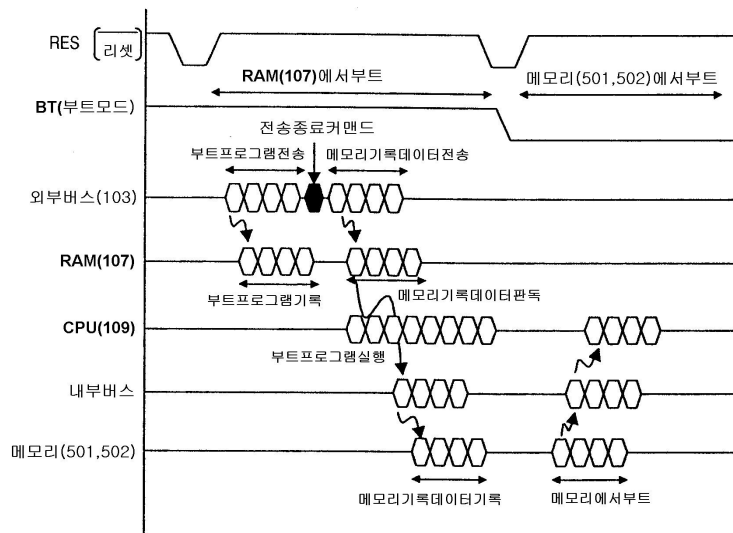
도면5



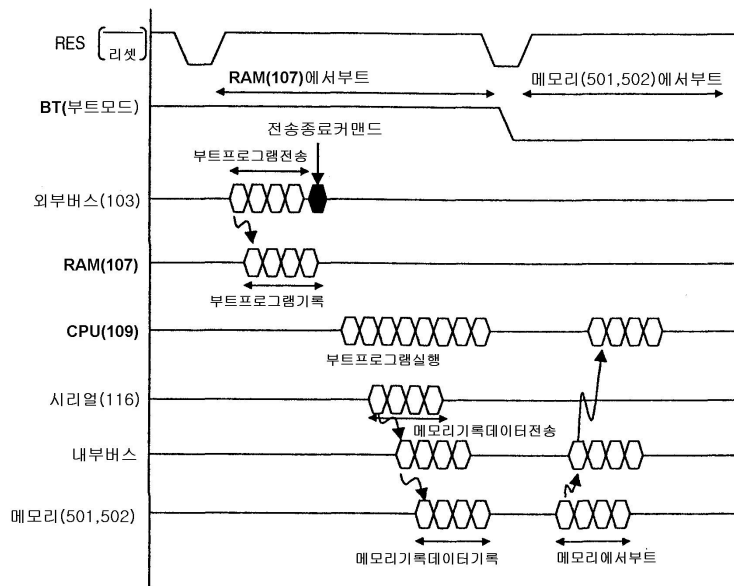
도면6



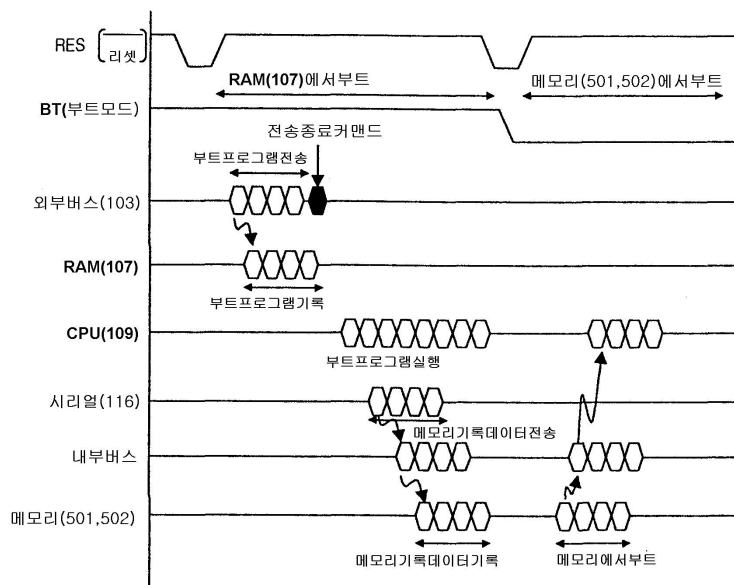
도면7



도면8



도면9



도면10

