

(21) 申請案號：098103808

(22) 申請日：中華民國 98 (2009) 年 02 月 06 日

(51) Int. Cl. : **G06F13/14 (2006.01)**

(30) 優先權：2008/11/25 美國 12/277,450

(71) 申請人：聯發科技股份有限公司 (中華民國) MEDIATEK INC. (TW)

新竹市新竹科學工業園區篤行一路 1 號

(72) 發明人：簡國龍 CHIEN, KUO LUNG (TW)；薛景文 HSUEH, CHING WEN (TW)

(74) 代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：25 項 圖式數：5 共 33 頁

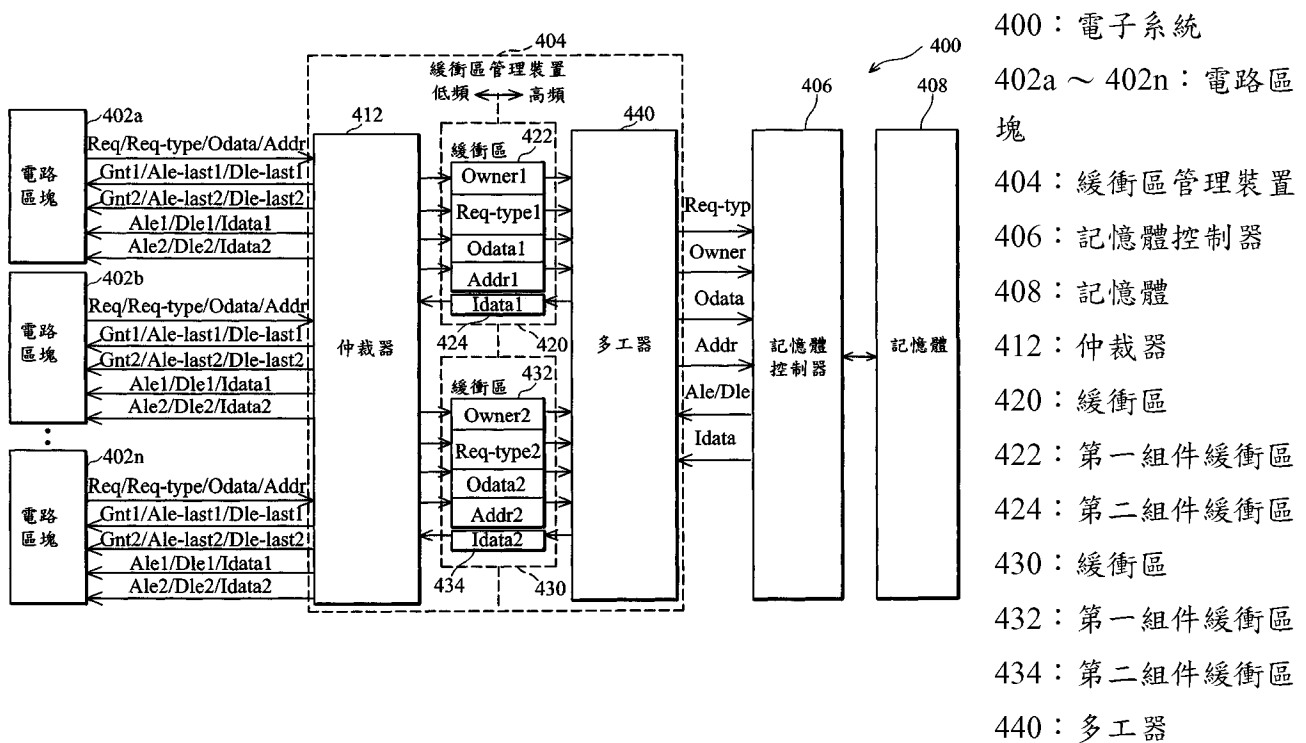
(54) 名稱

緩衝區管理裝置及記憶體的緩衝區管理方法

APPARATUS AND METHOD FOR BUFFER MANAGEMENT FOR A MEMORY

(57) 摘要

本發明提供一種緩衝區管理裝置及記憶體的緩衝區管理方法，該裝置耦接於記憶體和電路區塊間，包括：仲裁器，從電路區塊中為緩衝區選擇持有者，傳送存取請求信號至相應的緩衝區，傳送存取響應信號至持有者以回應存取請求信號；緩衝區，緩衝存取請求信號和存取響應信號；以及多工器，交替從緩衝區獲取存取請求信號以產生記憶體存取信號，發送記憶體存取信號至記憶體控制器，接收記憶體響應信號以回應記憶體存取信號，將記憶體響應信號作為存取響應信號分配至緩衝區。利用本發明可減少緩衝區數目、晶片面積和電力消耗，增加記憶體的資料帶寬。



(21) 申請案號：098103808

(22) 申請日：中華民國 98 (2009) 年 02 月 06 日

(51) Int. Cl. : **G06F13/14 (2006.01)**

(30) 優先權：2008/11/25 美國 12/277,450

(71) 申請人：聯發科技股份有限公司 (中華民國) MEDIATEK INC. (TW)

新竹市新竹科學工業園區篤行一路 1 號

(72) 發明人：簡國龍 CHIEN, KUO LUNG (TW)；薛景文 HSUEH, CHING WEN (TW)

(74) 代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：25 項 圖式數：5 共 33 頁

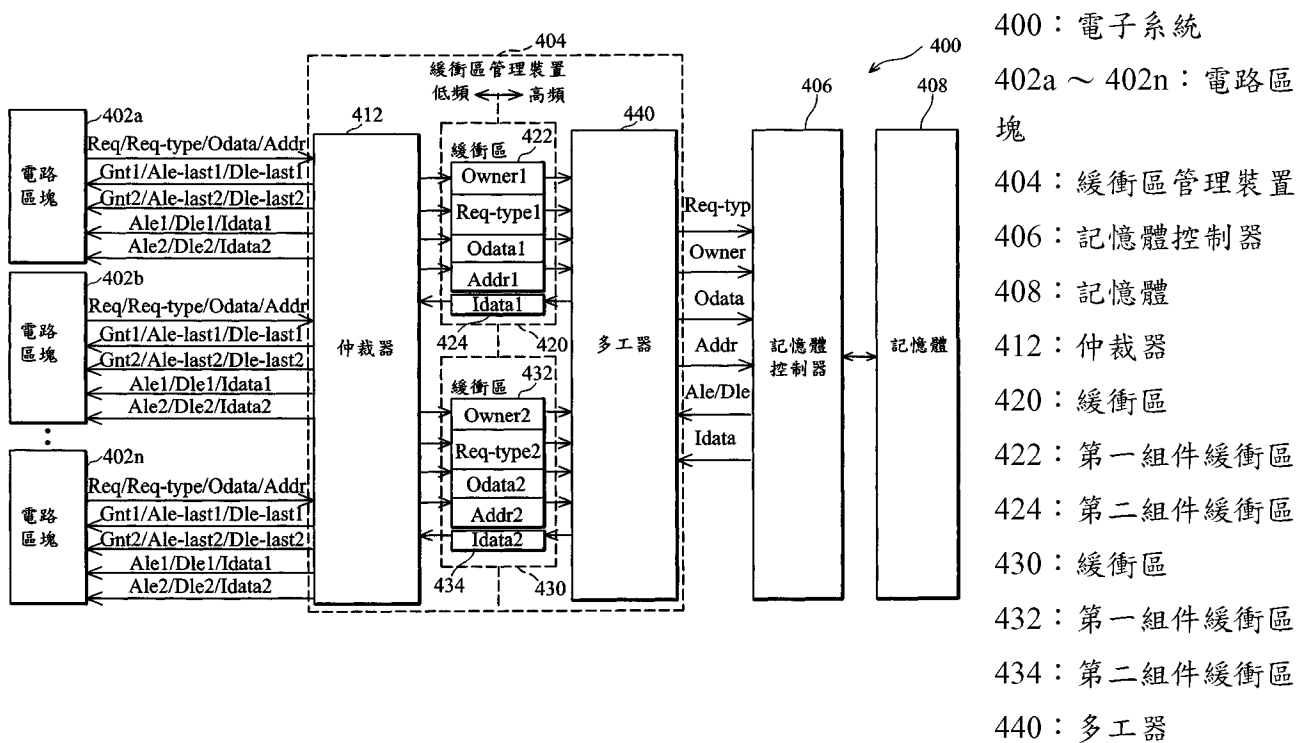
(54) 名稱

緩衝區管理裝置及記憶體的緩衝區管理方法

APPARATUS AND METHOD FOR BUFFER MANAGEMENT FOR A MEMORY

(57) 摘要

本發明提供一種緩衝區管理裝置及記憶體的緩衝區管理方法，該裝置耦接於記憶體和電路區塊間，包括：仲裁器，從電路區塊中為緩衝區選擇持有者，傳送存取請求信號至相應的緩衝區，傳送存取響應信號至持有者以回應存取請求信號；緩衝區，緩衝存取請求信號和存取響應信號；以及多工器，交替從緩衝區獲取存取請求信號以產生記憶體存取信號，發送記憶體存取信號至記憶體控制器，接收記憶體響應信號以回應記憶體存取信號，將記憶體響應信號作為存取響應信號分配至緩衝區。利用本發明可減少緩衝區數目、晶片面積和電力消耗，增加記憶體的資料帶寬。



六、發明說明：

【發明所屬之技術領域】

本發明有關於記憶體(memory)，更特別地，係有關於記憶體的緩衝區管理(buffer management)。

【先前技術】

記憶體是電子系統的常用組件(component)。具有記憶體的電子系統可包含多個需存取(access)記憶體的組件裝置。然而，記憶體一次只能服務一個組件裝置的一個存取請求。因此，當電子系統的多個組件裝置在同一時間請求存取記憶體時，則需要緩衝區管理裝置來處置(handle)多個組件裝置對記憶體的存取請求。

第 1 圖為具有習用緩衝區管理裝置 104 的電子系統 100 的方塊示意圖。除緩衝區管理裝置 104 之外，電子系統 100 還包含多個電路區塊 102a~102n、記憶體控制器 106 和記憶體 108。電路區塊 102a~102n 分別連接於電子系統 100 的多個組件裝置，並且當組件裝置需存取記憶體 108 時，相應的電路區塊產生發送至緩衝區管理裝置 104 的存取請求信號(Req)。存取請求信號包含請求模式資訊(Mode)和將要寫入記憶體 108 的資料(Odata)，其中請求模式資訊指示存取請求的類型，例如讀取請求、寫入請求、位元組讀取請求、位元組寫入請求、遮罩讀取請求或遮罩寫入請求。

緩衝區管理裝置 104 包括一仲裁器 112、一模式鎖存電路 114 和一位址產生器 116。當仲裁器 112 在同一時間

從電路區塊 102a~102n 接收到多個存取請求信號時，仲裁器 112 從多個電路區塊 102a~102n 中選擇一個持有者 (owner) 以發送存取請求信號至記憶體 108。在選擇持有者後，仲裁器 112 發送一授與信號 (Gnt) 至持有者，以通知該電路區塊其存取請求已得到授與。接著，模式鎖存電路 114 儲存由持有者發送的存取請求的請求模式資訊 (Mode)。然後，根據仲裁器 112 選擇的持有者和儲存於模式鎖存電路 114 的請求模式資訊，位址產生器 116 產生位址資訊 (Addr)，其中位址資訊可指示由持有者存取的記憶體位址。

在選擇持有者後，仲裁器 112 產生關於發送存取請求的持有者的持有者資訊。並且，根據由持有者產生的請求模式資訊，仲裁器 112 也產生請求類型資訊 (Req-type)，其中請求類型資訊可指示存取請求的類型，例如讀取請求或寫入請求。因此，可形成包含持有者資訊、請求類型資訊、寫入資料 (Odata) 和位址資訊的記憶體存取請求信號，並將該記憶體存取請求信號傳輸至記憶體控制器 106。

接著，記憶體控制器 106 根據記憶體存取請求信號存取記憶體 108，產生一記憶體響應信號以響應該記憶體存取請求信號。在一實施例中，記憶體響應信號包括位址門賦能信號 (Ale)、來自記憶體控制器 106 的資料門賦能信號 (Dle)、根據記憶體存取請求信號自記憶體 108 讀取的資料 (Idata)。位址門賦能信號通知持有者現有位址已存取過，並請求一新位址。資料門賦能信號通知持有者現有資料已輸出給持有者。

接著，仲裁器 112 把位址門賦能信號、資料門賦能信

號和讀出資料作為存取響應信號轉送給從多個電路區塊 102a~102n 選擇出的持有者。電路區塊發送一位址增量信號(Ptr-inc)至位址產生器 116，以遞增位址資訊的位址。當一存取請求信號請求的所有位址均已存取後，仲裁器 112 發送位址門完成信號(Ale-last)以通知持有者。當一存取請求信號請求的所有資料均已自記憶體 108 讀出後，仲裁器 112 發送資料門完成信號(Dle-last)以通知持有者。在現有持有者的所有存取請求完成後，仲裁器 112 從其他電路區塊 102a~102n 中選擇能夠存取記憶體 108 的下一個持有者，並且下一個持有者重覆相同的記憶體存取程序。

緩衝區管理裝置 104 藉由模式鎖存電路 114 和位址產生器 116 產生位址資訊(Addr)。如果存取記憶體的電路區塊可獨立產生位址資訊，則模式鎖存電路 114 和位址產生器 116 可從緩衝區管理裝置 104 中刪除(omit)。

參考第 2 圖，第 2 圖為具有另一個習用緩衝區管理裝置 204 的電子系統 200 的方塊示意圖。多個電路區塊 202a~202n 直接產生存取請求，其中存取請求包含請求類型資訊(Req-type)、寫入資料(Odata)和存取位址(Addr)。在仲裁器 212 從電路區塊 202a~202n 中選擇記憶體 208 的一持有者後，仲裁器 212 直接將由持有者產生的請求類型資訊、寫入資料和存取位址作為記憶體存取信號轉送給記憶體控制器 206。因此，在如第 2 圖所示的緩衝區管理裝置 204 中，不存在模式鎖存電路 114 和位址產生器 116。

隨著電子系統的發展，對記憶體的帶寬需求正逐漸增加。然而，為了獲得更高的帶寬，需犧牲一些性能（例如

晶片面積或者電力消耗)來適應時序要徑(timing critical path)。因此，需要一作為記憶體和組件電路間接口介面的緩衝區管理裝置來解決此問題。

【發明內容】

由於在現有技術中對電子系統的記憶體帶寬需求逐漸增加，而為了獲得更高的帶寬，需犧牲晶片面積或者電力消耗等性能來適應時序要徑，有鑒於此，本發明的目的之一是提供一種緩衝區管理裝置及記憶體的緩衝區管理方法。

本發明提供一種緩衝區管理裝置，耦接於一記憶體和存取該記憶體的多個電路區塊間，其中該緩衝區管理裝置包括：一仲裁器，從該電路區塊中為多個緩衝區選擇多個持有者，傳送該多個持有者產生的多個存取請求信號至相應的緩衝區，並傳送由該相應緩衝區獲取到的多個存取響應信號至該多個持有者以回應該多個存取請求信號；該多個緩衝區，緩衝由該多個持有者產生的該多個存取請求信號，並且緩衝發送至該多個持有者的該多個存取響應信號；以及一多工器，交替從該多個緩衝區獲取該多個存取請求信號，以產生一記憶體存取信號，發送該記憶體存取信號至該記憶體的一記憶體控制器，接收由該記憶體控制器產生的一記憶體響應信號以回應該記憶體存取信號，將該記憶體響應信號作為該多個存取響應信號分配至該多個緩衝區。

本發明另提供一種記憶體的緩衝區管理方法，其中多

個電路區塊請求存取該記憶體，該方法包括：為多個緩衝區從該電路區塊中選擇多個持有者；由該多個緩衝區緩衝該多個持有者產生的多個存取請求信號；交替的自該多個緩衝區獲取該多個存取請求信號，以產生一傳送至該記憶體的一記憶體控制器的記憶體存取信號；在接收一記憶體響應信號後，將該記憶體響應信號作為多個存取響應信號分配至該多個緩衝區，其中該記憶體響應信號係為回應該記憶體存取信號而由該記憶體控制器產生；由該緩衝區緩衝該多個存取響應信號；以及從該多個緩衝區獲取該多個存取響應信號，傳送該多個存取響應信號至該多個持有者以回應該多個存取請求信號。

本發明另提供一種緩衝區管理裝置，耦接於一記憶體和存取該記憶體的多個電路區塊間，其中該緩衝區管理裝置包括：一仲裁器，從該多個電路區塊中為一緩衝區的多個導管選擇多個持有者，傳送該多個持有者產生的多個存取請求信號至該相應的導管，並傳送自該相應導管獲取到的多個存取響應信號至該多個持有者以回應該多個存取請求信號；該緩衝區，包括該多個導管，其中每個導管緩衝由該相應持有者產生的該多個存取請求信號，並且緩衝發送至該相應持有者的該多個存取響應信號；以及一多工器，交替從該緩衝區的該多個導管獲取該多個存取請求信號，以產生一記憶體存取信號，發送該記憶體存取信號至該記憶體的一記憶體控制器，接收由該記憶體控制器產生的一記憶體響應信號以回應該記憶體存取信號，將該記憶體響應信號作為該多個存取響應信號分配至該多個導管。

利用本發明可以更有效的使用緩衝區，減少緩衝區的數目、晶片面積和電力消耗。並且藉由高操作頻率，本發明可增加記憶體的资料帶寬以改進系統效能。

【實施方式】

為了讓本發明之目的、特徵、及優點能更明顯易懂，下文特舉較佳實施例做詳細之說明。實施例係為說明本發明之用，並非用以限制本發明。本發明的保護範圍以所附申請專利範圍為準。

第3圖為根據本發明具有緩衝區管理裝置304的電子系統300的方塊示意圖。除了緩衝區管理裝置304外，電子系統300還包含多個電路區塊302a~302n、記憶體控制器306和記憶體308。記憶體308和記憶體控制器306的操作頻率比電路區塊302a~302n的操作頻率高。總體上來說，高頻的範圍為低頻的一到兩倍。在一實施例中，高頻為低頻的兩倍。因此，與第1圖中的緩衝區管理裝置104相比，緩衝區管理裝置304具有介面的區別性特征，該介面耦接(couple)於具有不同的操作頻率的記憶體308和電路區塊302a~302n之間。

緩衝區管理裝置304包含仲裁器312、兩個模式鎖存電路314和315、兩個位址產生器316和317、兩個緩衝區320和330以及多工器340。仲裁器312操作頻率為低頻，多工器340操作頻率為高頻。當電路區塊302a~302n需存取記憶體308時，電路區塊302a~302n發送存取請求(Req)至仲裁器312。在一實施例中，存取請求包含請求模式資

訊(Mode)和寫入資料(Odata)，其中請求模式資訊可指示該存取請求為讀取請求或寫入請求。以本實施例中具有兩個模式的兩個持有者為例，當仲裁器 312 在同一時間從電路區塊 302a~302n 接收到多個存取請求時，根據電路區塊 302a~302n 的優先級別，仲裁器 312 從電路區塊 302a~302n 中為兩個緩衝區 320 和 330 選擇兩個發送存取請求的持有者。每個持有者專用於緩衝區 320 和 330 的其中之一，且從電路區塊 302a~302n 中選擇的兩個持有者可以是相同的電路區塊，也可以是不同的電路區塊。

在選擇緩衝區 320 和 330 的持有者後，仲裁器 312 發送授與信號(Gnt)至兩個持有者，以通知電路區塊其存取請求已得到授與。接著，模式鎖存電路 314 和 315 分別儲存由兩個持有者發送的存取請求的請求模式資訊(Mode)。然後，根據儲存於模式鎖存電路 314 和 315 的請求模式資訊，位址產生器 316 和 317 分別產生位址資訊(Addr1 和 Addr2)，其中位址資訊可分別指示由兩個持有者存取的記憶體位址。

在選擇每個緩衝區 320 和 330 的持有者後，仲裁器 312 分別產生持有者資訊(Owner1 和 Owner2)，持有者資訊分別指示發送存取請求的持有者。並且，根據由兩個持有者產生的請求模式資訊(Mode)，仲裁器 312 也產生請求類型資訊(Req-type1 和 Req-type2)，其中請求類型資訊可指示存取請求為讀取請求或寫入請求。因此，可形成相應於緩衝區 322 的第一持有者的第一存取請求信號並傳輸至緩衝區 320，以及形成相應於緩衝器 332 的第二持有者的第二存取

請求信號並傳輸至緩衝器 330，其中第一存取請求信號包含持有者資訊(Owner1)、請求類型資訊(Req-type1)、寫入資料(Odata1)和位址資訊(Addr1)，第二存取請求信號包含持有者資訊(Owner2)、請求類型資訊(Req-type2)、寫入資料(Odata2)和位址資訊(Addr2)。

緩衝區 320 包括第一組件緩衝區 322 以及第二組件緩衝區 324，緩衝區 330 亦包括第一組件緩衝區 332 以及第二組件緩衝區 334。在一實施例中，第一組件緩衝區 322 和 332 以及第二組件緩衝區 324 和 334 均為先進先出(FIFO)環緩衝區(ring buffer)。第一組件緩衝區 322 和 332 分別緩衝第一持有者的第一存取請求信號和第二持有者的第二存取請求信號。例如，第一組件緩衝區 322 儲存第一持有者的由第一存取請求信號所運載(carry)的持有者資訊(Owner1)、請求類型資訊(Req-type1)、寫入資料(Odata1)和存取位址(Addr1)，第二組件緩衝區 332 儲存第二持有者的由第二存取請求信號所運載的持有者資訊(Owner2)、請求類型資訊(Req-type2)、寫入資料(Odata2)和存取位址(Addr2)。

接著，多工器 340 分別從組件緩衝區 322 和 332 獲取(retrieve)第一存取請求信號和第二存取請求信號。然後多工器 340 交替選擇第一存取請求信號和第二存取請求信號作為記憶體存取信號，並以高頻將記憶體存取信號傳送至記憶體控制器 306。舉例來說，包含儲存於第一組件緩衝區 322 的持有者資訊(Owner1)、請求類型資訊(Req-type1)、寫入資料(Odata1)和存取位址 (Addr1) 的第一存取請求信

號首先作為記憶體存取信號被傳送至記憶體控制器 306。在記憶體控制器 306 完全接收關於第一存取請求信號的記憶體存取信號後，第二存取請求信號(包括 Owner2, Req-type2, Odata2, 及 Addr2)作為記憶體存取信號被傳送至記憶體控制器 306。

第一存取請求信號和第二存取請求信號的資料以低頻傳送至第一組件緩衝區 322 和 332。當多工器 340 的操作頻率比普通架構的頻率高時，電子系統 300 的操作帶寬將近似線性的增加。

記憶體控制器 306 根據該記憶體存取信號存取記憶體 308，並且產生高頻記憶體響應信號以響應記憶體存取信號。在一實施例中，記憶體響應信號包括從記憶體 308 導出的讀出資料(Idata)，和自記憶體控制器 306 導出的位址門賦能(Ale)資訊及資料門賦能(Dle)資訊。在多工器 340 自記憶體控制器 306 接收到記憶體響應信號後，多工器 340 以高頻交替將該記憶體響應信號分配至緩衝區 320 和 330，作為第一存取響應信號和第二存取響應信號。第一存取響應信號儲存在緩衝區 320 的第二組件緩衝區 324 中，第二存取響應信號儲存在緩衝器 330 的第二組件緩衝區 334 中。在一實施例中，第一存取響應信號和第二存取響應信號包括根據記憶體存取請求信號由記憶體控制器 306 自記憶體 308 獲取的讀出資料(Idata1 和 Idata2)。

接著，仲裁器 312 自第二組件緩衝區 324 和 334 中獲取存取響應信號，並將存取響應信號以低頻傳送至持有者。因為一個電路區塊可能是緩衝區 320 或緩衝區 330 的

持有者，電路區塊 302a~302n 可接收自緩衝區 320 獲取的讀出資料 (Idata1) 或自緩衝區 330 獲取的讀出資料 (Idata2)。如果一電路區塊同時是緩衝區 320 和緩衝區 330 的持有者，則該電路區塊同時接收讀出資料 (Idata1 和 Idata2)。

並且，當現行位址已經過存取，仲裁器 312 產生一位址門信號 (Ale1/Ale2) 以向持有者請求新位址。當現行資料已輸出給持有者，仲裁器 312 產生一資料門信號 (Dle1/Dle2) 以通知持有者。當存取請求信號請求的所有位址已經存取時，仲裁器 312 發送位址門完成信號 (Ale-last1/Ale-last2)，以通知持有者。當存取請求信號請求的所有資料已經自第二組件緩衝區 324 或 334 讀出時，仲裁器 312 發送資料門完成信號 (Dle-last1/Dle-last2)，以通知持有者。

如果存取記憶體的電路區塊 302a~302n 可獨立產生位址資訊，則模式鎖存電路 314 和 315 以及位址產生器 316 和 317 可從緩衝區管理裝置 304 中刪除。

參考第 4 圖，第 4 圖為根據本發明具有另一個緩衝區管理裝置 404 的電子系統 400 的方塊示意圖。多個電路區塊 402a~402n 直接產生存取請求 (Req)，其中存取請求包含請求類型資訊 (Req-type)、寫入資料 (Odata) 和存取位址 (Addr)。在仲裁器 412 從電路區塊 402a~402n 中選擇緩衝區 420 和 430 的持有者後，仲裁器 412 直接將由持有者產生的請求類型資訊 (Req-type)、寫入資料 (Odata) 和存取位址 (Addr) 轉送給緩衝區 420 和 430。在如第 4 圖所示的緩衝區管理裝置 404 中，不存在模式鎖存電路 314 和 314 以及位

址產生器 316 和 317，其中第 4 圖所示的第一組件緩衝區 422 和 432、第二組件緩衝區 424 和 434、多工器 440 及記憶體控制器 406 與第 3 圖中類似。

記憶體 308 和 408 的高頻受限於低頻一到兩倍的範圍。當記憶體的高頻高於存取記憶體電路區塊的低頻的兩倍時，第 3 圖和第 4 圖所示的緩衝區管理裝置 304 和 404 的架構可以延伸形成一新的介於電路區塊和記憶體間的緩衝區管理裝置。舉例來說，當記憶體操作高頻為電路區塊低頻的 N 倍時（即，該高頻除以該低頻等於 N ），新的緩衝區管理裝置包括 M 個緩衝區，其中緩衝區的數目 M 值為不小於商數(quotient) N 的最小整數。在一實施例中，新的緩衝區管理裝置還包括 M 個模式鎖存電路和 M 個位址產生器。

參考第 5 圖，第 5 圖為根據本發明具有另一緩衝區管理裝置 504 的電子系統 500 的方塊示意圖。緩衝區管理裝置 504 包括仲裁器 512、一包括多個導管 552a~552m 的緩衝區 550 和多工器 540。除了緩衝區 550 外，緩衝區管理裝置 504 與第 4 圖所示的緩衝區管理裝置 404 相似。多個電路區塊 502a~502n 請求存取記憶體 508 並發送存取請求信號 $Req_1 \sim Req_n$ 至緩衝區管理裝置 504 的仲裁器 512。在一實施例中，存取請求信號 $Req_1 \sim Req_n$ 與第 3 圖和第 4 圖所示的存取請求信號相同。接著，仲裁器 512 自電路區塊 502a~502n 中為緩衝區 550 的導管 552a~552m 選擇多個持有者；並且將持有者產生的存取請求信號 $Req_a \sim Req_m$ 傳送至相應的導管 552a~552m。

導管 552a~552m 的操作與第 4 圖所示的緩衝區 422 和 432 相似，並且緩衝由相應的持有者產生的存取請求信號 $Req_a \sim Req_m$ 。接著，多工器 540 交替的自緩衝區 550 的導管 552a~552m 中獲取存取請求信號 $Req_a \sim Req_m$ 以產生記憶體存取信號 MA，並發送該記憶體存取信號 MA 至記憶體 508 的記憶體控制器 506。記憶體控制器 506 接著根據記憶體存取信號 MA 自記憶體 508 中獲取資料，以產生記憶體響應信號 MR。在多工器 540 接收到由記憶體控制器 506 產生的記憶體響應信號 MR 後，多工器 540 將記憶體響應信號 MR 作為存取響應信號 $Rep_a \sim Rep_m$ 分配至導管 552a~552m。

接著，緩衝區 550 的導管 552a~552m 緩衝存取響應信號 $Rep_a \sim Rep_m$ 。在一實施例中，存取響應信號 $Rep_a \sim Rep_m$ 與第 3 圖和第 4 圖中的記憶體響應信號相同，其中記憶體響應信號包括讀出資料(Idata)、位址門賦能(Ale)資訊和資料門賦能(Dle)資訊。仲裁器 512 接著自導管 552a~552m 中獲取存取響應信號 $Rep_a \sim Rep_m$ ，並將存取響應信號 $Rep_a \sim Rep_m$ 作為存取響應信號 $Rep_1 \sim Rep_n$ 傳送至持有者 502a~502n 以回應存取請求信號 $Req_1 \sim Req_n$ 。在一實施例中，記憶體 508 和記憶體控制器 506 操作頻率為高頻，電路區塊 502a~502n 操作頻率為低頻。多工器 540 發送記憶體存取信號 MA 至記憶體控制器 506，並且以高頻自記憶體控制器 506 接收記憶體響應信號 MR，仲裁器 512 自電路區塊 502a~502n 接收存取請求信號 $Req_1 \sim Req_n$ ，並且以低頻傳送存取響應信號 $Rep_1 \sim Rep_n$ 至電路區塊 502a~

502n。

依據本發明的實施例，本發明亦提供一種記憶體的緩衝區管理方法，其中多個電路區塊請求存取該記憶體，記憶體的緩衝區管理方法包括下列步驟：為多個緩衝區從該多個電路區塊中選擇多個持有者；由該多個緩衝區緩衝該多個持有者產生的多個存取請求信號；交替的自該多個緩衝區獲取該多個存取請求信號，以產生一傳送至該記憶體的一記憶體控制器的記憶體存取信號；在接收一記憶體響應信號後，將該記憶體響應信號作為多個存取響應信號分配至該多個緩衝區，其中該記憶體響應信號係為回應該記憶體存取信號而由該記憶體控制器產生；由該多個緩衝區緩衝該多個存取響應信號；以及從該多個緩衝區獲取該多個存取響應信號，傳送該多個存取響應信號至該多個持有者以回應該多個存取請求信號。

本發明提供的一種緩衝區管理裝置，介面連接多個電路區塊和一記憶體，其中存取記憶體的電路區塊操作頻率為低頻，記憶體操作頻率為高頻。藉由這些實施例，可以更有效的使用緩衝區，減少緩衝區的數目、晶片面積和電力消耗。並且藉由高操作頻率，可增加記憶體的資料帶寬以改進系統效能。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖為具有習用緩衝區管理裝置的電子系統的方塊示意圖；

第 2 圖為具有另一個習用緩衝區管理裝置的電子系統的方塊示意圖；

第 3a、3b 圖為根據本發明具有緩衝區管理裝置的電子系統的方塊示意圖；

第 4 圖為根據本發明具有另一個緩衝區管理裝置的電子系統的方塊示意圖；

第 5 圖為根據本發明具有另一緩衝區管理裝置的電子系統的方塊示意圖。

【主要元件符號說明】

100、200、300、400、500：電子系統；

104、204、304、404、504：緩衝區管理裝置；

102a~102n、202a~202n、302a~302n、402a~402n、502a~502n：電路區塊；

106、206、306、406、506：記憶體控制器；

108、208、308、408、508：記憶體；

112、212、312、412、512：仲裁器；

114、314、315：模式鎖存電路；

116、316、317：位址產生器；

320、330、420、430、550：緩衝區；

340、440、540：多工器；

201020789

322、332、422、432：第一組件緩衝區；

324、334、424、434：第二組件緩衝區；

552a~552m：導管。

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 98103808

※申請日： 98.02.06 ※IPC 分類： G06F 13/14 (2006.01)

一、發明名稱：(中文/英文)

緩衝區管理裝置及記憶體的緩衝區管理方法

Apparatus and method for buffer management for a memory

二、中文發明摘要：

本發明提供一種緩衝區管理裝置及記憶體的緩衝區管理方法，該裝置耦接於記憶體和電路區塊間，包括：仲裁器，從電路區塊中為緩衝區選擇持有者，傳送存取請求信號至相應的緩衝區，傳送存取響應信號至持有者以回應存取請求信號；緩衝區，緩衝存取請求信號和存取響應信號；以及多工器，交替從緩衝區獲取存取請求信號以產生記憶體存取信號，發送記憶體存取信號至記憶體控制器，接收記憶體響應信號以回應記憶體存取信號，將記憶體響應信號作為存取響應信號分配至緩衝區。利用本發明可減少緩衝區數目、晶片面積和電力消耗，增加記憶體的資料帶寬。

三、英文發明摘要：

The invention provides a buffer management apparatus coupled between a memory and a plurality of circuit blocks accessing the memory. In one embodiment, the buffer management apparatus comprises an arbiter, a plurality of

buffers, and a multiplexer. The arbiter selects a plurality of owners for the buffers from the circuit blocks, passes a plurality of access request signals generated by the owners to the corresponding buffers, and delivers a plurality of access response signals retrieved from the corresponding buffers to the owners in reply to the access request signals. The multiplexer alternately retrieves the access request signals from the buffers to generate a memory access signal delivered to a memory controller of the memory, receives a memory response signal generated by the memory controller in reply to the memory access signal, and distributes the memory response signal to the buffers as the access response signals.

七、申請專利範圍：

1.一種緩衝區管理裝置，耦接於一記憶體和多個電路區塊間，其中該多個電路區塊用於存取該記憶體，該緩衝區管理裝置包括：

一仲裁器，從該多個電路區塊中為多個緩衝區選擇多個持有者，傳送該多個持有者產生的多個存取請求信號至相應的緩衝區，並傳送由該多個相應緩衝區獲取到的多個存取響應信號至該多個持有者以回應該多個存取請求信號；

該多個緩衝區，緩衝由該多個持有者產生的該多個存取請求信號，並且緩衝發送至該多個持有者的該多個存取響應信號；以及

一多工器，交替從該多個緩衝區獲取該多個存取請求信號，以產生一記憶體存取信號，發送該記憶體存取信號至該記憶體的一記憶體控制器，接收由該記憶體控制器產生的一記憶體響應信號以回應該記憶體存取信號，將該記憶體響應信號作為該多個存取響應信號分配至該多個緩衝區。

2.如申請專利範圍第 1 項所述之緩衝區管理裝置，其中該記憶體和該記憶體控制器操作頻率為高頻，該多個電路區塊操作頻率為低頻，該多工器以高頻發送該記憶體存取信號至該記憶體控制器，並以高頻自該記憶體控制器接收該記憶體響應信號；該仲裁器以低頻自該多個持有者接收該多個存取請求信號，並以低頻傳送該多個存取響應信號至該多個持有者。

3.如申請專利範圍第 1 項所述之緩衝區管理裝置，其中該多個緩衝區為先進先出環緩衝區。

4.如申請專利範圍第 2 項所述之緩衝區管理裝置，其中該多個緩衝區的數目為不小於將該高頻除以該低頻所得商數的最小整數。

5.如申請專利範圍第 1 項所述之緩衝區管理裝置，其中該多個緩衝區中的每一個包括：

一第一組件緩衝區，用於緩衝該多個持有者產生的該多個存取請求信號，其中該多個存取請求信號由該仲裁器指定給該多個緩衝區；以及

一第二組件緩衝區，用於緩衝發送至該多個持有者的該多個存取響應信號，其中該多個存取響應信號由該仲裁器指定給該多個緩衝區。

6.如申請專利範圍第 1 項所述之緩衝區管理裝置，其中每個該存取請求信號包括持有者資訊、請求模式資訊、寫入資料和位址資訊，其中該持有者資訊指示發送該存取請求信號的持有者，該請求模式資訊指示一存取請求為一讀取請求或一寫入請求，該位址資訊指示該記憶體的存取位址。

7.如申請專利範圍第 1 項所述之緩衝區管理裝置，其中該存取響應信號包括根據該存取請求信號由該記憶體控制器從該記憶體獲取出讀出資料。

8.如申請專利範圍第 6 項所述之緩衝區管理裝置，其中該緩衝區管理裝置更包括：

多個模式鎖存電路，該每個模式鎖存電路專用於其中

一個該緩衝區，以儲存由相應緩衝區的持有者產生的請求模式資訊；以及

多個位址產生器，耦接於該多個模式鎖存電路和該多個緩衝區間，該每個位址產生器專用於其中一個該緩衝區，根據該請求模式資訊和該持有者資訊產生位址資訊，其中該位址資訊作為傳送至該相應緩衝區的該存取請求信號的一部分；

其中，該多個模式鎖存電路的數目和該多個位址產生器的數目均與該多個緩衝區的數目相等。

9.如申請專利範圍第 2 項所述之緩衝區管理裝置，其中該多工器操作頻率為高頻，該仲裁器操作頻率為低頻。

10.如申請專利範圍第 1 項所述之緩衝區管理裝置，其中該仲裁器根據該多個電路區塊的優先級別從該多個電路區塊中選擇相應於該多個緩衝區的該多個持有者。

11.一種記憶體的緩衝區管理方法，其中多個電路區塊請求存取該記憶體，該方法包括：

為多個緩衝區從該多個電路區塊中選擇多個持有者；
由該多個緩衝區緩衝該多個持有者產生的多個存取請求信號；

交替的自該多個緩衝區獲取該多個存取請求信號，以產生一傳送至該記憶體的一記憶體控制器的記憶體存取信號；

在接收一記憶體響應信號後，將該記憶體響應信號作為多個存取響應信號分配至該多個緩衝區，其中該記憶體響應信號係為回應該記憶體存取信號而由該記憶體控制器

產生；

由該多個緩衝區緩衝該多個存取響應信號；以及

從該多個緩衝區獲取該多個存取響應信號，傳送該多個存取響應信號至該多個持有者以回應該多個存取請求信號。

12.如申請專利範圍第 11 項所述之記憶體的緩衝區管理方法，其中該記憶體和該記憶體控制器操作頻率為高頻，該電路區塊操作頻率為低頻，該多個存取請求信號和該多個存取響應信號由低頻生成，該記憶體請求信號和該記憶體響應信號由高頻生成。

13.如申請專利範圍第 11 項所述之記憶體的緩衝區管理方法，其中該多個緩衝區為先進先出環緩衝區。

14.如申請專利範圍第 11 項所述之記憶體的緩衝區管理方法，其中該多個緩衝區的數目為不小於將該高頻除以該低頻所得商數的最小整數。

15.如申請專利範圍第 11 項所述之記憶體的緩衝區管理方法，其中該每個緩衝區包括：

一第一組件緩衝區，用於緩衝該多個持有者產生的該多個存取請求信號，其中該多個存取請求信號由一仲裁器指定給該多個緩衝區；以及

一第二組件緩衝區，用於緩衝發送至該多個持有者的該多個存取響應信號，其中該多個存取響應信號由該仲裁器指定給該多個緩衝區。

16.如申請專利範圍第 11 項所述之記憶體的緩衝區管理方法，其中該每個存取請求信號包括持有者資訊、請求

模式資訊、寫入資料和位址資訊，其中該持有者資訊指示發送該存取請求信號的持有者，該請求模式資訊指示一存取請求為一讀取請求還是一寫入請求，該位址資訊指示該記憶體的存取位址。

17.如申請專利範圍第 11 項所述之記憶體的緩衝區管理方法，其中該多個存取響應信號包括根據該存取請求信號由該記憶體控制器從該記憶體獲取出讀出資料。

18.如申請專利範圍第 11 項所述之記憶體的緩衝區管理方法，其中根據該多個電路區塊的優先級別選擇相應於該多個緩衝區的該持有者。

19.一種緩衝區管理裝置，耦接於一記憶體和存取該記憶體的多個電路區塊間，其中該緩衝區管理裝置包括：

一仲裁器，從該多個電路區塊中為一緩衝區的多個導管選擇多個持有者，傳送該多個持有者產生的多個存取請求信號至該相應的導管，並傳送自該相應導管獲取到的多個存取響應信號至該多個持有者以回應該多個存取請求信號；

該緩衝區，包括該多個導管，其中每個導管緩衝由該相應持有者產生的該存取請求信號，並且緩衝發送至該相應持有者的該存取響應信號；以及

一多工器，交替從該緩衝區的多個導管獲取該多個存取請求信號，以產生一記憶體存取信號，發送該記憶體存取信號至該記憶體的一記憶體控制器，接收由該記憶體控制器產生的一記憶體響應信號以回應該記憶體存取信號，將該記憶體響應信號作為多個該存取響應信號分配至

該多個導管。

20.如申請專利範圍第 19 項所述之緩衝區管理裝置，其中該記憶體和該記憶體控制器操作頻率為高頻，該多個電路區塊操作頻率為低頻，該多工器以高頻發送該記憶體存取信號至該記憶體控制器，並以高頻自該記憶體控制器接收該記憶體響應信號；該仲裁器以低頻自該多個持有者接收該多個存取請求信號，並以低頻傳送該多個存取響應信號至該多個持有者。

21.如申請專利範圍第 20 項所述之緩衝區管理裝置，其中該多工器操作頻率為高頻，該仲裁器操作頻率為低頻。

22.如申請專利範圍第 19 項所述之緩衝區管理裝置，其中該多個導管中每個包括：

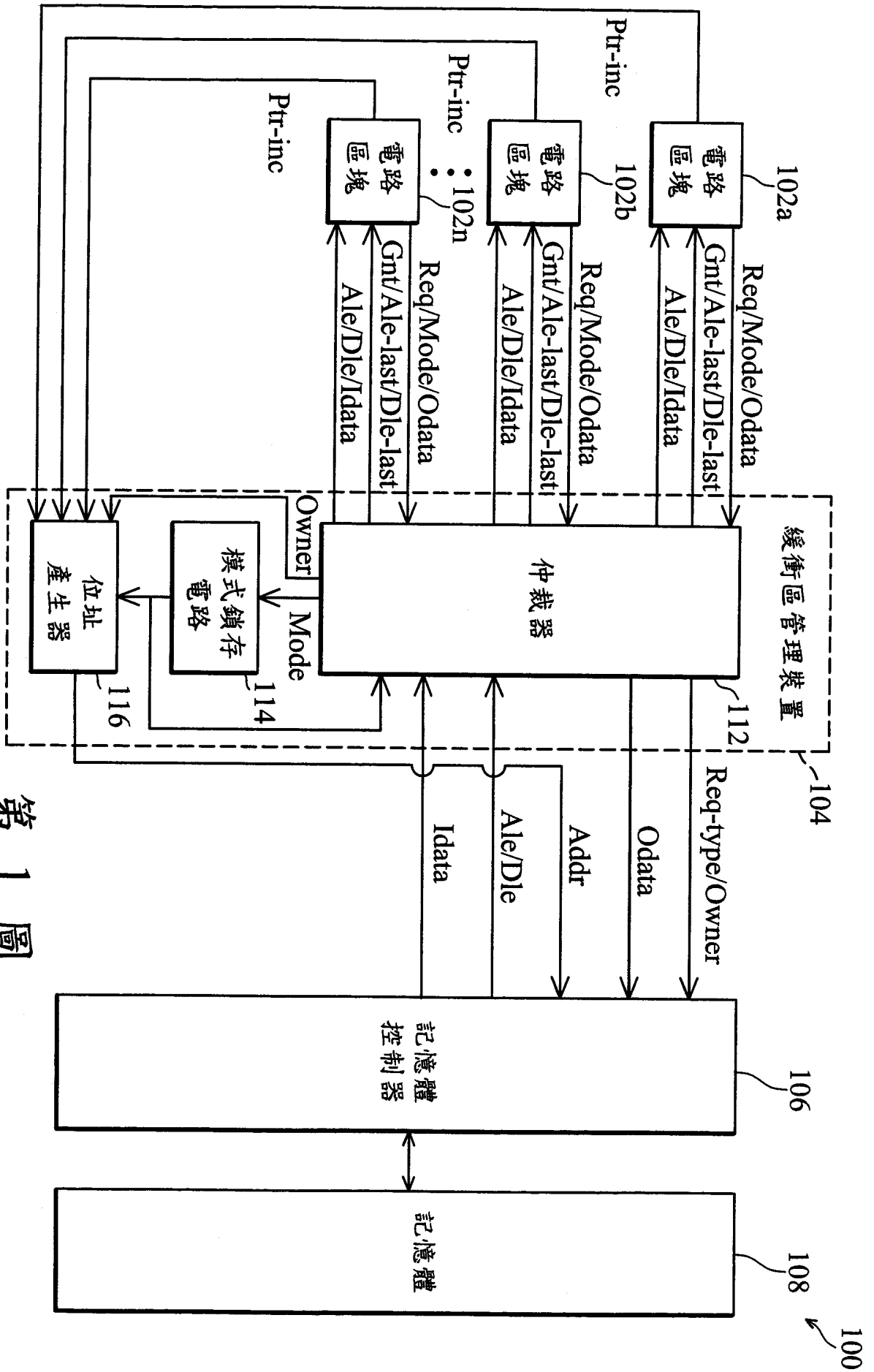
一第一組件導管，用於緩衝由該仲裁器指定的該相應持有者產生的該多個存取請求信號；以及

一第二組件導管，用於緩衝發送至由該仲裁器指定的該多個持有者的該多個存取響應信號。

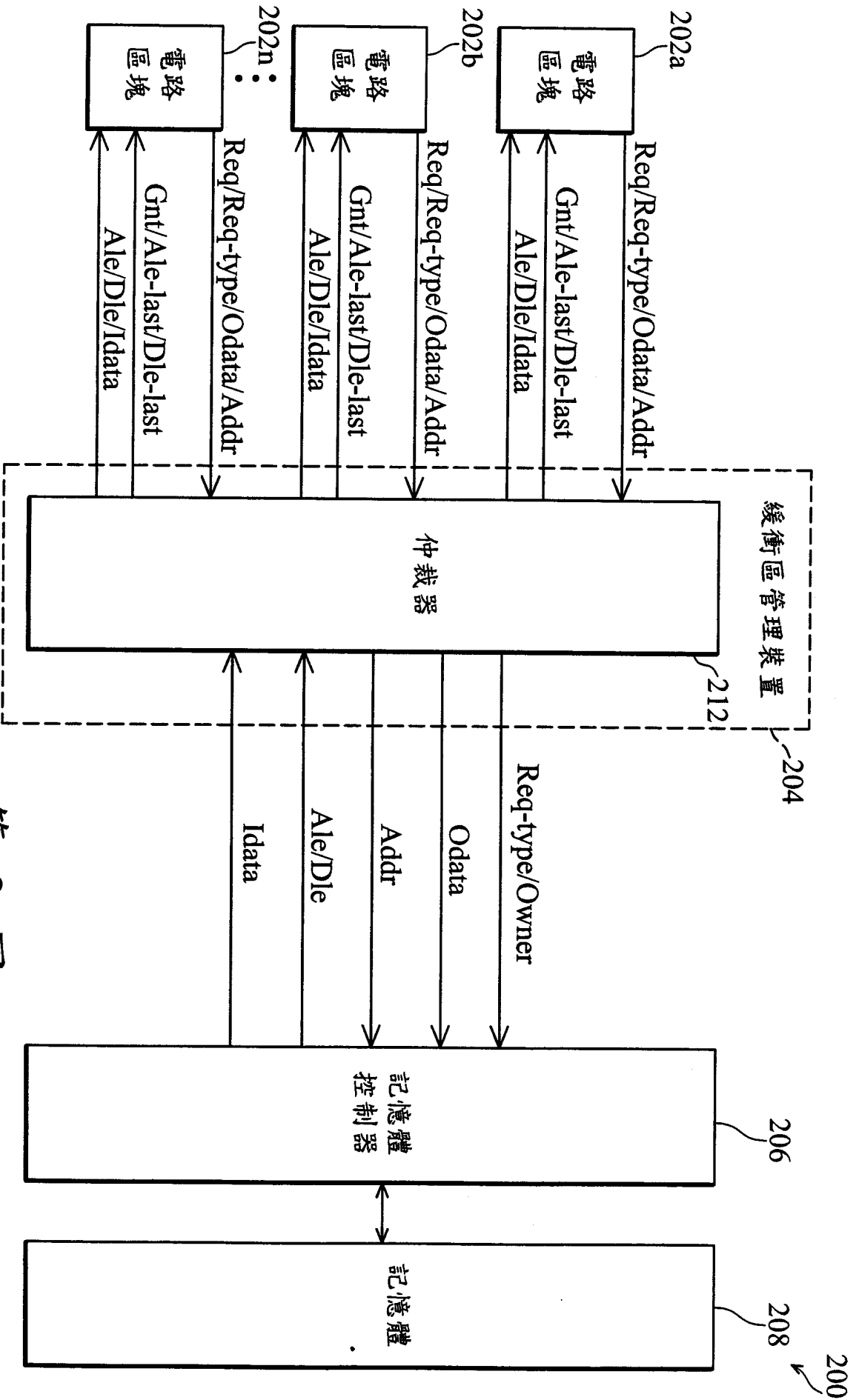
23.如申請專利範圍第 19 項所述之緩衝區管理裝置，其中每個該存取請求信號包括持有者資訊、請求模式資訊、寫入資料和位址資訊，其中該持有者資訊指示發送該存取請求信號的持有者，請求模式資訊指示一存取請求為一讀取請求還是一寫入請求，該位址資訊指示該記憶體的存取位址。

24.如申請專利範圍第 19 項所述之緩衝區管理裝置，其中該多個存取響應信號包括根據該多個存取請求信號由該記憶體控制器從該記憶體獲取出讀出資料。

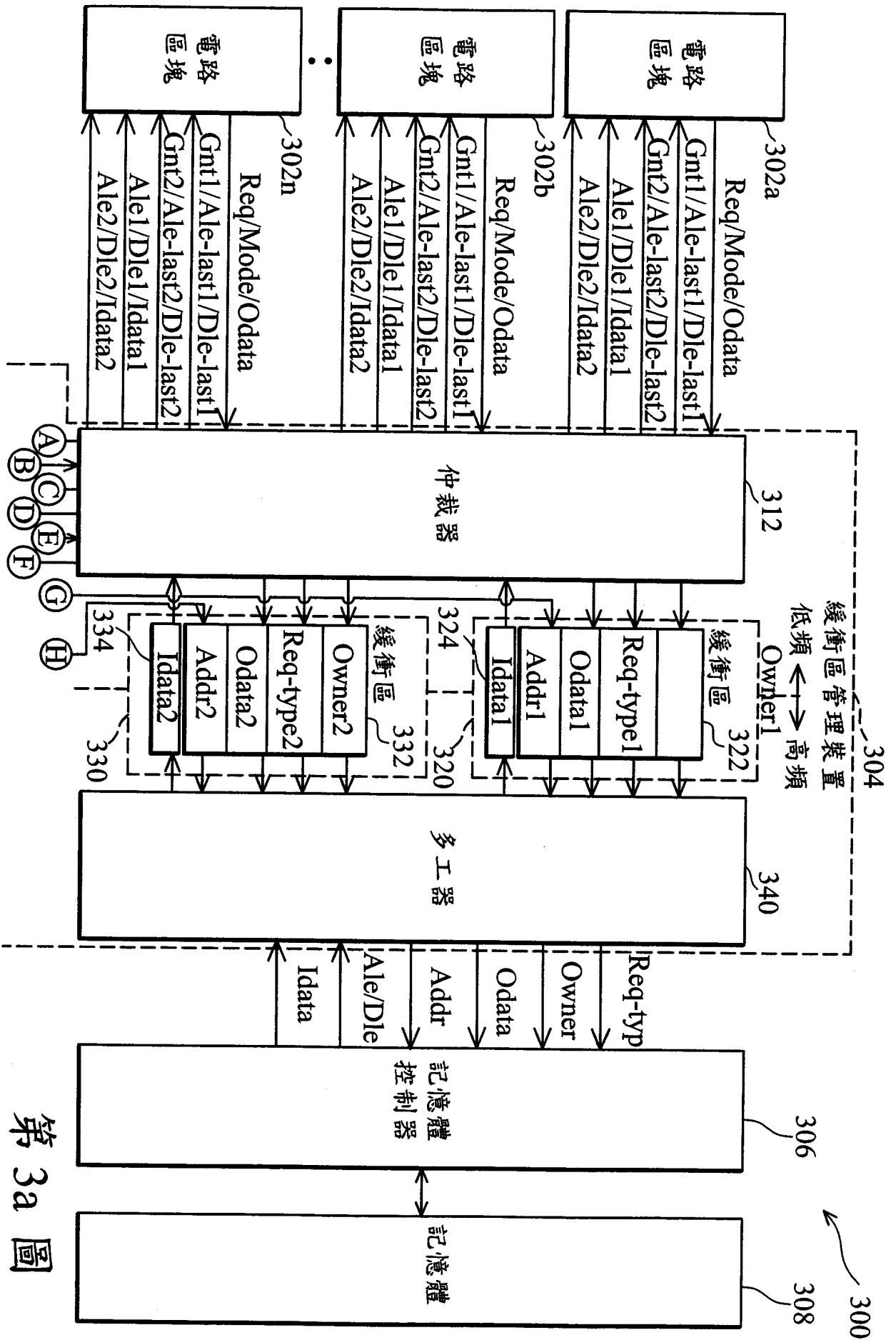
25.如申請專利範圍第 19 項所述之緩衝區管理裝置，其中該仲裁器根據該多個電路區塊的優先級別從該多個電路區塊中選擇相應於該多個導管的該多個持有者。



第 1 圖

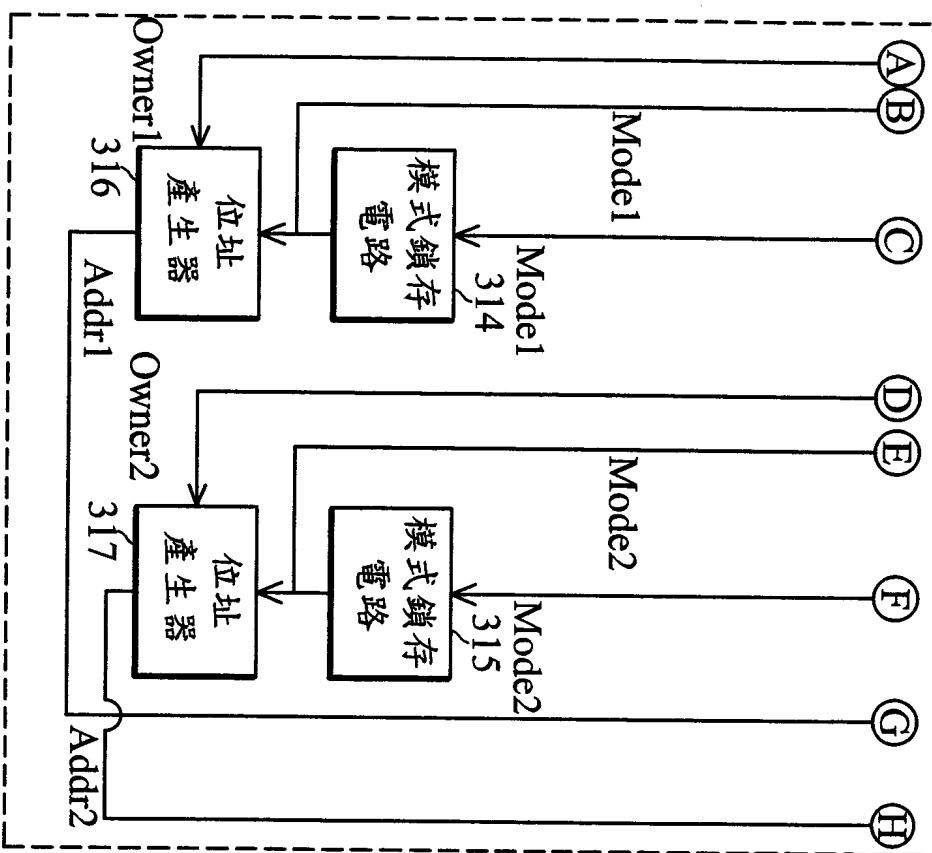


第 2 圖

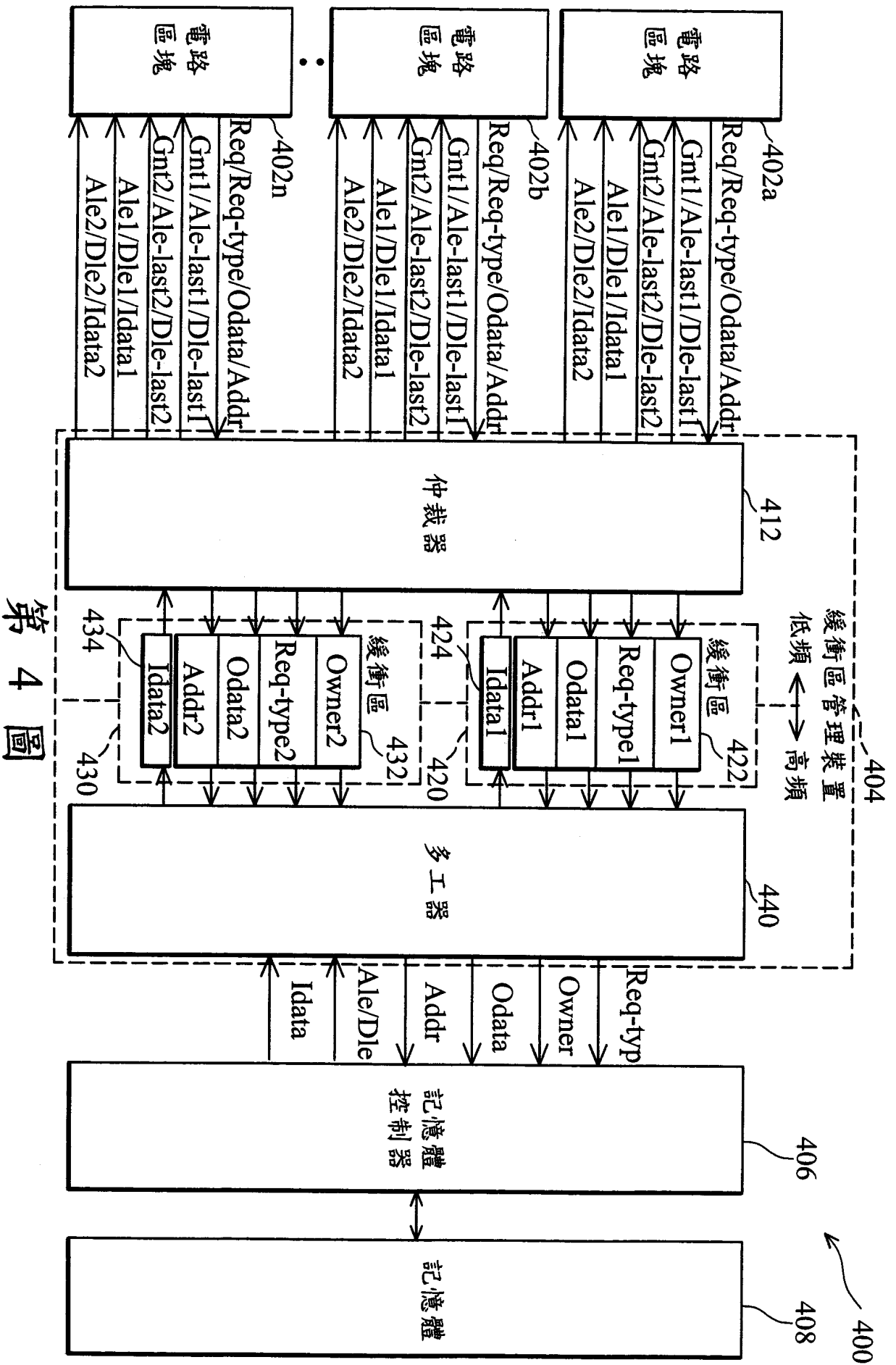


第 3a 圖

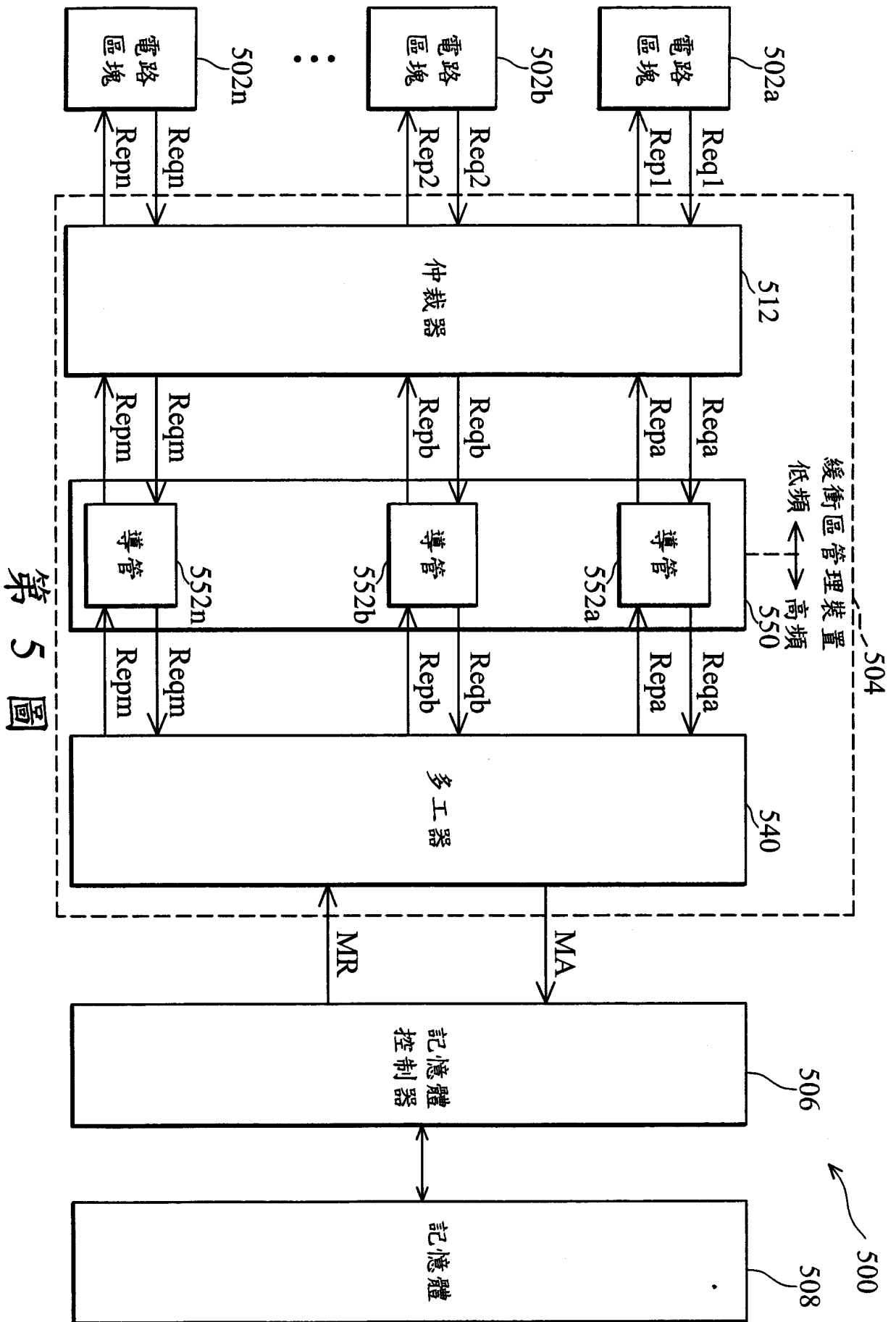
第3a圖
第3b圖



第3b圖



第 4 圖



第 5 圖

四、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

400：電子系統；

404：緩衝區管理裝置；

402a~402n：電路區塊；

406：記憶體控制器；

408：記憶體；

412：仲裁器；

420、430：緩衝區；

440：多工器；

422、432：第一組件緩衝區；

424、434：第二組件緩衝區。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：