



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0143609
(43) 공개일자 2021년11월29일

(51) 국제특허분류(Int. Cl.)
G02B 6/122 (2006.01) G02B 6/12 (2006.01)
G02B 6/24 (2006.01)

(52) CPC특허분류
G02B 6/122 (2013.01)
G02B 6/12004 (2013.01)

(21) 출원번호 10-2020-0060618
(22) 출원일자 2020년05월20일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자
신동재
서울특별시 송파구 잠실로 62, 312동 2501호 (잠실동, 트리지움)

심동식
경기도 화성시 동탄반석로 41, 619동 2601호 (반송동, 동탄나루마을 신도브레뉴아파트)
(뒷면에 계속)

(74) 대리인
리엔목특허법인

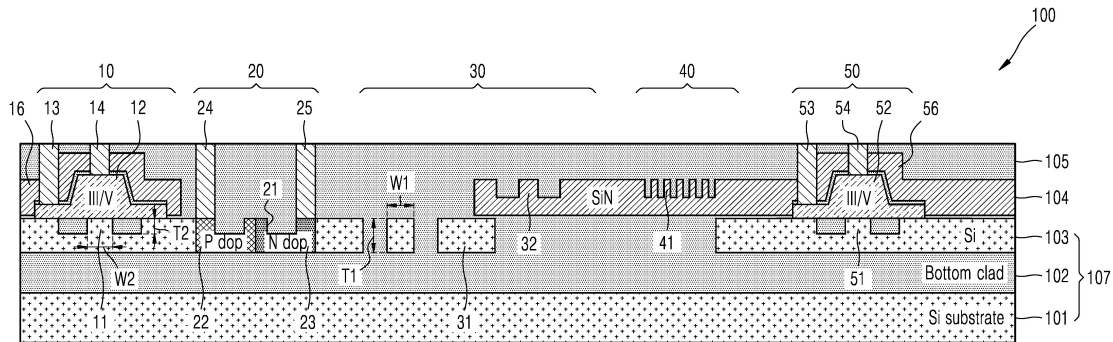
전체 청구항 수 : 총 27 항

(54) 발명의 명칭 광집적회로용 플랫폼 및 이를 이용한 광학 위상 어레이 소자

(57) 요약

열배출 효율이 높고 광손실이 낮은 광집적회로를 제작할 수 있는 광집적회로용 플랫폼 및 이를 이용한 광학 위상 어레이 소자가 개시된다. 개시된 광집적회로용 플랫폼은 기관; 상기 기관 위에 배치된 절연성 투명 산화물을 포함하는 제 1 산화물층; 상기 제 1 산화물층 위에 배치되며 반도체 재료를 포함하는 제 1 광소자층; 상기 제 1 광소자층 위에 배치되며 상기 제 1 산화물층의 절연성 투명 산화물과 상이한 절연성 재료 및 상기 제 1 광소자층의 반도체 재료와 상이한 화합물 반도체 재료를 포함하는 제 2 광소자층; 상기 제 2 광소자층 위에 배치된 제 2 산화물층; 및 상기 제 1 광소자층 또는 제 2 광소자층을 패터닝하여 형성된 복수의 광소자;를 포함할 수 있다.

대표도



(52) CPC특허분류

G02B 6/24 (2013.01)

G02B 2006/12061 (2013.01)

(72) 발명자

이은경

경기도 용인시 처인구 양지면 평창로19번길 27-10,
705호

이창범

서울특별시 송파구 올림픽로 435, 305동 2901호 (신천동, 파크리오)

장봉용

경기도 수원시 영통구 삼성로 130 (매탄동, 삼성전자공업단지)

명세서

청구범위

청구항 1

기관;

상기 기관 위에 배치된 절연성 투명 산화물을 포함하는 제 1 산화물층;

상기 제 1 산화물층 위에 배치되며 반도체 재료를 포함하는 제 1 광소자층;

상기 제 1 광소자층 위에 배치되며 상기 제 1 산화물층의 절연성 투명 산화물과 상이한 절연성 재료 및 상기 제 1 광소자층의 반도체 재료와 상이한 화합물 반도체 재료를 포함하는 제 2 광소자층;

상기 제 2 광소자층 위에 배치된 제 2 산화물층; 및

상기 제 1 광소자층 또는 제 2 광소자층을 패터닝하여 형성된 복수의 광소자;를 포함하는 광집적회로용 플랫폼.

청구항 2

제 1 항에 있어서,

상기 기관은 실리콘을 포함하고,

상기 제 1 산화물층의 투명 산화물은 상기 기관의 상부 표면 전체에 걸쳐 적층된 실리콘 산화물을 포함하고,

상기 제 1 광소자층의 반도체 재료는 실리콘을 포함하고,

상기 제 2 광소자층의 절연성 재료는 실리콘 질화물을 포함하는 광집적회로용 플랫폼.

청구항 3

제 2 항에 있어서,

상기 제 1 광소자층의 반도체 재료는 결정질 실리콘을 포함하며,

상기 기관, 상기 제 1 산화물층, 및 상기 제 1 광소자층은 하나의 SOI(Si on Insulator) 기관으로 이루어지는 광집적회로용 플랫폼.

청구항 4

제 1 항에 있어서,

상기 기관은 벌크 실리콘 기관을 포함하고,

상기 제 1 산화물층의 투명 산화물은 상기 제 1 광소자층에 형성된 광소자의 하부와 대향하도록 상기 기관 상에 국소적으로 배치된 실리콘 산화물을 포함하는 광집적회로용 플랫폼.

청구항 5

제 4 항에 있어서,

상기 제 1 광소자층의 반도체 재료는 SPE(solid-phase epitaxy) 공정으로 형성된 부분 결정화된 폴리 실리콘을 포함하는 광집적회로용 플랫폼.

청구항 6

제 4 항에 있어서,

상기 제 1 산화물층 내부에 배치되며 실리콘 질화물로 이루어진 광소자를 포함하는 제 3 광소자층을 더 포함하는 광집적회로용 플랫폼.

청구항 7

제 6 항에 있어서,

상기 실리콘 질화물로 이루어진 광소자는 상기 제 1 광소자층의 아래쪽에 배치되는 광도파로 및 광커플러를 포함하는 광집적회로용 플랫폼.

청구항 8

제 1 항에 있어서,

상기 복수의 광소자는 광원, 광증폭기, 광변조기, 광도파로, 광커플러, 또는 광검출기를 포함하는 광집적회로용 플랫폼.

청구항 9

제 8 항에 있어서,

상기 광원 또는 상기 광증폭기는:

상기 제 1 광소자층의 반도체 재료를 패터닝하여 형성된 광도파로;

상기 광도파로 위에 배치되며 상기 제 2 광소자층의 화합물 반도체 재료를 패터닝하여 형성된 화합물 반도체층; 및

상기 제 2 산화물층을 수직으로 관통하여 형성된 도전성 플러그;를 포함하는 광집적회로용 플랫폼.

청구항 10

제 9 항에 있어서,

상기 광원 또는 상기 광증폭기는 상기 화합물 반도체층의 상부를 둘러싸도록 형성된 상부 클래드를 더 포함하며, 상기 상부 클래드는 상기 제 2 광소자층의 절연성 재료를 포함하는 광집적회로용 플랫폼.

청구항 11

제 9 항에 있어서,

상기 제 1 광소자층의 반도체 재료의 두께는 150 nm 내지 1,000 nm이며,

상기 광도파로는 전체 반도체 재료 두께의 1% 내지 80%를 부분적으로 식각하여 패터닝함으로써 형성되는 광집적회로용 플랫폼.

청구항 12

제 9 항에 있어서,

상기 제 1 광소자층의 반도체 재료와 상기 제 2 광소자층의 화합물 반도체층 사이의 간격은 0 nm 내지 10 nm인 광집적회로용 플랫폼.

청구항 13

제 9 항에 있어서,

상기 광도파로는:

상기 제 1 광소자층의 반도체 재료를 패터닝하여 형성된 제 1 광도파로; 및

상기 제 2 광소자층의 절연성 재료를 패터닝하여 형성된 제 2 광도파로;를 포함하는 광집적회로용 플랫폼.

청구항 14

제 13 항에 있어서,

상기 제 2 광도파로를 형성하는 상기 제 2 광소자층의 절연성 재료의 두께는 150 nm 내지 1,000nm이며,

상기 제 2 광도파로는 상기 제 2 광소자층의 절연성 재료 전체 두께의 1% 내지 80%를 부분적으로 식각하여 패턴 형성으로써 형성되는 광집적회로용 플랫폼.

청구항 15

제 13 항에 있어서,

상기 광집적회로 플랫폼의 상부에서 내려다 볼 때, 상기 제 1 광도파로의 일부와 상기 제 2 광도파로의 일부가 서로 중첩되어 배치되며,

상기 제 1 광도파로와 상기 제 2 광도파로의 서로 대향하는 영역에서 수직 에바네센트 커플링이 발생하도록 상기 제 1 광도파로와 제 2 광도파로 사이의 간격이 0 내지 200 nm 이고,

상기 제 1 광도파로와 제 2 광도파로 사이에 상기 제 1 산화물층의 절연성 투명 산화물이 채워져 있는 광집적회로용 플랫폼.

청구항 16

제 13 항에 있어서,

상기 광커플러는 상기 제 2 광소자층의 절연성 재료를 패턴링하여 형성된 주기적인 격자를 포함하며, 상기 제 2 광도파로와 함께 일체로 형성되어 있는 광집적회로용 플랫폼.

청구항 17

제 16 항에 있어서,

상기 광검출기는:

상기 제 1 광소자층의 반도체 재료를 패턴링하여 형성된 광도파로;

상기 광도파로 위에 배치되며 상기 제 2 광소자층의 화합물 반도체 재료를 패턴링하여 형성된 화합물 반도체층; 및

상기 제 2 산화물층을 수직으로 관통하여 형성된 도전성 플러그;를 포함하는 광집적회로용 플랫폼.

청구항 18

제 17 항에 있어서,

상기 광원 또는 상기 광증폭기의 화합물 반도체층, 상기 제 2 광도파로, 상기 광커플러, 및 상기 광검출기의 화합물 반도체층은 상기 제 2 광소자층 내에서 동일한 층 높이에 배치되어 있는 광집적회로용 플랫폼.

청구항 19

제 16 항에 있어서,

상기 광검출기는:

상기 제 1 광소자층의 반도체 재료를 도핑하여 형성된 제 1 도핑 영역;

상기 제 1 도핑 영역 위의 상기 제 2 광소자층에 형성되며 게르마늄을 포함하는 게르마늄층; 및

상기 게르마늄층을 도핑하여 형성된 제 2 도핑 영역(62);을 포함하는 광집적회로용 플랫폼.

청구항 20

제 19 항에 있어서,

상기 광검출기는 상기 게르마늄층의 하부 표면과 상기 제 1 도핑 영역 사이의 계면에 배치된 것으로 실리콘과 게르마늄의 혼합물로 형성된 SiGe층을 더 포함하는 광집적회로용 플랫폼.

청구항 21

제 19 항에 있어서,

상기 광원 또는 상기 광증폭기의 화합물 반도체층, 상기 제 2 광도파로, 상기 광커플러, 및 상기 광검출기의 게르마늄층은 상기 제 2 광소자층 내에서 동일한 층 높이에 배치되어 있는 광집적회로용 플랫폼.

청구항 22

기관;

상기 기관 위에 배치된 절연성 투명 산화물을 포함하는 제 1 산화물층;

상기 제 1 산화물층 위에 배치된 제 1 광소자층;

상기 제 1 광소자층 위에 배치된 제 2 광소자층; 및

상기 제 2 광소자층 위에 배치된 제 2 산화물층;을 포함하며,

상기 제 1 광소자층은, 반도체 재료로 이루어진 광도파로, 상기 광도파로를 따라 진행되는 하나의 광을 여러 광들로 분할하는 분기 영역, 및 상기 분할된 광들의 위상들을 독립적으로 조절하는 위상 제어 영역을 포함하고,

상기 제 2 광소자층은, 상기 제 1 광소자층의 반도체 재료와 상이한 화합물 반도체 재료를 포함하는 광원, 광신호의 크기를 증폭시키는 증폭 영역, 및 상기 증폭된 광을 방출하는 방출 영역을 포함하는 광학 위상 어레이 소자.

청구항 23

제 22 항에 있어서,

상기 광원에서 발생한 광은 상기 광도파로를 따라 상기 분기 영역, 상기 위상 제어 영역, 상기 증폭 영역, 및 상기 방출 영역에 차례로 전달되도록 구성되는 광학 위상 어레이 소자.

청구항 24

제 23 항에 있어서,

상기 분기 영역은 하나의 광도파로와 연결된 입력단 및 복수의 광도파로와 연결된 출력단을 각각 포함하는 복수의 광분배기를 포함하는 광학 위상 어레이 소자.

청구항 25

제 23 항에 있어서,

상기 위상 제어 영역은 광의 진행 방향에 수직한 방향을 따라 배열되며 독립적으로 광들의 위상을 조절하는 복수의 위상 제어 소자를 포함하는 광학 위상 어레이 소자.

청구항 26

제 23 항에 있어서,

상기 방출 영역은 상기 제 1 산화물층의 절연성 투명 산화물과 상이한 절연성 재료로 이루어진 복수의 격자 패턴 그룹을 포함하며, 상기 복수의 격자 패턴 그룹은 광의 진행 방향에 수직한 방향을 따라 배열되는 광학 위상 어레이 소자.

청구항 27

제 26 항에 있어서,

상기 광학 위상 어레이 소자의 상부에서 내려다 볼 때, 상기 광도파로의 일부분과 상기 격자 패턴 그룹의 일부분이 서로 중첩되어 배치되며,

상기 광도파로와 상기 격자 패턴 그룹의 서로 대향하는 영역에서 수직 에바네센트 커플링이 발생하도록 상기 광도파로와 상기 격자 패턴 그룹 사이의 간격이 0 내지 200 nm 인 광학 위상 어레이 소자.

발명의 설명

기술 분야

[0001] 게시된 실시예들은 다양한 광소자들이 집적된 광집적회로를 제작하기 위한 광집적회로용 플랫폼 및 이를 이용한 광학 위상 어레이 소자에 관한 것으로, 더욱 상세하게는 열배출 효율이 높고 광손실이 낮은 광집적회로용 플랫폼 및 이를 이용한 광학 위상 어레이 소자에 관한 것이다.

배경 기술

[0002] 최근 광소자들을 집적한 광집적회로(photonic integrated circuit; PIC)가 다양한 광센서 또는 광연결 분야에서 사용되기 시작하였다. 광집적회로에 사용되는 광소자로는, 예를 들어, 전기 에너지를 광 에너지로 변환하는 광원, 광을 변조하는 광변조기, 광신호를 전달하는 광도파로, 광도파로 내부의 광을 광집적회로 칩의 외부로 내보내거나, 광집적회로 칩 외부의 광을 광도파로 내부로 받아들이는 광안테나 또는 광커플러, 광 에너지를 전기 에너지로 변환하는 광수신기등이 있다. 광집적회로 내에 집적되는 이러한 광소자들은 대부분 기판 상에 형성하기 용이한 재료로 이루어진다.

발명의 내용

해결하려는 과제

[0003] 열배출 효율이 높고 광손실이 낮은 광집적회로를 제작할 수 있는 광집적회로용 플랫폼을 제공한다.
 [0004] 또한, 이러한 광집적회로용 플랫폼을 이용한 광학 위상 어레이 소자를 제공한다.

과제의 해결 수단

[0005] 기판; 상기 기판 위에 배치된 절연성 투명 산화물을 포함하는 제 1 산화물층; 상기 제 1 산화물층 위에 배치되며 반도체 재료를 포함하는 제 1 광소자층; 상기 제 1 광소자층 위에 배치되며 상기 제 1 산화물층의 절연성 투명 산화물과 상이한 절연성 재료 및 상기 제 1 광소자층의 반도체 재료와 상이한 화합물 반도체 재료를 포함하는 제 2 광소자층; 상기 제 2 광소자층 위에 배치된 제 2 산화물층; 및 상기 제 1 광소자층 또는 제 2 광소자층을 패터닝하여 형성된 복수의 광소자;를 포함하는 광집적회로용 플랫폼이 제공된다.

[0006] 일 예에서, 상기 기판은 실리콘을 포함하고, 상기 제 1 산화물층의 투명 산화물은 상기 기판의 상부 표면 전체에 걸쳐 적층된 실리콘 산화물을 포함하고, 상기 제 1 광소자층의 반도체 재료는 실리콘을 포함하고, 상기 제 2 광소자층의 절연성 재료는 실리콘 질화물을 포함할 수 있다.

[0007] 예를 들어, 상기 제 1 광소자층의 반도체 재료는 결정질 실리콘을 포함하며, 상기 기판, 상기 제 1 산화물층, 및 상기 제 1 광소자층은 하나의 SOI(Si on Insulator) 기판으로 이루어질 수 있다.

[0008] 다른 예에서, 상기 기판은 벌크 실리콘 기판을 포함하고, 상기 제 1 산화물층의 투명 산화물은 상기 제 1 광소자층에 형성된 광소자의 하부와 대향하도록 상기 기판 상에 국소적으로 배치된 실리콘 산화물을 포함할 수 있다.

[0009] 예를 들어, 상기 제 1 광소자층의 반도체 재료는 SPE(solid-phase epitaxy) 공정으로 형성된 부분 결정화된 폴리 실리콘을 포함할 수 있다.

[0010] 또 다른 예에서, 상기 광집적회로용 플랫폼은 상기 제 1 산화물층 내부에 배치되며 실리콘 질화물로 이루어진 광소자를 포함하는 제 3 광소자층을 더 포함할 수 있다.

[0011] 예를 들어, 상기 실리콘 질화물로 이루어진 광소자는 상기 제 1 광소자층의 아래쪽에 배치되는 광도파로 및 광 커플러를 포함할 수 있다.

[0012] 예를 들어, 상기 복수의 광소자는 광원, 광증폭기, 광변조기, 광도파로, 광커플러, 또는 광검출기를 포함할 수 있다.

[0013] 상기 광원 또는 상기 광증폭기는, 상기 제 1 광소자층의 반도체 재료를 패터닝하여 형성된 광도파로; 상기 광도파로 위에 배치되며 상기 제 2 광소자층의 화합물 반도체 재료를 패터닝하여 형성된 화합물 반도체층; 및 상기 제 2 산화물층을 수직으로 관통하여 형성된 도전성 플러그;를 포함할 수 있다.

[0014] 상기 광원 또는 상기 광증폭기는 상기 화합물 반도체층의 상부를 둘러싸도록 형성된 상부 클래드를 더

포함하며, 상기 상부 클래드는 상기 제 2 광소자층의 절연성 재료를 포함할 수 있다.

- [0015] 예를 들어, 상기 제 1 광소자층의 반도체 재료의 두께는 150 nm 내지 1,000 nm이며, 상기 광도파로는 전체 반도체 재료 두께의 1% 내지 80%를 부분적으로 식각하여 패터닝함으로써 형성될 수 있다.
- [0016] 상기 제 1 광소자층의 반도체 재료와 상기 제 2 광소자층의 화합물 반도체층 사이의 간격은, 예를 들어, 0 nm 내지 10 nm일 수 있다.
- [0017] 또한, 상기 광도파로는, 상기 제 1 광소자층의 반도체 재료를 패터닝하여 형성된 제 1 광도파로; 및 상기 제 2 광소자층의 절연성 재료를 패터닝하여 형성된 제 2 광도파로;를 포함할 수 있다.
- [0018] 예를 들어, 상기 제 2 광도파로를 형성하는 상기 제 2 광소자층의 절연성 재료의 두께는 150 nm 내지 1,000nm이며, 상기 제 2 광도파로는 상기 제 2 광소자층의 절연성 재료 전체 두께의 1% 내지 80%를 부분적으로 식각하여 패터닝함으로써 형성될 수 있다.
- [0019] 상기 광집적회로 플랫폼의 상부에서 내려다 볼 때, 상기 제 1 광도파로의 일부와 상기 제 2 광도파로의 일부가 서로 중첩되어 배치되며, 상기 제 1 광도파로와 상기 제 2 광도파로의 서로 대향하는 영역에서 수직 에바네센트 커플링이 발생하도록 상기 제 1 광도파로와 제 2 광도파로 사이의 간격이 0 내지 200 nm 이고, 상기 제 1 광도파로와 제 2 광도파로 사이에 상기 제 1 산화물층의 절연성 투명 산화물이 채워질 수 있다.
- [0020] 상기 광커플러는 상기 제 2 광소자층의 절연성 재료를 패터닝하여 형성된 주기적인 격자를 포함하며, 상기 제 2 광도파로와 함께 일체로 형성될 수 있다.
- [0021] 일 예에서, 상기 광검출기는, 상기 제 1 광소자층의 반도체 재료를 패터닝하여 형성된 광도파로; 상기 광도파로 위에 배치되며 상기 제 2 광소자층의 화합물 반도체 재료를 패터닝하여 형성된 화합물 반도체층; 및 상기 제 2 산화물층을 수직으로 관통하여 형성된 도전성 플러그;를 포함할 수 있다.
- [0022] 상기 광원 또는 상기 광증폭기의 화합물 반도체층, 상기 제 2 광도파로, 상기 광커플러, 및 상기 광검출기의 화합물 반도체층은 상기 제 2 광소자층 내에서 동일한 층 높이에 배치될 수 있다.
- [0023] 다른 예에서, 상기 광검출기는, 상기 제 1 광소자층의 반도체 재료를 도핑하여 형성된 제 1 도핑 영역; 상기 제 1 도핑 영역 위의 상기 제 2 광소자층에 형성되며 게르마늄을 포함하는 게르마늄층; 및 상기 게르마늄층을 도핑하여 형성된 제 2 도핑 영역(62);을 포함할 수 있다.
- [0024] 상기 광검출기는 상기 게르마늄층의 하부 표면과 상기 제 1 도핑 영역 사이의 계면에 배치된 것으로 실리콘과 게르마늄의 혼합물로 형성된 SiGe층을 더 포함할 수 있다.
- [0025] 상기 광원 또는 상기 광증폭기의 화합물 반도체층, 상기 제 2 광도파로, 상기 광커플러, 및 상기 광검출기의 게르마늄층은 상기 제 2 광소자층 내에서 동일한 층 높이에 배치될 수 있다.
- [0026] 다른 실시예에 따른 광학 위상 어레이 소자는, 기관; 상기 기관 위에 배치된 절연성 투명 산화물을 포함하는 제 1 산화물층; 상기 제 1 산화물층 위에 배치된 제 1 광소자층; 상기 제 1 광소자층 위에 배치된 제 2 광소자층; 및 상기 제 2 광소자층 위에 배치된 제 2 산화물층;을 포함하며, 상기 제 1 광소자층은, 반도체 재료로 이루어진 광도파로, 상기 광도파로를 따라 진행하는 하나의 광을 여러 광들로 분할하는 분기 영역, 및 상기 분할된 광들의 위상들을 독립적으로 조절하는 위상 제어 영역을 포함하고, 상기 제 2 광소자층은, 상기 제 1 광소자층의 반도체 재료와 상이한 화합물 반도체 재료를 포함하는 광원, 광 신호의 크기를 증폭시키는 증폭 영역, 및 상기 증폭된 광을 방출하는 방출 영역을 포함할 수 있다.
- [0027] 상기 광원에서 발생한 광이 상기 광도파로를 따라 상기 분기 영역, 상기 위상 제어 영역, 상기 증폭 영역, 및 상기 방출 영역에 차례로 전달되도록 상기 광학 위상 어레이 소자가 구성될 수 있다.
- [0028] 상기 분기 영역은 하나의 광도파로와 연결된 입력단 및 복수의 광도파로와 연결된 출력단을 각각 포함하는 복수의 광분배기를 포함할 수 있다.
- [0029] 상기 위상 제어 영역은 광의 진행 방향에 수직인 방향을 따라 배열되며 독립적으로 광들의 위상을 조절하는 복수의 위상 제어 소자를 포함할 수 있다.
- [0030] 상기 방출 영역은 상기 제 1 산화물층의 절연성 투명 산화물과 상이한 절연성 재료로 이루어진 복수의 격자 패턴 그룹을 포함하며, 상기 복수의 격자 패턴 그룹은 광의 진행 방향에 수직인 방향을 따라 배열될 수 있다.
- [0031] 상기 광학 위상 어레이 소자의 상부에서 내려다 볼 때, 상기 광도파로의 일부분과 상기 격자 패턴 그룹의 일부

분이 서로 중첩되어 배치되며, 상기 광도파로와 상기 격자 패턴 그룹의 서로 대향하는 영역에서 수직 에바네센트 커플링이 발생하도록 상기 광도파로와 상기 격자 패턴 그룹 사이의 간격이 0 내지 200 nm 일 수 있다.

발명의 효과

[0032] 개시된 광집적회로용 플랫폼은 기판의 재료보다 광손실이 낮은 재료로 이루어진 광도파로를 포함할 수 있다. 따라서, 개시된 광집적회로용 플랫폼의 광손실을 줄일 수 있다. 또한, 개시된 광집적회로용 플랫폼은 열배출 효율이 높은 재료를 클래드로 사용함으로써 광집적회로 내의 발열성 광소자들을 효과적으로 냉각시킬 수 있고 열에 민감한 소자들의 성능이 열화되는 것을 방지할 수 있다.

[0033] 이러한 광집적회로용 플랫폼을 이용하면, 열배출 효율이 높고 광손실이 낮은 광집적회로를 제작할 수 있다. 또한, 이러한 광집적회로용 플랫폼을 이용하면, 상이한 재료들로 이루어진 광소자들과 상이한 재료들로 이루어진 광도파로를 포함하는 광집적회로를 제작할 수 있다. 따라서, 일부 광소자들을 별도로 제작하여 광집적회로에 조립하는 후속 공정이 요구되지 않는다. 예를 들어, 이러한 광집적회로는 LiDAR(laser radar)의 광학 위상 어레이 소자를 포함할 수 있다.

도면의 간단한 설명

[0034] 도 1은 일 실시예에 따른 광집적회로용 플랫폼 및 광집적회로의 예시적인 구성을 개략적으로 보이는 단면도이다.

도 2는 도 1에 도시된 제 1 광소자층의 제 1 광도파로의 폭과 높이에 따른 제 1 광도파로의 모드 특성을 예시적으로 보이는 그래프이다.

도 3a 및 도 3b는 광원 또는 광증폭기의 하부에 배치된 광도파로가 채널형 도파로이고 광원 또는 광증폭기의 화합물 반도체층이 50 nm 두께의 n형 분리 구속 이형구조(separate confinement heterostructure)를 갖는 경우에 화합물 반도체층에서의 광구속 계수(optical confinement factor)와 광도파로에서의 광구속 계수를 각각 나타낸다.

도 4a 및 도 4b는 광원 또는 광증폭기의 하부에 배치된 광도파로가 립형 도파로이고 광원 또는 광증폭기의 화합물 반도체층이 n형 분리 구속 이형구조를 갖지 않는 경우에 화합물 반도체층에서의 광구속 계수와 광도파로에서의 광구속 계수를 각각 나타낸다.

도 5a 및 도 5b는 광원 또는 광증폭기의 하부에 배치된 광도파로가 립형 도파로이고 광원 또는 광증폭기의 화합물 반도체층이 100 nm 두께의 n형 분리 구속 이형구조를 갖는 경우에 화합물 반도체층에서의 광구속 계수와 광도파로에서의 광구속 계수를 각각 나타낸다.

도 6은 다른 실시예에 따른 광집적회로용 플랫폼 및 광집적회로의 예시적인 구성을 개략적으로 보이는 단면도이다.

도 7은 또 다른 실시예에 따른 광집적회로용 플랫폼 및 광집적회로의 예시적인 구성을 개략적으로 보이는 단면도이다.

도 8은 또 다른 실시예에 따른 광집적회로용 플랫폼 및 광집적회로의 예시적인 구성을 개략적으로 보이는 단면도이다.

도 9는 또 다른 실시예에 따른 광집적회로용 플랫폼 및 광집적회로의 예시적인 구성을 개략적으로 보이는 단면도이다.

도 10은 또 다른 실시예에 따른 광집적회로용 플랫폼 및 광집적회로의 예시적인 구성을 개략적으로 보이는 단면도이다.

도 11은 광집적회로용 플랫폼을 이용하여 제작된 광학 위상 어레이 소자의 예시적인 구성을 개략적으로 보이는 사시도이다.

도 12는 도 11에 도시된 광학 위상 어레이 소자의 예시적인 구성을 개략적으로 보이는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0035] 이하, 첨부된 도면들을 참조하여, 광집적회로용 플랫폼 및 이를 이용한 광학 위상 어레이 소자에 대해 상세하게

설명한다. 이하의 도면들에서 동일한 참조부호는 동일한 구성요소를 지칭하며, 도면상에서 각 구성요소의 크기는 설명의 명료성과 편의상 과장되어 있을 수 있다. 또한, 이하에 설명되는 실시예는 단지 예시적인 것에 불과하며, 이러한 실시예들로부터 다양한 변형이 가능하다.

- [0036] 이하에서, "상부" 나 "상"이라고 기재된 것은 접촉하여 바로 위에 있는 것뿐만 아니라 비접촉으로 위에 있는 것도 포함할 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 다수의 표현을 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0037] "상기"의 용어 및 이와 유사한 지시 용어의 사용은 단수 및 다수 모두에 해당하는 것일 수 있다. 방법을 구성하는 단계들에 대하여 명백하게 순서를 기재하거나 반하는 기재가 없다면, 이러한 단계들은 적당한 순서로 행해질 수 있으며, 반드시 기재된 순서에 한정되는 것은 아니다.
- [0038] 또한, 명세서에 기재된 "...부", "모듈" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어 또는 소프트웨어로 구현되거나 하드웨어와 소프트웨어의 결합으로 구현될 수 있다.
- [0039] 도면에 도시된 구성 요소들 간의 선들의 연결 또는 연결 부재들은 기능적인 연결 및/또는 물리적 또는 회로적 연결들을 예시적으로 나타낸 것으로서, 실제 장치에서는 대체 가능하거나 추가의 다양한 기능적인 연결, 물리적인 연결, 또는 회로 연결들로서 나타내어질 수 있다.
- [0040] 모든 예들 또는 예시적인 용어의 사용은 단순히 기술적 사상을 상세히 설명하기 위한 것으로서 청구범위에 의해 한정되지 않는 이상 이런 예들 또는 예시적인 용어로 인해 범위가 한정되는 것은 아니다.
- [0041] 도 1은 일 실시예에 따른 광집적회로용 플랫폼 및 광집적회로의 예시적인 구성을 개략적으로 보이는 단면도이다. 도 1을 참조하면, 일 실시예에 따른 광집적회로용 플랫폼(100)은 기판(101), 기판(101) 위에 배치되며 산화물 재료를 포함하는 제 1 산화물층(102), 제 1 산화물층(102) 위에 배치되며 반도체 재료를 포함하는 제 1 광소자층(103), 제 1 광소자층(103) 위에 배치되며 제 1 산화물층(102)의 재료 및 제 1 광소자층(103)의 재료와 상이한 재료를 포함하는 제 2 광소자층(104), 및 제 2 광소자층(104) 위에 배치되며 산화물 재료를 포함하는 제 2 산화물층(105)을 포함할 수 있다.
- [0042] 기판(101)은, 예를 들어, 실리콘(Si) 기판일 수 있다. 그러나, 기판(101)의 재료가 반드시 실리콘으로 한정되는 것은 아니며, 반도체 제조 공정에서 사용되고 있는 다양한 웨이퍼 재료가 기판(101)으로서 사용될 수도 있다.
- [0043] 투명한 절연성 산화물로 이루어지는 제 1 산화물층(102)은 기판(101)의 상부 표면 전체에 걸쳐 적층될 수 있으며, 제 1 광소자층(103)에 대해 하부 클래드로서 작용할 수 있다. 제 1 산화물층(102)의 투명한 절연성 산화물 재료는, 예를 들어, 실리콘 산화물(SiO₂)일 수 있지만, 반드시 이에 한정되지 않는다. 예를 들어, 제 1 산화물층(102)의 산화물 재료는 제 1 광소자층(103)에서 광소자로서 사용되는 재료보다 낮은 굴절률을 갖는 어떠한 재료로도 이루어질 수 있다.
- [0044] 제 1 광소자층(103)은 전기적으로 동작하는 광소자를 구현하기 위한 층이다. 이를 위하여 제 1 광소자층(103)은 반도체 재료로 이루어질 수 있다. 예를 들어, 제 1 광소자층(103)은 결정질 실리콘(c-Si)으로 이루어질 수 있다. 이 경우, 기판(101), 제 1 산화물층(102), 및 제 1 광소자층(103)은, 예컨대, 하나의 SOI(Si on Insulator) 기판(107)으로 이루어질 수 있다. 전류가 흐르는 광소자를 구현하기 위하여 제 1 광소자층(103)의 일부 영역은 식각을 통해 패터닝되거나 불순물로 도핑될 수 있다. 또한, 제 1 광소자층(103)의 다른 일부 영역을 패터닝함으로써, 전기적으로 동작하는 광소자로부터 방출된 빛 또는 전기적으로 동작하는 광소자에 입사하는 빛이 진행할 수 있는 광도파로가 더 형성될 수 있다. 식각에 의해 제 1 광소자층(103)의 재료가 제거된 공간에는 제 1 산화물층(102)을 구성하는 산화물 재료가 채워질 수 있다.
- [0045] 제 2 광소자층(104)은 제 1 산화물층(102)의 산화물과 상이한 절연성 재료를 포함할 수 있다. 특히, 제 2 광소자층(104)은 제 1 산화물층(102)의 산화물보다 광손실이 적고 열전도성이 높은 절연성 재료를 포함할 수 있다. 예를 들어, 제 2 광소자층(104)의 절연성 재료는 실리콘 질화물(SiN)을 포함할 수 있다. 제 2 광소자층(104)의 실리콘 질화물은 전류가 주입되지 않는 광소자를 구현할 수 있다. 예를 들어, 제 2 광소자층(104)의 실리콘 질화물은 빛이 진행할 수 있는 광도파로로서 사용되거나 또는 전기적으로 동작하는 광소자의 클래드로서 사용될 수 있다.
- [0046] 또한 제 2 광소자층(104)은 제 1 광소자층(103)의 반도체 재료와 상이한 반도체 재료를 더 포함할 수도 있다. 예를 들어, 제 2 광소자층(104)은 III/V족 화합물 반도체, II/VI족 화합물 반도체, 또는 게르마늄(Ge)을 포함할

수 있다. 이러한 제 2 광소자층(104)의 반도체 재료는, 예를 들어, 전기적으로 동작하는 광소자의 활성층을 구성할 수 있다.

- [0047] 제 2 광소자층(104)의 실리콘 질화물과 반도체 재료는 복수의 광소자를 형성하기 위하여 식각을 통해 다양한 형태로 패터닝될 수 있다. 식각에 의해 제 2 광소자층(104)의 실리콘 질화물과 반도체 재료가 제거된 공간에는 제 1 산화물층(102)을 구성하는 산화물 재료가 채워질 수 있다.
- [0048] 제 2 산화물층(105)은 제 1 산화물층(102)과 동일한 투명한 절연성 산화물 재료로 이루어질 수 있다. 예를 들어, 제 2 산화물층(105)은 SiO₂로 이루어질 수 있지만, 반드시 이에 한정되지 않는다. 제 2 산화물층(105)은 제 1 광소자층(103)과 제 2 광소자층(104)을 완전히 덮도록 배치될 수 있다. 제 2 산화물층(105)은 제 1 광소자층(103)과 제 2 광소자층(104)에 대해 최상부 클래드로서 작용할 수 있으며, 제 1 광소자층(103)과 제 2 광소자층(104)에 형성된 광소자들을 보호하는 보호층으로서 작용할 수 있다. 또한, 제 2 산화물층(105)은 평탄한 상부 표면을 갖는 평탄화층의 역할을 할 수도 있다.
- [0049] 도 1에 도시된 광집적회로용 플랫폼(100)을 이용하면 필요에 따라 다양한 광소자를 제 1 광소자층(103)과 제 2 광소자층(104)에 형성함으로써 다양한 구조와 용도를 갖는 광집적회로들을 용이하게 제작할 수 있다. 도 1에는 광집적회로를 구성하는 다양한 광소자들의 예로서, 광원 또는 광증폭기(10), 광변조기(20), 광도파로(30), 광커플러(40), 및 광검출기(50)가 제 1 광소자층(103)과 제 2 광소자층(104)에 형성된 것으로 예시적으로 도시되었다. 그러나 실제 구현되는 광집적회로는 이러한 광소자들을 모두 포함할 필요는 없으며, 그 용도에 따라 이들 중 일부의 광소자들만을 포함하거나 또는 다른 형태의 광소자들을 더 포함할 수도 있다. 도 1에는 광원 또는 광증폭기(10), 광변조기(20), 광도파로(30), 광커플러(40), 및 광검출기(50)가 각각 하나씩만 도시되었으나, 실제 구현되는 광집적회로는 필요에 따라 복수의 동일한 광소자를 포함할 수도 있다. 또한, 광원 또는 광증폭기(10), 광변조기(20), 광도파로(30), 광커플러(40), 및 광검출기(50)의 위치는 실제 구현되는 광집적회로에 따라 달라질 수 있다. 도 1은 특정 기능을 수행하도록 설계된 광집적회로의 예를 보인 것은 아니며, 광집적회로용 플랫폼(100)에 형성될 수 있는 다양한 광소자들을 예시한 것에 불과하다.
- [0050] 광원 또는 광증폭기(10)는, 예를 들어, 제 1 광소자층(103)에 형성된 광도파로(11), 제 2 광소자층(104)에 형성된 화합물 반도체층(12), 제 2 산화물층(105)을 수직으로 관통하여 형성된 도전성 플러그(13, 14), 및 화합물 반도체층(12)의 상부를 둘러싸도록 제 2 광소자층(104)에 형성된 상부 클래드(16)를 포함할 수 있다.
- [0051] 광도파로(11)는 제 1 광소자층(103)의 실리콘을 부분적으로 패터닝하여 형성될 수 있다. 광도파로(11)는 그 위에 형성된 화합물 반도체층(12)에 빛을 제공하거나 또는 화합물 반도체층(12)에서 발생한 빛을 추출하는 역할을 할 수 있다. 제 1 광소자층(103)의 실리콘의 두께는 약 150 nm 내지 1,000 nm 정도이며, 전체 실리콘 두께의 약 1% 내지 80% 정도를 부분적으로 식각하여 패터닝함으로써 광도파로(11)를 형성할 수 있다.
- [0052] 화합물 반도체층(12)은 III/V족 화합물 반도체 또는 II/VI족 화합물 반도체로 이루어질 수 있으며, 수직 방향으로 번갈아 배치된 복수의 장벽과 복수의 양자우물을 구비하는 다중양자우물(multiple quantum well; MQW)을 포함할 수 있다. 화합물 반도체층(12)의 두께는 약 500 nm 내지 3,000 nm 정도일 수 있다. 또한, 화합물 반도체층(12)의 양측 가장자리를 전체 두께의 약 1% 내지 약 80% 정도 식각함으로써 화합물 반도체층(12)을 리지(ridge) 형태로 패터닝할 수 있다.
- [0053] 실리콘 질화물로 이루어진 상부 클래드(16)는 화합물 반도체층(12) 내에 빛을 가두는 역할을 하는 동시에, 화합물 반도체층(12)에서 발생하는 열을 외부로 방출하는 역할을 할 수 있다. 도 1에는 상부 클래드(16)와 화합물 반도체층(12) 사이에 간격이 존재하고, 상부 클래드(16)와 화합물 반도체층(12) 사이의 간격에 산화물 재료가 채워진 것으로 도시되었으나, 상부 클래드(16)가 화합물 반도체층(12) 위에 직접 접촉할 수도 있다. 이러한 상부 클래드(16)의 두께는 약 150 nm 내지 약 1,000nm 정도 일 수 있다.
- [0054] 도 1에는 제 1 광소자층(103)의 실리콘과 제 2 광소자층(104)의 화합물 반도체층(12)이 서로 직접적으로 접촉하고 있는 것으로 도시되었다. 그러나, 광원 또는 광증폭기(10)를 형성하는 공정에서, 제 1 광소자층(103)의 실리콘과 제 2 광소자층(104)의 화합물 반도체층(12) 사이에 산화물 재료가 개재될 수도 있다. 이 경우, 제 1 광소자층(103)의 실리콘과 제 2 광소자층(104)의 화합물 반도체층(12) 사이에 약간의 간격이 존재할 수도 있으며, 그 간격 내에는 산화물 재료가 배치될 수도 있다. 예를 들어, 제 1 광소자층(103)의 실리콘과 제 2 광소자층(104)의 화합물 반도체층(12) 사이의 간격 또는 산화물 재료의 두께는 0 nm 내지 약 10 nm일 수 있다.
- [0055] 광변조기(20)는 입사광의 세기 또는 위상을 변화시키는 것으로, 제 1 광소자층(103)의 실리콘을 도핑하여 형성될 수 있다. 예를 들어, 광변조기(20)는 제 1 광소자층(103)의 실리콘을 패터닝하여 형성된 광도파로(21), 제 1

광소자층(103)의 실리콘을 불순물로 도핑하여 형성된 제 1 도핑 영역(22)과 제 2 도핑 영역(23), 및 제 2 산화물층(105)을 수직으로 관통하여 형성된 도전성 플러그(24, 25)를 포함할 수 있다. 제 1 도핑 영역(22)과 제 2 도핑 영역(23)은 전기적으로 서로 상반되는 특성을 갖도록 도핑될 수 있다. 예를 들어, 제 1 도핑 영역(22)은 p형으로 도핑되고 제 2 도핑 영역(23)은 n형으로 도핑되거나, 또는 제 1 도핑 영역(22)은 n형으로 도핑되고 제 2 도핑 영역(23)은 p형으로 도핑될 수 있다. 도전성 플러그(24, 25) 중에서 하나는 제 1 도핑 영역(22)에 전기적으로 연결되고 다른 하나는 제 2 도핑 영역(23)에 전기적으로 연결될 수 있다. 도 1에는 편의상 광변조기(20)가 제 1 광소자층(103)만으로 제작된 것으로 도시하였으나, 광변조기(20)도 역시, 광원 또는 광증폭기(10)와 마찬가지로, 제 2 광소자층(104)의 화합물 반도체로 이루어질 수도 있다.

[0056] 광도파로(30)는 제 1 광소자층(103)의 실리콘을 패터닝하여 형성된 제 1 광도파로(31) 및 제 2 광소자층(104)의 실리콘 질화물을 패터닝하여 형성된 제 2 광도파로(32)를 포함할 수 있다. 제 1 광도파로(31)와 제 2 광도파로(32)는 광원 또는 광증폭기(10), 광변조기(20), 광커플러(40), 및 광검출기(50) 사이에 빛을 전달하는 역할을 할 수 있다. 제 1 광도파로(31)를 형성하는 실리콘의 두께 및 제 2 광도파로(32)를 형성하는 실리콘 질화물의 두께는 약 150 nm 내지 약 1,000nm 정도일 수 있다.

[0057] 도 1에는, 제 1 광소자층(103)에 형성된 제 1 광도파로(31)가 두께 방향으로 완전히 관통된 패턴을 갖는 채널형 도파로(channel waveguide)이고, 제 2 광소자층(104)에 형성된 제 2 광도파로(32)가 두께 방향으로 부분적으로 식각된 패턴을 갖는 릿형 도파로(rib waveguide)인 것으로 예시적으로 도시되었으나, 반드시 이에 한정되지 않는다. 예를 들어, 제 1 광소자층(103)에 형성된 제 1 광도파로(31)가 릿형 도파로이고 제 2 광소자층(104)에 형성된 제 2 광도파로(32)가 채널형 도파로일 수도 있다. 릿형 도파로에서 부분적인 식각 깊이는 전체 두께의 약 1% 내지 약 80% 정도일 수 있다. 예를 들어, 제 2 광도파로(32)가 릿형 도파로인 경우, 실리콘 질화물의 부분적인 식각 깊이는 실리콘 질화물 전체 두께의 약 1% 내지 약 80% 정도일 수 있다.

[0058] 제 2 광소자층(104)에 형성된 제 2 광도파로(32)는 제 1 광소자층(103)에 형성된 제 1 광도파로(31)보다 위쪽에 배치되어 있다. 제 1 광도파로(31)와 제 2 광도파로(32) 사이의 광학적 연결을 위하여, 광집적회로 플랫폼(100)의 상부에서 내려다 볼 때 제 1 광도파로(31)의 일부와 제 2 광도파로(32)의 일부가 서로 중첩되어 배치될 수 있다. 두께 방향으로 제 1 광도파로(31)와 제 2 광도파로(32) 사이의 간격이 빛의 파장 이하로 작으면, 제 1 광도파로(31)와 제 2 광도파로(32)의 서로 대향하는 영역에서 수직 에바네센트 커플링(evanescent coupling)이 발생하여 거의 광손실 없이 제 1 광도파로(31)와 제 2 광도파로(32) 사이에 빛이 전달될 수 있다. 예를 들어, 제 1 광도파로(31)와 제 2 광도파로(32) 사이의 간격은 0 내지 약 200 nm 정도이다. 그리고, 제 1 광도파로(31)와 제 2 광도파로(32) 사이의 간격에는 제 1 산화물층(102)을 구성하는 산화물 재료가 채워질 수 있다.

[0059] 광커플러(40)는 광집적회로 외부의 빛을 광도파로(30) 내부로 받아들이거나 광도파로(30) 내부의 빛을 광집적회로 외부로 방출하도록 구성될 수 있다. 예를 들어, 광커플러(40)는 주기적인 격자(41)의 형태를 가질 수 있다. 특히, 도 1에 도시된 바와 같이, 광커플러(40)는 제 2 광소자층(104)의 실리콘 질화물을 패터닝함으로써 제 2 광도파로(32)와 함께 일체로 형성될 수 있다.

[0060] 광검출기(50)는, 예를 들어, 제 1 광소자층(103)에 형성된 광도파로(51), 제 2 광소자층(104)에 형성된 화합물 반도체층(52), 제 2 산화물층(105)을 수직으로 관통하여 형성된 도전성 플러그(53, 54), 및 화합물 반도체층(52)의 상부를 둘러싸도록 제 2 광소자층(104)에 형성된 상부 클래드(56)를 포함할 수 있다. 광도파로(51)는 제 1 광소자층(103)의 실리콘을 부분적으로 패터닝하여 형성될 수 있다. 화합물 반도체층(52)은 III/V족 화합물 반도체 또는 II/VI족 화합물 반도체로 이루어질 수 있다. 또한, 화합물 반도체층(52)의 양측 가장자리를 식각함으로써 화합물 반도체층(52)을 리지 형태로 패터닝할 수 있다. 상부 클래드(56)는 화합물 반도체층(52) 내에 빛을 가두는 역할을 하는 동시에, 화합물 반도체층(52)에서 발생하는 열을 외부로 방출하는 역할을 할 수 있다. 상부 클래드(56)는 실리콘 질화물로 이루어질 수 있다.

[0061] 광원 또는 광증폭기(10)의 화합물 반도체층(12), 광도파로(30)의 제 2 광도파로(32), 광커플러(40), 및 광검출기(50)의 화합물 반도체층(52)은 제 2 광소자층(104) 내에서 동일한 층 높이에 배치될 수 있다. 여기서, 화합물 반도체층(12)과 화합물 반도체층(52)은 동일한 화합물 반도체 재료로 이루어지며, 제 2 광도파로(32)와 광커플러(40)는 동일한 실리콘 질화물 재료로 이루어질 수 있다.

[0062] 상술한 바와 같이, 본 실시예에 따른 광집적회로용 플랫폼을 이용하면 다양한 재료로 구성된 광소자들을 포함하는 광집적회로를 편리하게 제작할 수 있다. 따라서 광집적회로의 다양한 광소자들의 성능을 향상시킬 수 있다. 예를 들어, 제 2 광소자층(104)에 배치된 실리콘 질화물은 제 1 광소자층(103)에 배치된 실리콘보다 광손실이 낮고, 제 1 및 제 2 산화물층(102, 105)에 배치된 실리콘 산화물보다 열전도율이 높다. 예컨대, 실리콘 질화물

(Si₃N₄)의 열전도율은 약 10 ~ 43 W/(m*K) 정도이고 실리콘 산화물(SiO₂)의 열전도율은 약 1.3 ~ 1.5 W/(m*K) 정도이다.

- [0063] 광도파로(30)와 광커플러(40)가 기관(101) 및 제 1 광소자층(103)의 재료보다 광손실이 낮은 재료로 이루어지고 화합물 반도체층(12, 52) 위의 상부 클래드(16, 56)가 제 1 및 제 2 산화물층(102, 105)의 재료보다 열배출 효율이 높은 재료로 이루어지기 때문에, 광집적회로의 광손실을 줄일 수 있으며 광집적회로 내의 발열성 광소자들을 효과적으로 냉각시킬 수 있고 열에 민감한 광소자들의 성능이 열화되는 것을 방지할 수 있다.
- [0064] 또한, 본 실시예에 따른 광집적회로용 플랫폼을 이용하면 상이한 재료들로 이루어진 다양한 광소자들을 포함하는 광집적회로를 단일 공정을 통해 제작할 수 있다. 따라서, 일부 광소자들을 별도로 제작하여 광집적회로에 조립하는 후속 공정이 요구되지 않는다.
- [0065] 이러한 광집적회로는 다양한 분야에 적용될 수 있다. 예를 들어, 광집적회로는 자율주행용 LiDAR(laser radar) 센서, 데이터 센터용 광 연결 장치 등에 적용될 수 있다.
- [0066] 한편, 실리콘으로 이루어진 제 1 광소자층(103)의 제 1 광도파로(31)는 단일 모드 조건을 만족하도록 폭(W1)과 높이(T1)가 결정될 수 있다. 예를 들어, 도 2는 도 1에 도시된 제 1 광소자층(103)의 제 1 광도파로(31)의 폭과 높이에 따른 제 1 광도파로(31)의 모드 특성을 예시적으로 보이는 그래프이다. 도 2의 그래프를 참조하면, 실리콘으로 이루어진 제 1 광도파로(31)는 폭(W1)과 높이(T1)에 따라 다중 모드, 준단일 모드, 또는 단일 모드로 동작할 수 있다. 준단일 모드에서는 하나의 TE 모드와 하나의 TM 모드가 존재하며, 단일 모드에서는 하나의 TE 모드만이 존재한다. 도 2의 그래프를 기초로 제 1 광소자층(103)의 제 1 광도파로(31)가 적어도 준단일 모드를 만족하도록 폭(W1)과 높이(T1)를 선택할 수 있다. 예를 들어, 제 1 광도파로(31)의 폭(W1)이 약 250 nm일 때, 제 1 광도파로(31)의 높이(T1)는 약 500 nm 이하로 선택할 수 있다. 또한, 광도파로(31)의 폭(W1)이 약 650 nm 이상일 때, 제 1 광도파로(31)의 높이(T1)는 약 150 nm 이하로 선택할 수 있다. 따라서, 광도파로(31)의 폭(W1)이 증가할수록 제 1 광도파로(31)의 높이(T1)는 감소하며, 광도파로(31)의 폭(W1)이 감소할수록 제 1 광도파로(31)의 높이(T1)는 증가할 수 있다.
- [0067] 또한, 광원 또는 광증폭기(10)에서 발생한 빛이 화합물 반도체층(12)과 그 하부의 광도파로(11)에 적절히 분포될 때 높은 광 효율을 얻을 수 있다. 예를 들어, 빛 에너지의 약 절반 정도가 화합물 반도체층(12)에 분포하고 빛 에너지의 나머지 절반 정도가 광도파로(11)에 분포하도록 광도파로(11)의 폭(W2)과 높이(T2)를 선택할 수 있다. 광도파로(11)의 최적의 폭(W2)과 높이(T2)는 화합물 반도체층(12)의 내부 구조 및 광도파로(11)의 내부 구조에 따라 달라질 수 있다. 대체적으로 광도파로(11)에서의 광구속 계수(optical confinement factor; OCF)가, 예를 들어, 약 50% 이상이고 화합물 반도체층(12)에서 광구속 계수가, 예를 들어, 약 3% 이상인 조건을 만족하도록 광도파로(11)의 폭(W2)과 높이(T2)가 선택될 수 있다.
- [0068] 도 3a 내지 도 5b는 다양한 조건에서 광원 또는 광증폭기(10)의 하부에 배치된 광도파로(11)의 폭(W2)과 높이(T2)를 최적화하기 위한 시뮬레이션 결과를 예시적으로 보이는 표이다. 도 3a 내지 도 5b에서 화합물 반도체층(12)이 8개의 다중양자우물구조를 가지며 250 nm 두께의 p형 분리 구속 이형구조(separate confinement heterostructure; PSCH)를 갖는 것으로 가정하고, 광도파로(11)의 구조와 n형 분리 구속 이형구조(NSCH)의 두께에 따른 광도파로(11)의 최적의 폭(W2)과 높이(T2)를 구하기 위한 시뮬레이션을 수행하였다.
- [0069] 먼저, 도 3a 및 도 3b는 광원 또는 광증폭기(10)의 하부에 배치된 광도파로(11)가 채널형 도파로이고 광원 또는 광증폭기(10)의 화합물 반도체층(12)이 50 nm 두께의 n형 분리 구속 이형구조(NSCH)를 갖는 경우에 화합물 반도체층(12)에서의 광구속 계수와 광도파로(11)에서의 광구속 계수를 각각 나타낸다. 광도파로(11)의 높이(T2)는 200 nm, 300 nm, 400 nm, 500 nm, 600 nm, 700 nm로 변화시키고, 광도파로(11)의 폭(W2)은 0.5 μm, 0.75 μm, 1 μm, 1.25 μm, 1.5 μm로 변화시키면서 시뮬레이션을 수행하였다.
- [0070] 도 3a의 표를 참조하면, 광도파로(11)의 폭(W2)과 높이(T2)가 감소할수록 화합물 반도체층(12)에서의 광구속 계수가 증가하고, 광도파로(11)의 폭(W2)과 높이(T2)가 증가할수록 화합물 반도체층(12)에서의 광구속 계수가 감소하였다. 또한, 도 3b의 표를 참조하면, 광도파로(11)의 폭(W2)과 높이(T2)가 감소할수록 광도파로(11)에서의 광구속 계수가 감소하고, 광도파로(11)의 폭(W2)과 높이(T2)가 증가할수록 광도파로(11)에서의 광구속 계수가 증가하였다. 화합물 반도체층(12)에서의 광구속 계수가 3% 이상이고 광도파로(11)에서의 광구속 계수가 50% 이상을 만족하는 광도파로(11)의 폭(W2)은 0.75 μm와 1 μm이고 광도파로(11)의 높이(T2)는 400 nm임을 알 수 있다.
- [0071] 또한, 도 4a 및 도 4b는 광원 또는 광증폭기(10)의 하부에 배치된 광도파로(11)가 릿형 도파로이고 광원 또는

광증폭기(10)의 화합물 반도체층(12)이 n형 분리 구속 이형구조(NSCH)를 갖지 않는 경우에 화합물 반도체층(12)에서의 광구속 계수와 광도파로(11)에서의 광구속 계수를 각각 나타낸다. 도 4a 및 도 4b를 참조하면, 이 경우에 화합물 반도체층(12)에서의 광구속 계수가 3% 이상이고 광도파로(11)에서의 광구속 계수가 50% 이상을 만족하는 광도파로(11)의 폭(W2)은 0.75 μm , 1 μm , 1.25 μm , 1.5 μm 이고 광도파로(11)의 높이(T2)는 400 nm임을 알 수 있다.

[0072] 또한, 도 5a 및 도 5b는 광원 또는 광증폭기(10)의 하부에 배치된 광도파로(11)가 립형 도파로이고 광원 또는 광증폭기(10)의 화합물 반도체층(12)이 100 nm 두께의 n형 분리 구속 이형구조(NSCH)를 갖는 경우에 화합물 반도체층(12)에서의 광구속 계수와 광도파로(11)에서의 광구속 계수를 각각 나타낸다. 도 5a 및 도 5b를 참조하면, 이 경우에 화합물 반도체층(12)에서의 광구속 계수가 3% 이상이고 광도파로(11)에서의 광구속 계수가 50% 이상을 만족하는 광도파로(11)의 폭(W2)은 0.75 μm 이고 광도파로(11)의 높이(T2)는 400 nm임을 알 수 있다.

[0073] 도 6은 다른 실시예에 따른 광집적회로용 플랫폼 및 광집적회로의 예시적인 구성을 개략적으로 보이는 단면도이다. 도 6을 참조하면, 실시예에 따른 광집적회로용 플랫폼(110)의 제 2 광소자층(104)은 화합물 반도체, 실리콘 질화물 이외에 게르마늄(Ge)을 반도체 재료로서 더 포함할 수 있다. 예를 들어, 도 6에 도시된 광집적회로용 플랫폼(110)을 이용하여 제작된 광집적회로는 화합물 반도체로 이루어진 광검출기(50, 도 1 참조) 대신에 게르마늄으로 이루어진 광검출기(60)를 포함할 수 있다. 광검출기(60)를 제외한 도 6에 도시된 광집적회로용 플랫폼(110)의 구조는 도 1에 도시된 광집적회로용 플랫폼(100)의 구조와 거의 동일하다.

[0074] 광검출기(60)는, 예컨대, 제 1 광소자층(103)에 형성된 제 1 도핑 영역(61), 제 2 광소자층(104)에서 제 1 도핑 영역(61) 위에 형성된 게르마늄층(63), 게르마늄층(63) 위에 배치된 제 2 도핑 영역(62), 및 제 2 산화물층(105)을 수직으로 관통하여 형성된 도전성 플러그(64, 65)를 포함할 수 있다. 제 1 도핑 영역(61)은 제 1 광소자층(103)의 실리콘을 불순물로 도핑하여 형성되며, 제 2 도핑 영역(62)은 게르마늄층(63)을 불순물로 도핑하여 형성될 수 있다. 제 1 도핑 영역(61)과 제 2 도핑 영역(62)은 전기적으로 서로 상반되는 특성을 갖도록 도핑될 수 있다. 예를 들어, 제 1 도핑 영역(61)은 p형으로 도핑되고 제 2 도핑 영역(62)은 n형으로 도핑되거나, 또는 제 1 도핑 영역(61)은 n형으로 도핑되고 제 2 도핑 영역(62)은 p형으로 도핑될 수 있다. 도전성 플러그(64, 65) 중에서 하나는 제 1 도핑 영역(61)에 전기적으로 연결되고 다른 하나는 제 2 도핑 영역(62)에 전기적으로 연결될 수 있다. 또한, 제 1 도핑 영역(61)의 실리콘을 부분적으로 패터닝할 수 있다. 그러면, 제 1 도핑 영역(61)은 광도파로의 역할도 수행할 수 있다.

[0075] 게르마늄층(63)의 두께는 약 200 nm 내지 1,000 nm 정도일 수 있다. 또한, 게르마늄층(63)의 양측 가장자리를 전체 두께의 약 20% 내지 약 80% 정도 식각함으로써 게르마늄층(63)을 리지 형태로 패터닝할 수 있다. 또한, 게르마늄층(63)의 하부 표면과 제 1 도핑 영역(61) 사이의 계면에는 실리콘과 게르마늄의 혼합물로 형성된 SiGe층(63a)이 더 배치될 수 있다. 예를 들어, SiGe층(63a)의 두께는 0 내지 약 100 nm일 수 있다.

[0076] 또한, 광검출기(60) 위에는, 도 1에 도시된 상부 클래드(56)가 생략되었다. 일반적으로 광검출기(60)는 많은 열을 발생시키지 않기 때문에 광검출기(60) 위에 상부 클래드를 배치하지 않을 수도 있다. 이러한 이유로, 도 1에 도시된 광검출기(50) 위에도 상부 클래드(56)가 생략될 수 있다. 그러나, 광검출기(60)를 더욱 냉각시킬 필요가 있는 경우에는, 도 1에 도시된 상부 클래드(56)를 광검출기(60) 위에 더 배치할 수도 있다.

[0077] 도 6에 도시된 광집적회로용 플랫폼(110)에서, 광원 또는 광증폭기(10)의 화합물 반도체층(12), 광도파로(30)의 제 2 광도파로(32), 광커플러(40), 및 광검출기(60)의 게르마늄층(63)은 제 2 광소자층(104) 내에서 동일한 층 높이에 배치될 수 있다.

[0078] 도 7은 또 다른 실시예에 따른 광집적회로용 플랫폼 및 광집적회로의 예시적인 구성을 개략적으로 보이는 단면도이다. 도 1 및 도 6에 도시된 광집적회로용 플랫폼(100, 110)에서, 하부 클래드의 역할을 하는 제 1 산화물층(102)은 기판(101)의 상부 표면 전체에 걸쳐 배치되어 있다. 또한, 기판(101), 제 1 산화물층(102), 및 제 1 광소자층(103)은 하나의 SOI 기판(107)으로 이루어질 수 있다. 이에 반해, 도 7에 도시된 광집적회로용 플랫폼(200)은 SOI 기판(107) 대신에 벌크(bulk) 실리콘 기판(201)을 포함할 수 있다. 또한, 광집적회로용 플랫폼(200)은 벌크 실리콘 기판(201)의 상부에 국소적으로 배치된 제 1 산화물층(202)을 포함할 수 있다. 예를 들어, 벌크 실리콘 기판(201)의 상부 표면을 국소적으로 식각하고 식각된 벌크 실리콘 기판(201)의 상부 표면에 제 1 산화물층(202)의 산화물 재료를 채울 수 있다.

[0079] 국소적인 제 1 산화물층(202) 위에는 SPE(solid-phase epitaxy) 공정으로 형성된 부분 결정화된 폴리 실리콘(partially crystallized poly-Si)을 갖는 제 1 광소자층(203)이 배치될 수 있다. 제 1 광소자층(203)의 폴리

실리콘을 가공함으로써 다양한 광소자를 구현할 수 있다. 제 1 산화물층(202)은 제 1 광소자층(203)에 형성된 광소자의 하부에만 대향하도록 배치될 수 있다. 예를 들어, 제 1 광소자층(203)에 형성된 광원 또는 광증폭기(10), 광변조기(20), 광도파로(30), 및 광검출기(50)의 하부에 대향하도록 제 1 산화물층(202)이 각각 기관(201) 상에 배치될 수 있다. 기관(101)의 전체 표면 위에 제 1 산화물층(102)이 배치된 구성과 비교할 때, 국소적인 제 1 산화물층(202)을 갖는 구조는 벌크 실리콘 기관(201)으로의 열배출 효율을 높여서 열에 민감한 광소자의 특성을 개선할 수 있다.

[0080] 광집적회로용 플랫폼(200)은 또한, 제 1 광소자층(203) 위에 배치된 제 2 광소자층(204) 및 제 2 광소자층(204) 위에 배치된 제 2 산화물층(205)을 더 포함할 수 있다. 제 2 광소자층(204)은 도 1에 도시된 제 2 광소자층(104)과 동일한 구성을 가지며 제 2 산화물층(205)은 도 1에 도시된 제 2 산화물층(105)과 동일한 구성을 가지므로, 이에 대한 상세한 설명을 생략한다.

[0081] 도 8은 또 다른 실시예에 따른 광집적회로용 플랫폼 및 광집적회로의 예시적인 구성을 개략적으로 보이는 단면도이다. 도 8을 참조하면, 실시예에 따른 광집적회로용 플랫폼(210)의 제 2 광소자층(204)은 화합물 반도체, 실리콘 질화물 이외에 게르마늄(Ge)을 반도체 재료로서 더 포함할 수 있다. 예를 들어, 도 8에 도시된 광집적회로용 플랫폼(210)을 이용하여 제작된 광집적회로는 화합물 반도체로 이루어진 광검출기(50, 도 7 참조) 대신에 게르마늄으로 이루어진 광검출기(60)를 포함할 수 있다. 광검출기(60)를 제외한 도 8에 도시된 광집적회로용 플랫폼(210)의 구조는 도 7에 도시된 광집적회로용 플랫폼(200)의 구조와 거의 동일하다. 또한, 광검출기(60)의 구조는 도 6에서 설명한 광검출기(60)의 구성과 동일하다.

[0082] 도 9는 또 다른 실시예에 따른 광집적회로용 플랫폼 및 광집적회로의 예시적인 구성을 개략적으로 보이는 단면도이다. 도 9를 참조하면, 실시예에 따른 광집적회로용 플랫폼(220)은 제 1 산화물층(202) 내부에 배치된 제 3 광소자층(206)을 더 포함한다는 점에서 도 7 및 도 8에 도시된 광집적회로용 플랫폼(200, 210)과 차이가 있다. 제 3 광소자층(206)은, 예를 들어, 실리콘 질화물로 이루어진 제 2 광도파로(32)와 광커플러(40)를 포함할 수 있다. 제 2 광소자층(204)은 도 7 및 도 8에 도시된 제 2 광도파로(32)와 광커플러(40)를 포함하지 않는다. 따라서, 제 2 광도파로(32)와 광커플러(40)는 제 1 광소자층(203)의 아래쪽에 배치된다. 실리콘 질화물을 포함하는 제 3 광소자층(206)을 제 1 산화물층(202) 내부에 배치하는 경우, 제 2 광소자층(204)은 화합물 반도체층(12, 52)과 동일한 높이에 배치되는 실리콘 질화물을 포함하지 않기 때문에, 제 1 광소자층(203) 위에 화합물 반도체층(12, 52)을 형성하는 공정을 단순화할 수 있다. 상술한 구성을 제외한 광집적회로용 플랫폼(220)의 나머지 구성은 도 6에 도시된 광집적회로용 플랫폼(200)의 구성과 동일하다.

[0083] 도 10은 또 다른 실시예에 따른 광집적회로용 플랫폼 및 광집적회로의 예시적인 구성을 개략적으로 보이는 단면도이다. 도 10을 참조하면, 실시예에 따른 광집적회로용 플랫폼(230)은 광검출기(60)를 제외하고 도 9에 도시된 광집적회로용 플랫폼(220)과 거의 동일한 구성을 갖는다. 예를 들어, 도 10에 도시된 광집적회로용 플랫폼(230)을 이용하여 제작된 광집적회로는 화합물 반도체로 이루어진 광검출기(50) 대신에 게르마늄으로 이루어진 광검출기(60)를 포함할 수 있다. 광검출기(60)의 구조는 도 6에서 설명한 광검출기(60)의 구성과 동일하다.

[0084] 앞서 설명한 바와 같이, 광집적회로용 플랫폼을 이용하면 다양한 광집적회로를 단일 공정을 통해 제작할 수 있다. 예를 들어, 도 11은 광집적회로용 플랫폼을 이용하여 제작된 광학 위상 어레이 소자의 예시적인 구성을 개략적으로 보이는 사시도이다. 도 11을 참조하면, 광학 위상 어레이 소자(300)는 기관(301) 상에 배치된 광원(310), 분기 영역(300A), 위상 제어 영역(300B), 증폭 영역(300C), 및 방출 영역(300D)을 포함할 수 있다. 광원(310), 분기 영역(300A), 위상 제어 영역(300B), 증폭 영역(300C), 및 방출 영역(300D)은 제 1 방향(DR1)을 따라 배열될 수 있다. 또한, 광학 위상 어레이 소자(300)는 광원(310)에서 발생한 광을 분기 영역(300A), 위상 제어 영역(300B), 증폭 영역(300C), 및 방출 영역(300D)에 차례로 전달하는 복수의 광도파로(311)를 포함할 수 있다. 광원(310)에서 발생한 광은 광도파로(311)를 통해 제 1 방향(DR1)을 따라 진행할 수 있다.

[0085] 분기 영역(300A)은 복수의 광분배기(320)를 포함할 수 있다. 복수의 광분배기(320)는 광도파로(311)를 따라 진행하는 하나의 광을 여러 광들로 나눌 수 있다. 이를 위해, 각각의 광분배기(320)의 입력단에는 하나의 광도파로(311)가 연결되고 출력단에는 복수의 광도파로(311)가 연결될 수 있다. 예시적으로, 도 11에 하나의 광을 두 개의 광들로 나누는 복수의 광분배기(320)가 도시되었다. 광원(310)에서 발생한 광은 분기 영역(300A) 내에서 복수의 광으로 분할될 수 있다. 분할된 복수의 광은 복수의 광도파로(311)를 따라 각각 진행하게 된다. 도 11에는 광원(310)에서 발생한 광이 분기 영역(300A)에서 8개의 광들로 분할되는 것으로 도시되었으나, 이는 단순한 예시이며 반드시 이에 한정되는 것은 아니다.

[0086] 위상 제어 영역(300B)은 복수의 광도파로(311)에 각각 배치된 복수의 위상 제어 소자(330)를 포함할 수 있다.

예를 들어, 복수의 위상 제어 소자(330)는 제 1 방향(DR1)에 수직한 제 2 방향(DR2)을 따라 배열될 수 있다. 분기 영역(300A) 내에서 분할된 복수의 광들은 복수의 위상 제어 소자(330)에 각각 제공될 수 있다. 위상 제어 소자(330)는 전기적으로 제어되는 가변적인 굴절률을 가질 수 있다. 위상 제어 소자(330)의 굴절률에 따라 위상 제어 소자(330)를 통과하는 광들의 위상들이 결정될 수 있다. 위상 제어 소자(330)는 분할된 광들의 위상들을 독립적으로 조절할 수 있다.

[0087] 증폭 영역(300C)은 복수의 광도파로(311)에 각각 배치된 복수의 광증폭기(340)를 포함할 수 있다. 복수의 광증폭기(340)는 제 1 방향(DR1)에 수직한 제 2 방향(DR2)을 따라 배열될 수 있다. 광증폭기(340)는 광 신호의 크기를 증가시킬 수 있다. 예를 들어, 각각의 광증폭기(340)는 반도체 광증폭기(semiconductor optical amplifier) 또는 이온 도핑 증폭기를 포함할 수 있다.

[0088] 방출 영역(300D)은 복수의 격자 패턴 그룹(350)을 포함할 수 있다. 복수의 격자 패턴 그룹(350)은 제 2 방향(DR2)을 따라 배열될 수 있다. 복수의 격자 패턴 그룹(350)은 복수의 광증폭기(340)와 각각 연결될 수 있다. 각각의 격자 패턴 그룹(350)은 증폭 영역(300C)에서 증폭된 광들을 각각 방출할 수 있다. 이를 위해, 각각의 격자 패턴 그룹(350)은 주기적으로 배열된 복수의 격자 패턴(350a)을 포함할 수 있다. 복수의 격자 패턴(350a)은 제 1 방향(DR1)을 따라 배열될 수 있다. 위상 제어 영역(300B)에서 결정된 분할된 광들 사이의 위상차, 격자 패턴(350a) 사이의 간격, 격자 패턴(350a)의 높이, 및 격자 패턴(350a)의 폭에 의해 격자 패턴 그룹(350)에 의해 방출되는 출력광(OL)의 진행 방향이 결정될 수 있다. 예를 들어, 출력광(OL)의 진행 방향은 제 1 방향(DR1)의 성분, 제 2 방향(DR2)의 성분, 및 제 1 방향(DR1)과 제 2 방향(DR2)에 수직한 제 3 방향(DR3)의 성분을 가질 수 있다.

[0089] 도 12는 도 11에 도시된 광학 위상 어레이 소자(300)의 예시적인 구성을 개략적으로 보이는 단면도이다. 도 12의 단면도는 도 11에 도시된 어느 하나의 광도파로(311)를 따라 광학 위상 어레이 소자(300)를 제 3 방향(DR3)으로 절개한 것이다. 도 12를 참조하면, 광학 위상 어레이 소자(300)는 기관(301), 기관(301) 위에 배치되며 산화물 재료를 포함하는 제 1 산화물층(302), 제 1 산화물층(302) 위에 배치되며 반도체 재료를 포함하는 제 1 광소자층(303), 제 1 광소자층(303) 위에 배치되며 제 1 산화물층(302)의 재료 및 제 1 광소자층(303)의 재료와 상이한 재료를 포함하는 제 2 광소자층(304), 및 제 2 광소자층(304) 위에 배치되며 산화물 재료를 포함하는 제 2 산화물층(305)을 포함할 수 있다.

[0090] 앞서 설명한 바와 같이, 기관(301)은, 예를 들어, 실리콘 기관일 수 있다. 제 1 산화물층(302)은, 예를 들어, 실리콘 산화물(SiO₂)로 이루어질 수 있지만, 반드시 이에 한정되지 않는다. 제 1 광소자층(303)은, 예를 들어, 결정질 실리콘(c-Si)으로 이루어질 수 있다. 제 1 광소자층(303)에는 복수의 광도파로(311)가 형성될 수 있다. 비록 도 12의 단면도에는 광도파로(311)와 명확하게 구분되어 보이지 않지만, 제 1 광소자층(303)에서 광도파로(311) 사이에 복수의 광분배기(320)가 형성될 수 있다. 또한, 제 1 광소자층(303)에는 복수의 위상 제어 소자(330)가 배치될 수 있다. 각각의 위상 제어 소자(330)는 전기적인 제어에 의해 굴절률이 변화하는 굴절률 변화층(331)을 포함할 수 있다. 굴절률 변화층(331)은 광도파로(311) 사이에 개재될 수 있다. 따라서, 제 1 광소자층(303)에는 복수의 광도파로(311), 분기 영역(300A), 및 위상 제어 영역(300B)이 형성될 수 있다.

[0091] 제 2 광소자층(304)에는 광원(310), 복수의 광증폭기(330), 및 복수의 격자 패턴 그룹(350)이 형성될 수 있다. 따라서, 제 2 광소자층(304)에는 광원(310), 증폭 영역(300C), 및 방출 영역(300D)이 형성될 수 있다. 예를 들어, 광원(310)과 광증폭기(330)는 제 1 광소자층(303)의 반도체 재료와 상이한 III/V족 화합물 반도체, II/VI족 화합물 반도체, 또는 게르마늄(Ge)으로 이루어진 활성층(310a, 340a)을 각각 포함할 수 있다. 그러나, 반드시 이에 한정되는 것은 아니며, 제 1 광소자층(303)의 결정질 실리콘을 패터닝하고 도핑하여 광원과 광검출기를 형성할 수도 있다. 이 경우, 광원과 광검출기는 제 1 광소자층(303)에 형성된다.

[0092] 각각의 격자 패턴 그룹(350)은 복수의 격자 패턴(350a)을 포함한다. 격자 패턴 그룹(350)은 제 1 산화물층(302)의 산화물보다 광손실이 적고 열전도성이 높은 절연성 재료를 포함할 수 있다. 예를 들어, 격자 패턴 그룹(350)은 실리콘 질화물(SiN)로 이루어질 수 있다. 격자 패턴 그룹(350)은 제 1 광소자층(303)에 형성된 광도파로(311)보다 위쪽에 배치되어 있다. 광도파로(311)와 격자 패턴 그룹(350) 사이의 광학적 연결을 위하여, 광학 위상 어레이 소자(300)의 상부에서 내려다 볼 때 광도파로(311)의 일부와 격자 패턴 그룹(350)의 일부가 서로 중첩되어 배치될 수 있다. 그리고, 광도파로(311)와 격자 패턴 그룹(350)의 서로 대향하는 영역에서 광도파로(311)와 격자 패턴 그룹(350) 사이의 간격은 0 내지 200 nm 정도이다. 그러면, 광도파로(311)와 격자 패턴 그룹(350)의 서로 대향하는 영역에서 수직 에바네센트 커플링이 발생하여 광도파로(311)와 격자 패턴 그룹(350) 사이에 거의 광손실 없이 빛이 전달될 수 있다. 광도파로(311)와 격자 패턴 그룹(350) 사이의 간격에는 제 1 산화

물층(302)을 구성하는 산화물 재료가 채워질 수 있다. 방출 영역(300D)의 격자 패턴 그룹(350)이 광손실이 적은 재료로 이루어지기 때문에 광학 위상 어레이 소자(300)의 광 이용 효율이 향상될 수 있다.

[0093] 또한, 광원(310)과 광증폭기(330) 위에는 격자 패턴 그룹(350)의 재료와 동일한 재료로 이루어진 상부 클래드(310b, 340b)가 각각 배치될 수 있다. 광원(310)과 광증폭기(330) 위에 제 1 및 제 2 산화물층(302, 305)의 재료보다 열배출 효율이 높은 재료로 이루어진 상부 클래드(310b, 340b)가 각각 배치되기 때문에, 광원(310)과 광증폭기(330)를 효과적으로 냉각시킬 수 있고 열에 의해 광원(310)과 광증폭기(330)가 열화되는 것을 방지할 수 있다.

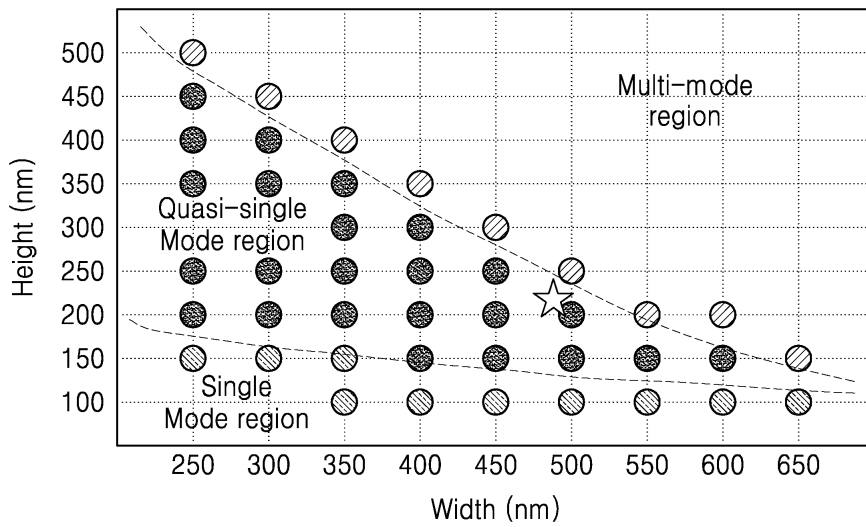
[0094] 도 12에는 도 1에 도시된 광집적회로용 플랫폼(100)을 이용하여 광학 위상 어레이 소자(300)가 제작된 것으로 도시되었지만, 반드시 이에 한정되는 것은 아니다. 예를 들어, 다른 실시예에 따른 광집적회로용 플랫폼(110, 200, 210, 220, 230)을 이용하여 광학 위상 어레이 소자(300)를 제작하는 것도 가능하다.

[0095] 상술한 광집적회로용 플랫폼 및 이를 이용한 광학 위상 어레이 소자는 도면에 도시된 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 권리범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 권리범위에 포함된 것으로 해석되어야 할 것이다.

부호의 설명

- [0096] 10, 310, 340.....광원 또는 광증폭기
- 11, 21, 30, 31, 32, 51, 311.....광도파로
- 12, 52.....화합물 반도체층
- 13, 14, 24, 25, 53, 54, 64, 65.....도전성 플러그
- 16, 56.....클래드
- 20.....광변조기
- 22, 23, 61, 62.....도핑 영역
- 40.....광커플러
- 41.....격자
- 50, 60.....광검출기
- 63.....게르마늄층
- 100, 110, 200, 210, 220, 230.....광집적회로용 플랫폼
- 101, 201, 301.....기판
- 102, 202, 302.....제 1 산화물층
- 103, 203, 303.....제 1 광소자층
- 104, 204, 304.....제 2 광소자층
- 105, 205, 305.....제 2 산화물층
- 206.....제 3 광소자층
- 107.....SOI 기판
- 300..... 광학 위상 어레이 소자
- 320.....광분배기
- 330.....위상 제어 소자
- 350.....격자 패턴 그룹

도면2



도면3a

QW OCF (Ch, NSCH50nm)					
H	W0.5	W0.75	W1	W1.25	W1.5
200	12.2	12	11.5	11.1	10.8
300	12.1	10	7.6	6.4	5.9
400	11.9	5.7	3.2	2.5	2.3
500	11.6	2.6	1.4	1.1	1
600	3.2	1	0.7	0.6	0.5
700	1.5	0.5	0.4	0.4	0.3

도면3b

Si OCF (Ch, NSCH50nm)					
H	W0.5	W0.75	W1	W1.25	W1.5
200	1	4.7	8.9	11.8	13.7
300	2.3	19.4	35.7	42.8	46.1
400	4.4	50.1	66.9	71.2	72.9
500	7.3	73.7	82.2	84.2	85
600	64.8	85	89.2	90.3	90.7
700	79.5	90.7	92.9	93.6	93.8

도면4a

QW OCF (Rib, NSCH0nm)					
H	W0.5	W0.75	W1	W1.25	W1.5
200	12.3	12.4	12.1	11.9	11.7
300	12	9.6	8	7.3	6.9
400	10.4	5	3.8	3.4	3.2
500	5.8	2.3	1.8	1.7	1.6
600	1.6	1.1	1	0.9	0.9
700	0.4	0.6	0.6	0.6	0.6

도면4b

Si OCF (Rib, NSCH0nm)					
H	W0.5	W0.75	W1	W1.25	W1.5
200	2.8	8.7	13.4	16.1	17.6
300	8	31	42.1	46.4	48.4
400	21.7	61.7	69	71.4	72.3
500	55.7	80.3	82.9	83.8	84.2
600	84.7	89.1	89.7	90.1	90.2
700	93.7	93.5	93.4	93.5	93.5

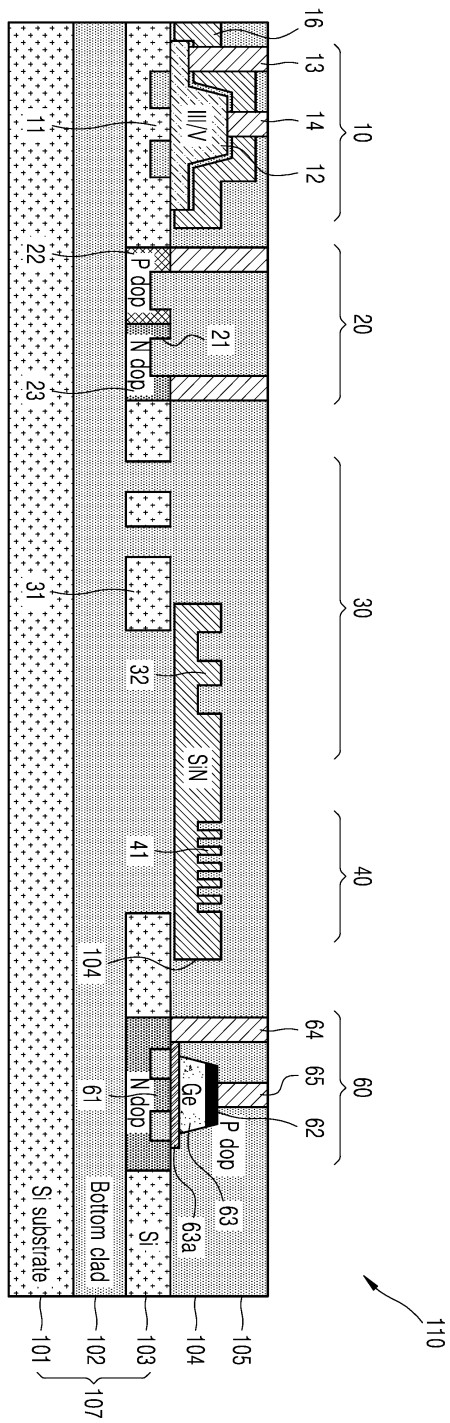
도면5a

QW OCF (Rib, NSCH100nm)					
H	W0.5	W0.75	W1	W1.25	W1.5
200	12.5	12.1	11.6	11.2	10.9
300	12.3	9.7	7.1	5.9	5.3
400	11.6	4	2.3	1.8	1.7
500	8.1	1.2	0.8	0.7	0.6
600	1.4	0.5	0.4	0.3	0.3
700	0.2	0.2	0.2	0.2	0.2

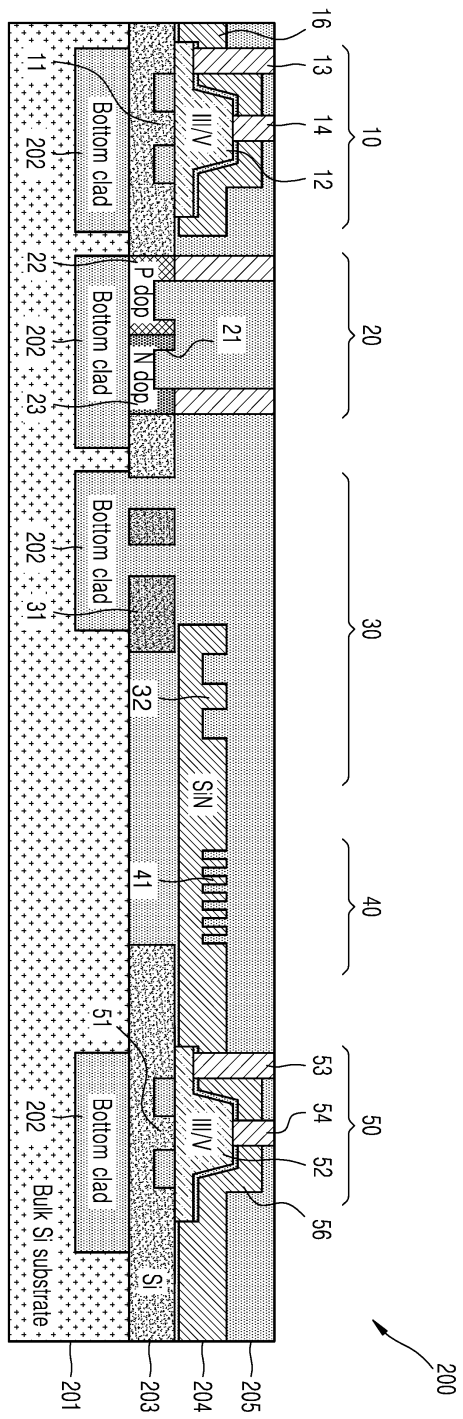
도면5b

Si OCF (Rib, NSCH100nm)					
H	W0.5	W0.75	W1	W1.25	W1.5
200	0.9	3.6	6.7	9.1	10.6
300	2.5	18.9	34.5	41.7	45
400	7.4	58.5	70	73.1	74.3
500	33.1	81.8	84.8	85.8	86.1
600	83.2	90.5	91.1	91.4	91.5
700	94.1	94.4	94.3	94.4	94.4

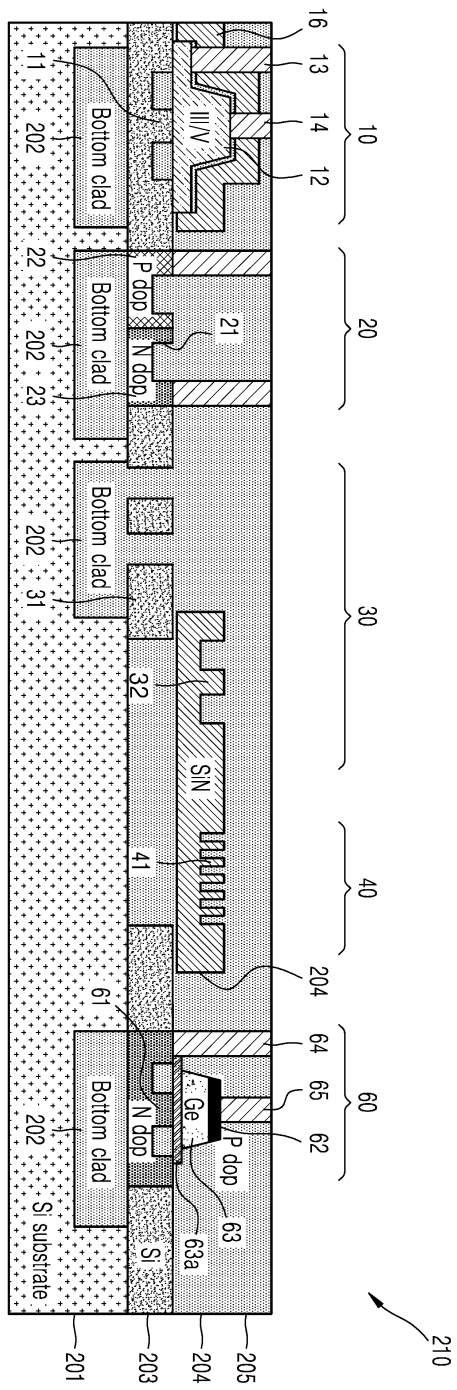
도면6



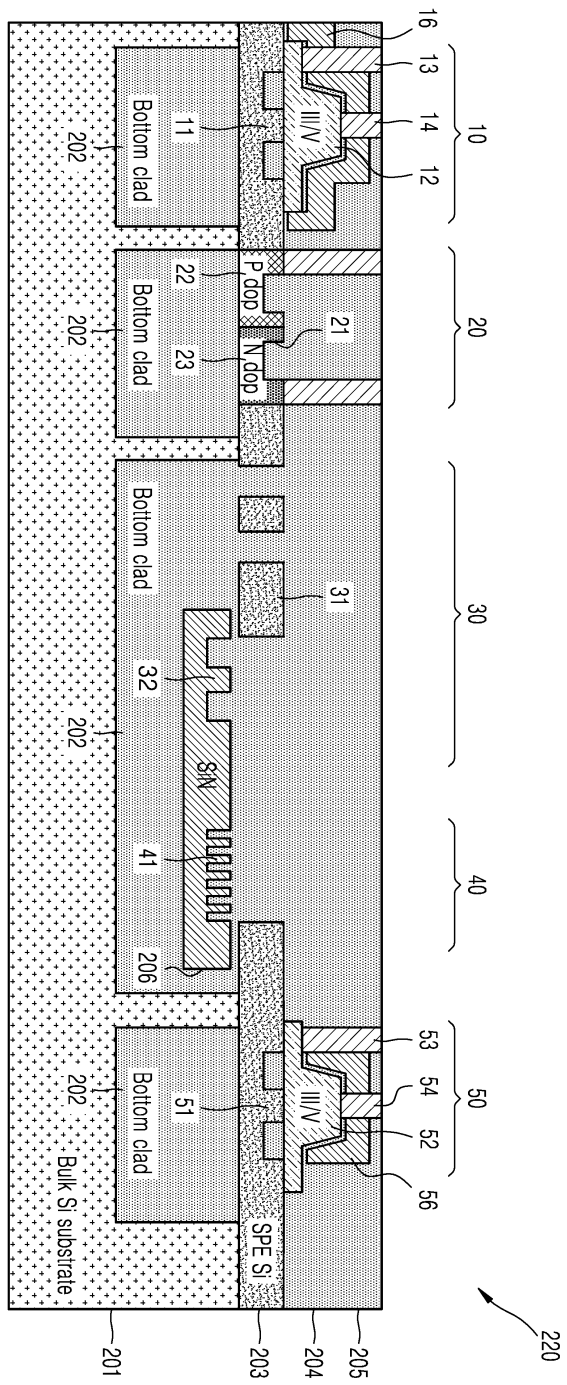
도면7



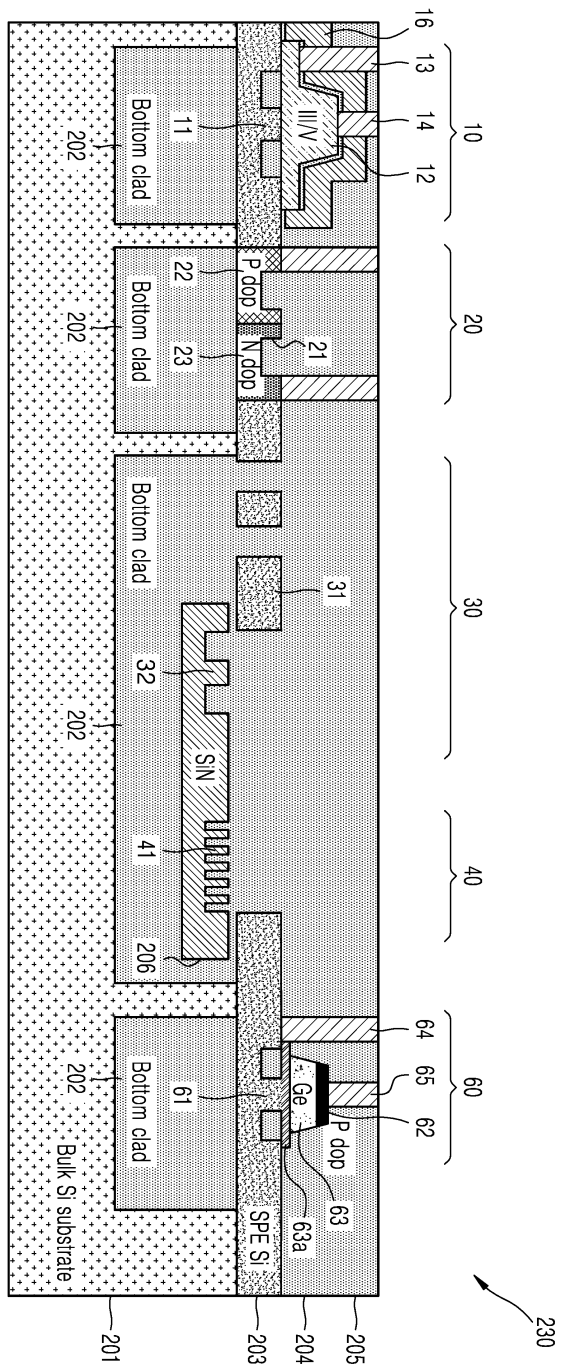
도면8



도면9



도면10



도면12

