

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl. ⁶ G11C 29/00		(45) 공고일자 1996년06월07일	
		(11) 공고번호 특1996-0007638	
		(24) 등록일자 1996년06월07일	
(21) 출원번호	특1993-0012076	(65) 공개번호	특1999-1000001
(22) 출원일자	1993년06월30일	(43) 공개일자	1999년01월01일
(30) 우선권주장	93-000304 1993년01월05일 일본(JP) 92-324284 1992년12월03일 일본(JP) 92-349481 1992년12월28일 일본(JP)		
(73) 특허권자	후지쓰 가부시끼가이샤 세끼사와 다까시		
(72) 발명자	일본국 가나가와켄 가와사끼시 나까하라구 가미고다나까 1015 다까오 아까오기 일본국 가나가와켄 가와사끼시 나까하라구 가미고다나까 1015 노부야기 다까시나 일본국 가나가와켄 가와사끼시 나까하라구 가미고다나까 1015 야수시 가사 일본국 가나가와켄 가와사끼시 나까하라구 가미고다나까 1015 기요시 이따노 일본국 가나가와켄 가와사끼시 나까하라구 가미고다나까 1015 히로미 가와시마 일본국 가나가와켄 가와사끼시 나까하라구 가미고다나까 1015 미노루 야마시따 일본국 가나가와켄 가와사끼시 나까하라구 가미고다나까 1015 소우이치 가와무라 일본국 가나가와켄 가와사끼시 나까하라구 가미고다나까 1015		
(74) 대리인	문병암		

심사관 : 김희태 (책자공보 제4500호)

(54) 전기적 및 일괄적으로 소거 가능한 특성을 갖는 비휘발성 반도체 메모리장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

전기적 및 일괄적으로 소거 가능한 특성을 갖는 비휘발성 반도체 메모리장치

[도면의 간단한 설명]

제1도는 본 발명의 첫번째 양상에 관련된 반도체 메모리 장치에 사용되는 메모리 셀의 동작을 설명하기 위한 도식도.

제2도는 본 발명의 첫번째 양상에 관련된 종래의 반도체 메모리 장치를 나타내고 있는 블록도.

제3도는 제2도의 반도체 메모리장치의 칼럼(column)어드레스 버퍼를 나타내고 있는 회로도.

제4도는 제2도의 반도체 메모리장치의 로우(row)어드레스 버퍼를 나타내고 있는 회로도.

제5도는 제2도의 반도체 메모리장치의 로우디코더(decoder)를 나타내고 있는 회로도.

제6도는 제2도의 반도체 메모리장치의 칼럼디코더를 나타내고 있는 회로도.

제7도는 제2도의 반도체 메모리장치의 기록회로를 나타내고 있는 회로도.

제8도는 제2도의 반도체 메모리장치의 소오스(source)전압 공급회로를 나타내고 있는 회로도.

제9도는 제2도의 반도체 메모리장치의 감지 증폭기를 나타내고 있는 회로도.

제10도는 제2도의 반도체 메모리장치의 기록특성 곡선의 한 예를 나타내고 있는 도식도.

제11도는 본 발명의 첫번째 양상에 따른 반도체 메모리장치의 실시예를 나타내고 있는 회로 블록도.

제12도는 제11도의 반도체 메모리장치의 로우어드레스 버퍼를 나타내고 있는 회로도.

제13도는 제11도의 반도체 메모리장치의 로우디코더를 나타내고 있는 회로도.

제14도는 제11도의 반도체 메모리장치의 일치회로를 나타내고 있는 회로도.

제15도는 제11도의 반도체 메모리장치의 로우디코더의 중요부를 나타내고 있는 회로도.

제16도는 제15도의 회로에 인가된 신호의 파형을 나타내고 있는 도식도.

제17도는 제11도의 반도체 메모리장치의 검정전압 발생기를 나타내고 있는 회로도.

제18도는 제15도의 회로에 인가된 신호의 파형을 나타내고 있는 도식도.

제19도는 제18도의 감지 증폭기에 제어신호를 발생시키는 논리 회로를 나타내고 있는 회로도.

제20도는 본 발명의 두번째 양상에 관련된 종래의 반도체 메모리장치의 용장회로를 나타내고 있는 회로 블록도.

제21도는 제20도의 일반적인 용장회로의 배치를 나타내고 있는 회로 블록도.

제22도는 제20도의 일반적인 용장회로를 채용한 반도체 메모리장치.

제23도는 본 발명의 두번째 양상에 따른 반도체 메모리장치에 대한 용장회로의 실시예를 나타내고 있는 회로 블록도.

제24도는 제23도의 용장회로를 채용한 반도체 메모리장치의 리얼 셀(real cell) 및 용장 셀을 나타내고 있는 도식도.

제25도는 제23도의 용장회로를 채용한 반도체 메모리장치를 나타내고 있는 블록도.

제26도는 본 발명의 두번째 양상에 따른 반도체 메모리장치에 대한 용장회로의 다른 실시예를 나타내고 있는 회로 블록도.

제27도는 본 발명의 두번째 양상에 따른 반도체 메모리장치에 대한 용장회로의 또다른 실시예를 나타내고 있는 회로 블록도.

제28도는 제27도의 용장회로를 채용한 반도체 메모리장치를 나타내고 있는 블록도.

[발명의 상세한 설명]

본 발명은 반도체 메모리장치 특히, 플래쉬 메모리, 즉 전기적 및 일괄적으로 소거 가능한 특성을 갖는 비휘발성 반도체 메모리장치에 관한 것이다.

최근에 컴퓨터, 워드프로세서 등의 인기에 따라서 다수개의 반도체 메모리장치, 전형적인 비휘발성 반도체 메모리장치 예를 들어, 이러한 정보 프로세서에 사용되는 플래쉬 메모리가 개발되고 생산되고 있다.

비 휘발성 반도체 메모리장치의 한 종류인 플래쉬 메모리는 사용자에게 의해 프로그램될 수 있다. 더욱이, 플래쉬 메모리는 전기적 및 일괄적으로 저장된 데이터를 소거 및 프로그래밍 함으로써 재기록 될 수 있다. 그래서, 플래쉬 메모리는 고집적에 적합하기 때문에 자기 기억장치의 대용으로 상당한 관심을 모으고 있다. 이러한 플래쉬 메모리에 대해 용장회로와 기록회로의 개량 및 과잉소거 대책 등의 개량이 요망되고 있다.

본 발명의 첫번째 양상의 목적은 반도체 메모리 장치에서 효과적인 워드라인 용장성 및 안정적인 기록 및 검정동작을 실현하기 위한 반도체 메모리장치를 제공하고, 반도체 메모리 장치의 수율 및 동작을 향상시키는 데 있다.

본 발명의 두번째 양상의 목적은 반도체 메모리장치의 크기를 줄이기 위한 반도체 메모리장치를 제공하고, 대규모 용량 반도체 메모리의 수율을 향상시키고 그것의 비용을 줄이는데 있다.

본 발명의 첫번째 양상에 따라, 반도체 메모리장치는 2^n 워드라인, 다수개의 비트라인, 각각 워드라인 및 비트라인의 각 교차점에 배치되고 전기적으로 외부에서 임계전압을 제어할 수 있는 MIS 트랜지스터로 형성된 다수개의 비휘발성 메모리 셀, 및 워드라인 및 비트라인중 선택된 하나의 교차점에 배치된 메모리 셀에 데이터를 기록하기 위한 기록회로, 메모리 셀로부터의 데이터를 판독하기 위한 감지 증폭기, 2^n 워드라인 중에서 2^m (nm) 워드라인의 블록을 동시에 선택하기 위한 첫번째 수단 및 2^m 워드라인중에서 2^k (mk) 워드라인의 첫번째 블록을 선택하지 않는 두번째 수단을 포함하고, 두번째 수단을 2^m 워드라인 중에서 2^k 워드라인의 첫번째 블록중 어느하나가 결함이 있을 때, 2^k 워드라인의 첫번째 블록을 선택하지 않고, 2^n 워드라인 외부에 존재하는 2^m 워드라인의 두번째 블록을 선택한다.

선택된 워드라인은 음전압을 수신하고 선택되지 않은 워드라인 0 또는 양전압을 수신한다. 2^n 워드라인의 블록은 리얼 셀 블록을 형성하고, 2^m 워드라인의 블록은 소거블록을 형성하고, 2^n 워드라인의 블록 외부의 2^k 워드라인의 블록은 용장 셀 블록을 형성한다.

더욱이, 본 발명의 첫번째 양상에 따라, 2^n 워드라인, 다수개의 비트라인, 각각 워드라인 및 비트라인의 각 교차점에 배치되고 전기적으로 외부에서 임계전압을 제어할 수 있는 MIS 트랜지스터로 형성된 다수개의 휘발성 메모리 셀, 및 워드라인 및 비트라인중 선택된 하나의 교차점에 배치된 메모리 셀에 데이터를 기록하기 위한 기록회로, 메모리 셀로부터의 데이터를 판독하기 위한 감지 증폭기, 2^n 워드라인중에서 2^m (nm)워드라인의 블록을 동시에 선택하기 위한 첫번째 수단, 2^m 워드라인중에서 2^k (mk)워드라인의 첫번째 블록을 선택하지 않는 두번째 수단으로 구성되며, 2^k 워드라인에 포함되는 메모리 셀 트랜지스터에 대하여 구 메모리 셀 트랜지스터에 데이터를 기록하기 전에 비선택상태의 워드라인의 전위보다도 임계전압이 낮아지도록 데이터를 기록하여서, 메모리 셀 트랜지스터가 비선택상태의 워드라인의 전위를 초과하고 2^m 워드라인의 외부에 존재하는 2^k 워드라인의 두번째 블록이 용장 워드라인으로 사용되는 반도체 메모리장치가 제공된다.

더욱이, 본 발명의 첫번째 양상에 따라, 다수개의 워드라인, 다수개의 비트라인, 각각 워드라인 및 비트라인의 각 교차점에 배치되고 전기적으로 외부에서 임계전압을 제어할 수 있는 MIS 트랜지스터로 형성된 다수개의 비휘발성 메모리 셀, 및 워드라인 및 비트라인중 선택된 하나의 교차점에 배치된 메모리 셀에 데이터를 기록하기 위한 기록회로, 메모리 셀로부터의 데이터를 판독하기 위한 감지 증폭기로 구성되며, 메모리셀 트랜지스터의 임계전압을 비선택 워드라인의 전위보다도 높게 증가하도록 메모리 셀 트랜지스터의 데이터를 기록할 때 워드라인에 접속된 메모리 셀 트랜지스터의 드레인 전류가 그것의 채널 전류보다 더 낮아지도록 각각의 워드라인이 제어되는 메모리 셀로부터 데이터를 판독하기 위한 감지 증폭기로 이루어지는 메모리 장치가 제공된다.

각각의 워드라인은 펄스신호에 따라 신호를 인가함으로써 제어된다.

또한, 본 발명의 첫번째 양상에 따라 다수개의 워드라인, 다수개의 비트라인, 각각 워드라인 및 비트라인의 각 교차점에 배치되고 전기적으로 외부에서 임계전압을 제어할 수 있는 MIS 트랜지스터로 형성된 다수개의 비휘발성 메모리 셀, 및 워드라인 및 비트라인중 선택된 하나의 교차점에 배치된 메모리 셀에 데이터를 기록하기 위한 기록회로, 메모리 셀로부터의 데이터를 판독하기 위한 감지 증폭기로 구성되며, 감지 증폭기의 출력전류를 다른 용량을 갖는 두 개의 부하 트랜지스터의 ON상태의 조합에 따라 통상의 데이터 판독 동작, 소거검정 동작 및 기록검정 동작을 실현하도록 한 반도체 메모리장치가 제공된다.

기준전압은 워드라인에 접속된 임의의 셀 트랜지스터에 관해 기록 검정 또는 소거검정 동작을 행하는데 사용되는 전압이 워드라인에 제공되도록 증가된다. 워드라인에 접속된 임의의 셀 트랜지스터에 관해 기록 검정 및 소거검정 동작을 행하는데 사용되는 전압이 워드라인에 제공되도록 접속한 동일한 공정으로 제작된 P채널형 트랜지스터 및 n채널형 트랜지스터를 다이오드와 같이 직렬로 접속한다.

반도체 메모리장치는 플래쉬 메모리에 의해 구성된다.

본 발명의 두번째 양상에 따라, 블록에 분할된 다수개의 리얼 메모리 셀, 리얼 메모리 셀에서의 결함있는 셀을 대체하기 위한 다수개의 용장 메모리셀, 리얼 메모리 셀의 각각의 블록의 결함있는 어드레스를 지정하기 위한 다수개의 결함있는 어드레스 지정 수단, 및 결함있는 어드레스 지정수단에 의해 공유되어 리얼 메모리 셀의 블록의 어드레스와 결함있는 어드레스를 비교하기 위한 어드레스 비교수단으로 이루어지는 반도체 메모리장치가 제공된다.

더욱이, 본 발명의 두번째 양상에 따라 다수개의 메모리 셀을 갖는 리얼 셀 어레이, 및 리얼 셀 어레이에서의 결함있는 메모리 셀을 대체하는 다수개의 용장 셀, 외부에 제공된 어드레스에 따라 결함있는 어드레스에 데이터를 기록하기 위한 용장 정보 저장 셀 어레이, 외부에 제공된 어드레스에 따라 용장정보 저장 셀 어레이를 선택하기 위한 셀 선택회로, 및 셀 선택회로에 의해 선택된 용장 정보 저장 셀 어레이의 출력을 판독하고, 요장성 신호를 제공하기 위한 판독회로로 이루어지는 반도체 메모리장치가 제공된다.

바람직한 실시예의 이해를 위해 종래 기술의 문제점이 제1도 내지 제10도를 참고로 하여 설명된다.

제1도는 본 발명의 첫번째 양상이 채용되는 전기적 및 일괄적으로 소거 가능한 비휘발성 반도체 메모리장치(플래쉬 메모리)의 메모리 셀(MC)을 도시하고 있다. 메모리 셀(셀 트랜지스터) MC는 플로팅 게이트 FG를 갖는다. 플로팅 게이트 FG는 소오스 및 드레인 사이에 배치되고, 다른 영역으로부터 절연된다. 제어 게이트 CG는 플로팅 게이트 FG위에 형성된다.

셀 트랜지스터 MC에 데이터를 기록하기 위하여 드레인 DD에 인가된 드레인 전압 Vd는 전원전압 Vcc와 실질적으로 동일한다. 제어 게이트 CG에 인가된 게이트 전압 Vg는 양이 고전압(최고 약 +10V)이다. 소오스 SS에 인가된 소오스 전압 Vs는 제로(zero)이다. 전자는 셀 트랜지스터 MC에 데이터 0을 기록하기 위해 드레인 DD로부터 플로팅 게이트 FG에 주입된다. 만약, 전압 Vpp가 유용하다면 드레인 전압 Vd는 기록전압 Vpp가 될 수 있다. 높은 게이트 전압 Vg는 기록전압 Vpp가 될 수 있거나 전원전압 Vcc를 증가 시켜 생성될 수 있다.

셀 트랜지스터 MC로부터 데이터를 소거하기 위해 게이트 전압 Vg는 높은 음의 값(최하 약 -10V)으로 설정된다. 드레인 전압 Vd는 플로팅 상태에서 드레인 DD로 나아가게 개방된다. 소오스 전압 Vs는 전원전압 Vcc와 동일한다. 전자는 셀 트랜지스터 MC로부터 데이터를 소거하기 위해 즉, 셀 트랜지스터에 데이터 1을 기록하기 위해 플로팅 게이트 FG로부터 소오스 SS로 흐르게 된다. 셀 트랜지스터 MC로부터 데이터를 판독하기 위해 게이트 전압 Vg는 전원 전압 Vcc와 동일하게 되고, 드레인 전압 Vd는 약 1V로 소오스전압 Vs는 제로가 된다. 그러다음, 드레인 전류가 흐르는지의 여부를 알아보고, 만약 셀 트랜지스터 MC에 저장된 데이터가 1 또는 0인지를 결정하기 위해 체크(check) 된다.

제2도는 본 발명의 첫번째 양상에 관련된 종래의 반도체 메모리장치를 도시하고 있다. 이 반도체 메모리장치는 로우어드레스 버퍼 111, 로우디코더 112, 칼럼어드레스 버퍼 113, 칼럼 디코더 114, 데이터 I/O버퍼 115, 기록전류 116, 감지 증폭기 117, 음전압 발생기 117, 및 소오스 전압 공급회로 119를 갖는다. 반도체 메모리장치는 비트라인 BL, 워드라인 WL, 데이터를 기록할 때 하이레벨 H인 기록제어신호 W, 및 데이

타를 소거할 때 하이레벨 H인 소거제어신호 E를 포함한다.

메모리 셀(셀 트랜지스터) MC로부터 데이터를 판독할 때 로우어드레스는 워드라인 WL을 선택하기 위해 주어지고, 칼럼어드레스 비트라인 BL을 선택하기 위해 주어지고, 그럼으로써 메모리 셀을 선택한다. 감지 증폭기 117은 셀에 저장된 데이터가 1 또는 0인지를 결정하기 위해 전류가 선택된 메모리 셀을 통해 흐르는지의 여부를 감지한다.

메모리 셀 MC에 데이터를 기록할 때, 기록 제어신호 W는 하이레벨 H로 설정된다. 기록회로 116은 버스BUS에 기록전압을 제공하고, 칼럼 디코더 114는 버스 BUS를 조정의 비트라인 BL에 연결한다. 로우디코더 112는 선택된 워드라인 WL에 기록전압을 공급한다. 메모리 셀 MC로부터 데이터를 소거할 때 소거 제어신호 E는 하이레벨 H로 설정된다. 소오스 전압 공급회로 119는 소거전압을 메모리 셀 MC의 소오스 라인에 공급하고, 칼럼어드레스 버퍼 113은 비선택 상태에서 비트라인 BL을 향한다. 로우어드레스 버퍼 111은 동시에 소정의 수의 워드라인 WL을 선택하고, 로우디코더 112는 선택된 워드라인 WL을 로우레벨 L로, 비선택 워드라인 WL을 하이레벨 H로 설정한다. 음전압 발생기 118은 로우레벨 L의 워드라인 WL에 음전압을 공급한다.

제3도 내지 6도는 각각 제2도의 반도체 메모리장치의 칼럼 어드레스 버퍼 113, 로우어드레스 버퍼 11, 로우디코더 112, 칼럼 디코더 114의 예를 도시하고 있다.

메모리 셀 MC로부터 데이터를 판독할 때 소거 제어신호 E는 로우레벨 L상태이다. 제3도의 칼럼 어드레스 버퍼 113 및 제4도의 로우어드레스 버퍼 111은 입력어드레스에 관하여 양 및 음 논리값을 제공한다. 제5도의 로우디코더 112는 데이터를 소거 또는 기록할 때 소정의 주파수로 발진하는 신호 Φ 및 입력어드레스의 수신후 소정의 시간동안 하이레벨 H 상태인 신호 Φ_R 를 포함한다.

데이터를 판독할 때 기록 제어신호 W는 로우레벨 L상태이다. 제5도의 로우디코더 112의 트랜지스터 T_1 및 T_2 는 전원전압 V_{cc} 를 받아들인다.

어드레스 입력(로우어드레스 버퍼 111의 출력)에 따라 소정의 디코더가 선택된다. 예를들어, 제5도의 노드 N_3 는 하이레벨 H가 된다. 만약, 이상 상태에서 신호 Φ_R 이 하이레벨 H의 펄스를 제공한다면 노드 N_2 및 N_4 는 제로로 재설정된다. 신호 Φ_R 이 로우레벨 L을 복원하면 노드 N_2 는 전원전압 V_{cc} 의 레벨로 충전된다. 또한, 트랜지스터 T_6 및 T_7 의 셀프 부트스트랩 효과(self-bootstrap effect)에 기인하여 전원전압 V_{cc} 의 레벨로 충전된다.

칼럼 디코더 114는 로우디코더 112와 유사하게 동작한다. 결과적으로, 전원전압 V_{cc} 는 소정의 워드라인 WL에 인가되고, 소정의 비트라인 BL은 감지 증폭기 117에 접속된다.

제7도 및 제8도는 각각 제2도의 반도체 메모리장치의 기록회로 116 및 소오스 전압 공급회로 119의 예를 도시하고 있다.

하이레벨 H의 기록제어신호 W, 로우레벨 L의 데이터, 및 하이레벨 H의 반전된 데이터 신호/DATA와 같이 제7도의 기록회로 116은 전원전압 V_{cc} 가 버스 BUS에 고전압을 제공하도록 증가한다. 이 고전압에 따라 데이터는 소정의 셀 트랜지스터에 기록된다. 신호/ DATA는 데이터 I/O버퍼 115로부터 기록회로 116에 기록신호로서 전송된다. 기호/는 반전된 레벨 또는 반전된 신호를 나타내고, 예를들어 신호/DATA는 신호DATA의 반전된 레벨을 나타낸다.

데이터를 소거할 때 소거 제어신호 E는 하이레벨 H로 상승한다. 제3도의 칼럼 어드레스 버퍼 113에 있어서, 출력 A 및 /A는 둘다 로우레벨 L로 설정된다. 이들 출력 A 및 /A는 선택되지 않은 상태에서 칼럼(비트라인 BL)을 향하도록 칼럼 디코더 114에 인가된다. 즉, 비트라인 BL은 모든 노드로부터 전기적으로 차단된다. 로우어드레스 버퍼 111에 있어서 소거 제어신호 E는 전체로서 n버퍼 소장중에 m버퍼소자에 인가된다. 결과적으로, 제5도의 로우디코더 112는 동시에 2^m 워드라인을 선택한다.

로우디코더 112에 있어서 소거제어신호 E는 하이레벨 H상태이고, 노드 N_2 는 제로전압을 받아들이고 노드 N_5 는 하이레벨 H를 받아들인다. 따라서, 선택된 워드라인 WL은 로우레벨 L로 설정되고, 비선택 워드라인 WL은 하이레벨로 설정된다.

음전압 발생기 118은 소거전압을 로우레벨 L의 워드라인 WL에 제공한다. 하이레벨에서 워드라인 WL은 하이레벨 H로 유지된다. 왜냐하면, 제5도의 NOR게이트의 출력 N_6 의 전위가 항상 로우레벨 L이고, 그러므로 신호 Φ 가 노드 N_6 에 연결된 용량성 소자에 전송되지 않기 때문이다. 이때에, 제8도의 소오스 전압 공급회로 119는 각각의 셀 트랜지스터 MC의 소오스 SS에 전원전압 V_{cc} 를 공급한다. 결과적으로, 2^m 워드라인의 셀 트랜지스터는 동시에 소거된다.

제9도는 제2도의 반도체 메모리장치의 감지 증폭기 117의 예를 도시하고 있다.

제9도의 감지 증폭기 117의 출력은 선택된 셀 트랜지스터 MC의 드레인 전류가 트랜지스터 T_8 의 허용 전류보다 더 큰지의 여부에 의존하는 하이레벨 H 또는 로우레벨 L이 된다. 트랜지스터 T_9 , T_{10} , T_{11} 및 T_{12} 는 버스 BUS의 전위를 약 1V로 설정하는 바이어스 전류를 형성한다.

데이터를 기록할 때 기록 제어신호 W는 하이레벨 H로 설정되고, 신호 Φ 는 소정의 주파수로 발진된다. 트랜지스터 T_4 및 T_5 는 노드 N_1 기록전압을 제공한다. 신호 Φ_R 과 같이 판독 동작에 유사하게 하이레벨 H의 펄스는 기록전압으로 노드 N_2 를 충전하도록 공급된다. 또한, 노드 N_4 는 트랜지스터 T_6 및 T_7 의 셀프 부트스트랩 효과에 기인하여 노드 N_2 로서 동일한 레벨로 충전된다. 칼럼디코더 114는 같은 방법으로 동작한다. 계속해서 기록전압은 선택된 워드라인 WL에 공급되고, 선택된 비트라인 BL은 기록 전류 116에 접속된다.

제2도 내지 9도를 참고하여 설명되는 것처럼 종래 기술의 반도체 메모리장치(플래쉬 메모리)는 많은 수의 메모리 셀을 포함한 블록 예를 들어, 512킬로바이트를 집합적으로 소거한다. 만약, 이 대규모 블록이 결함있는 셀을 포함하면 블록 전체가 많은 수의 용장 메모리 셀을 포함한 블록으로 대체되어야 한다. 이러한 종류의 대치는 용장의 효율이 저하된다. 즉, 선행기술은 적은 수의 용장 셀로 많은 결함있는 셀을 대체하는 것은 어렵다. 만약, 제1도의 메모리 셀 MC11이 과잉소거되면 전류가 올바른 판독 및 기록 동작을 막기 위해 메모리 셀 MC11을 통해 비트라인 BL1에 통상 흐른다.

제10도는 반도체 메모리 장치(플래쉬 메모리)의 기록 특성을 나타내고 있다.

상술한 종래 기술은 전원전압 Vcc를 증가시킴으로써 기록 드레인전압을 제공한다. 더욱이, 기록전류 I16의 비트라인 구동 용량은 큰 전류가 비트라인에 공급될 때 비트라인의 전위가 감소하도록 한정된다. 과잉 소거된 셀 트랜지스터가 존재하면 과잉소거된 셀 트랜지스터의 기록 특성 곡선은 제10도의 실선으로 표시되는 바와같이 기록 불가영역 A에서 기록 전류의 부하곡선에 교차한다. 이런일이 발생하면 기록 동작은 불가능해 된다. 기록 동작은 단지 D 점과 B 점 사이에서 가능하다. 소거 또는 기록검정 동작에 대한 워드라인 전압은 대개 외부 기록전압을 강하시켜 제공된다. 종래 기술은 외부 기록전압을 채용하지 않기 때문에 종래기술은 검정동작을 수행하는 것이 어렵다. 만약, 일부 셀 트랜지스터가 과잉 소거 되면 여분의 셀 트랜지스터로 과잉소거된 셀 트랜지스터로 대체하여 통상의 동작을 복원하는 것은 어렵다. 즉, 통상의 동작은 과잉 소거된 셀을 포함하는 워드라인을 용장 워드라인으로 대체하여 재개시하는 것이 어렵다. 이 경우에 있어서, 과잉소거된 셀을 과잉소거된 상태를 소멸시켜 재기록 될 수 있고 통상의 동작으로 복원시킨다. 그러나, 과잉소거된 셀은 제10도의 A점 부근에서 전류가 커지므로, 상기 이유에 의해 기록이 더 어렵게 된다.

다음은, 본 발명에 따른 반도체 메모리장치의 바람직한 실시예가 첨부된 도면을 참조하여 설명된다.

첫째로, 본발명의 첫번째 양상에 따른 반도체 메모리장치가 제11도 내지 19도를 참조하여 설명된다.

제11도는 본 발명의 첫번째 양상에 따른 반도체 메모리장치(플래쉬 메모리)를 도시하고 있다. 이 메모리는 결함있는 어드레스와 입력어드레스를 비교하기 위한 일치회로 120 및 용장 로우디코더 130을 추가적으로 갖는 점에서 제2도의 종래의 반도체 메모리장치와 다르다. 이 실시예의 로우어드레스 버퍼 101, 로우디코더 102, 칼럼어드레스 버퍼 103, 칼럼디코더 104, 데이터 I/O버퍼 105, 기록회로 106, 감지 증폭기 107, 음전압 발생기 108, 및 소오스 전압 공급회로 109는 제2도의 종래 기술의 로우어드레스 버퍼 111, 로우디코더 112, 칼럼 어드레스 버퍼 113, 칼럼디코더 114, 데이터 I/O버퍼 115, 기록회로 116, 감지 증폭기 117, 음전압 발생기 118, 및 소오스 전압 공급회로 119에 대응한다.

이제 실시예의 동작에 대하여 설명한다. 반도체 메모리장치의 메모리 셀(셀 트랜지스터)을 형성하거나 또는 이 메모리 셀에 데이터를 기록 또는 판독할 때, 일치회로 120은 그안에 저장된 각각의 결함있는 어드레스와 입력 어드레스를 비교한다. 이들이 일치한다면, 일치회로 120에서의 출력신호는 로우어드레스 버퍼 101 및 용장 로우디코더 130에 입력되어, 로우디코더 102를 비선택상태로 함과 함께, 용장 로우디코더 130을 선택상태로 하도록 한다. 이것은 결함있는 셀 대신에 용장 셀이 액세스되도록 할 수 있다. 반도체 메모리장치로부터 데이터를 소거할 때, 하이레벨 H의 소거 제어신호 E는 칼럼 어드레스 버퍼 103, 로우어드레스 버퍼 101, 로우디코더 102, 일치회로 120, 및 용장 로우디코더 130에 제공된다.

만일, 메모리 셀 어레이중에 결함있는 셀(트랜지스터)이 없다면 즉, 용장성이 사용되지 않는다면 통상의 소거 동작이 앞에서 설명된 바와같이 수행된다. 일치회로 120으로부터 용장성 제어신호 RED는 비용장성을 나타낸다.

만약, 결함있는 셀이 있다면 일치회로 120은 결함있는 셀의 어드레스를 저장한다. 이 실시예에서 전체로서 2^n 워드라인이 있고, 2^n 워드라인중의 2^m 워드라인은 소거블록을 형성한다. 실시예는 2^k 용장(여분)워드라인을 채용한다. 데이터를 기록 또는 판독하기 위하여 일치회로 120에서 결함있는 어드레스 기억 저장소자의 비트의 수는 $n-k$ 이다. 소거블록은 2^m 워드라인을 포함하기 때문에 소거블록을 선택하는데 필요한 어드레스 비트의 수는 $n-m$ 이다. 데이터를 소거할 때 $n-m$ 어드레스는 2^m 워드라인의 블록을 선택하기 위해 제공된다. 입력어드레스는 일치회로 120에 저장된 $n-k$ 어드레스 비트중에 상부 $n-m$ 어드레스 비트와 비교된다. 만약, 그것들이 서로 일치한다면 2^k 워드라인의 소거블록은 결함있는 셀을 포함하는 것으로 결정된다.

2^m 워드라인의 블록중에 결함있는 셀을 포함하는 2^k 워드라인의 블록을 나타내는 어드레스 정보는 일치회로 120에 저장된 남아 있는 $n-k$ 어드레스 비트에 의해 주어진다. 계속하여 로우디코더 102는 선택되지 않은 2^n 워드라인의 블록중에 $m-k$ 어드레스 비트로 지정된 2^k 워드라인의 블록을 설정한다. $n-m$ 어드레스 비트의 일치가 2^m 워드라인을 소거할 때 발견되면 용장 로우디코더 130은 2^k 용장 워드라인을 소거하기 위해 활성화 된다.

제12도 내지 제14도는 제11도의 반도체 메모리장치의 로우어드레스 버퍼 101, 로우디코더 102, 및 일치회로 120의 중요부분을 시도하고 있다.

제12도에서 로우어드레스 버퍼 101에 n 버퍼가 있다. 하부 m 버퍼는 소거 동작에서 2^m 워드라인을 선택하도록 소거 제어신호 E를 수신한다. m 버퍼의 임의의 하나가 용장성 제어신호 RED를 수신한다. 만약, 이 신호가 기록 또는 판독 동작에서 하이레벨 H라면 그것은 입력 어드레스가 결함있는 어드레스와 일치하는 것을 의미하고, 워드라인 WL은 비선택되도록 설정된다.

용장성 제어신호 RED는 제14도의 일치회로 120의 출력신호이다. 일치회로 120은 2^n 워드라인 중에 2^k 워드라인의 블록을 지정하기 위해 사용되는 어드레스 기억용 퓨즈(fuse) 및 용장성의 사용상태를 기억하기 위해 사용되는 퓨즈 RUSE를 포함한다. 소거 제어신호 E가 소거 동작이외는 로우레벨 L이기 때문에 용장성 제어신호 RED는 모든 퓨즈 정보와 입력정보가 일치할때만 하이레벨 H가 된다. 소거 동작에 있어서, 상부 $n-m$ 어드레스 A_{Rm+1} 내지 A_{Rn} 이 입력어드레스와 일치하면 용장성 제어신호 RED는 하이레벨 H가 된다. $m-k$ 어

드레스 A_{RBk+1} 내지 A_{RBm} 의 퓨즈 데이터가 제13도의 NAND게이트에 바로 제공된다. 따라서, 2^m 워드라인의 소거블록중에 2^k 워드라인의 소거블록중에 2^k 워드라인의 블록이 선택되지 않도록 설정된다.

또한, 용장성 제어신호 RED는 용장 로우디코더 130에 제공된다. 이 경우에 있어 2^m 워드라인의 소거블록에서 2^k 워드라인의 임의의 블록이 용장(여분)워드라인의 블록으로 대치할 수 있다.

만약, 메모리 셀이 반도체장치(플래쉬 메모리)에서 과잉소거되면 수율이 저하된다. 반도체 메모리 장치의 비트라인은 용장 셀 및 리얼 셀에 의해 공유되고, 그것을 용장 셀로 대치함으로써 과잉소거 된 셀을 구제하는 것은 불가하다. 예를들면, 만약 메모리 셀(셀 트랜지스터) MC_{11} 이 제11도에서 과잉 소거되면 셀 MC_{11} 은 용장 셀 MCR_{11} 으로 대치될 수 있다. 그러나, 이 경우에 과잉소거 된 셀 MCC_{11} 은 워드라인 WL_1 이 로우레벨 L일때에도 전류를 통과시킨다. 만약, 이것이 발생하면 비트라인 BL1상에 존재하는 셀의 데이터 0은 빠르게 판독될 수 없다. 이러한 문제점은 그것을 용장 셀 MCR_{11} 으로 대치하기 전에 과잉소거 셀 MCR_{11} 에서 데이터 0을 기록함으로써 쉽게 해결된다. 즉, 전자는 그것을 용장 셀로 대치하기 전에 셀 MCR_{11} 의 플로팅 게이트에 주입된다.

메모리 셀의 과잉소거의 반도체 메모리장치의 기록 특성 곡선을 나타내고 있는 제10도를 참조하여 설명된다. 과잉소거된 셀의 플로팅 게이트는 곡선상의 A점에서 전류를 증가시키기 위해 양으로 충전되고, 그것에 의해 데이터 기록을 무효화시킨다. 이러한 문제를 해결하기 위해 셀을 통해 흐르는 전류가 A점 주위에서 기록회로 108의 부하곡선을 초과하지 않도록 셀에 데이터를 기록할 때 임의의 셀의 게이트 레벨을 제어하는 것이 필요하다. 이것은 데이터 기록동안 대응하는 워드라인 WL에 펄스를 연속적으로 제공함으로써 쉽게 성취된다. 워드라인 WL이 펄스를 수신할 때 그것은 로우레벨 L로부터 하이레벨 H로 또는 하이레벨 H로부터 로우레벨 L로 이동할 때 제10도에서 점선으로 표시된 곡선을 C로 나타낸다. 결과적으로, 데이터 기록은 플로팅게이트의 조건에 무관하게 가능케된다.

제15도는 제11도의 반도체 메모리장치의 로우디코더의 한 예의 중요부분을 도시하고 있고, 제5도의 종래의 반도체 메모리장치의 로우디코더 112의 입력부 B에 대응한다. 제15도의 NOR게이트는 제16도에 도시된 파형과 같은 신호 ΦW 를 수신한다. 이 신호에 따라 제5도의 노드 N_2 의 전위는 워드라인 WL에 연속적으로 펄스를 제공하도록 제로 및 기록 전위 사이에서 연속적으로 발진된다. 펄스를 인가하는 대신에 워드라인에 조정전압을 인가하는 회로를 채용하는 것이 가능하다. 일반적으로, 반도체 메모리장치의 기록 또는 소거동작은 워드라인으로부터 데이터를 판독하기 위해 검정전압을 인가함으로써 성취되는 검정동작이 뒤따른다. 검정전압은 전원전압의 변화와 같은 반도체 메모리장치의 외부조건의 변화에 무관하게 일정해야 한다. 따라서, 반도체 메모리장치의 기준전위(V_{ss})를 증가시켜 검정전압을 제공하는 것이 현실적이다.

제17도는 제11도의 반도체 메모리장치의 검정전압 발생기 15의 한예를 도시하고 있다. 이 회로는 제5도의 로우디코더화로 112(102)의 노드 N_1 에 인가되는 검정전압을 발생시킨다.

제17도의 검정전압 발생기 150은 클램프회로 151, 발진기 152, 및 스텝업회로 15를 포함한다. 클램프회로 151은 클램프 전압을 결정하기 위해 트랜지스터 T_{13} 및 T_{14} 를 갖는다. 이들 트랜지스터는 다이오드처럼 직렬로 연결된 P채널형 및 n채널형 MOS(MIS)트랜지스터이다. CMOS 공정에 따라 트랜지스터의 채널 영역은 트랜지스터의 임계치로서 변동을 소멸시키도록 동시에 제작된다. 이것은 클램프 전압의 안정화를 초래한다.

n채널형 MOS 트랜지스터 T_{15} 는 약 0V의 임계치를 갖는다. 이 트랜지스터는 발진기 152에 클램프 전압을 제공한다. 스텝업회로 153은 낮은 전원전압(대지전압), V_{ss} 에 따라 동작한다. 그러므로, 노드 N_1 에서 검정전압은 전원전압에 관계없이 안정적이다. 소거 및 기록동작은 다른 전압으로 수행된다. 다른 클램프 전압은 클램프 회로 151의 트랜지스터(T_{13}, T_{14}, \dots)의 수를 변화시킴으로써 쉽게 생성된다. 신호 VR은 검정동작을 수행할 때 하이레벨 H로 된다. 검정동작은 감지 증폭기의 판정전류를 변화시킴으로써 수행될 수 있다.

제18도는 제11도의 플래쉬 메모리의 감지 증폭기 107의 한예를 도시하고 있다. 감지 증폭기 107은 부하 트랜지스터로서 제공하는 P채널형 트랜지스터 $T_{1,1}$ 및 $T_{1,2}$ 를 갖는다. 이들 트랜지스터의 전류 공급용량은 $T_{1,1}, T_{1,2}$ 이다. 플래쉬 메모리는 세 개의 모드, 즉 소거검정드, 통상의 판독모드 및 기록 검정모드를 갖는다. 이들 모드에 대한 부하 트랜지스터의 전계용량은 소거검정모드 통상의 판독모드 기록검정모드로 된다. 제18도의 회로는 소거검정모드에 대해 $V_{R1}=V_{R2}=L$, 통상의 판독모드 $V_{R1}=L$ 및 $V_{R1}=H$, 기록검정모드에 대해 $V_{R1}=H$ 및 $V_{R2}=L$ 의 관계를 실현한다.

제19도는 제18도의 감지 증폭기에 제어신호 V_{R1} 및 V_{R2} 를 제공하기 위한 논리회로의 한 예를 도시하고 있다. 제19도의 논리회로는 기록검정신호 WV 및 소거검정신호 EV 를 포함한다. 이 회로는 검정전압을 발생시킬 때 로우디코더의 전원을 단순화하는데 있어 유리하다. 부하 제어 논리회로는 플래쉬 메모리의 소거 검정동작은 위해 적용할 수 있다.

본 발명의 두 번째 양상에 따른 반도체 메모리장치는 제20도 내지 제28도를 참조하여 설명된다.

제20도는 본 발명의 두 번째 양상에 관련된 종래의 반도체 메모리장치의 용장회로 210을 나타내고 있다. 용장회로 210은 결함있는 어드레스를 저장하기 위해 결함있는 어드레스 지정수단으로 제공되는 퓨즈 211을 갖는다. 퓨즈 211은 하이레벨(H) 또는 로우레벨(L)을 제공하기 위해 접속 또는 차단된다. 비교기 214는 퓨즈 211의 정보를 외부 입력어드레스와 비교하고 그것들을 서로 일치하면 어드레스 일치신호, 예를 들어 하이레벨 H를 제공한다.

제21도는 제20도의 종래의 다수개의 용장회로를 포함하는 용장배치 2100을 나타내고 있다. 용장회로 210의 출력은 용장성 신호를 제공하기 위해 NAND게이트 및 인버터를 통해 흐른다. 단, 각각의 입력 어드레스가 각 용장회로 210에서 퓨즈211의 정보와 일치할 때, 하이레벨 H의 용장성 신호가 용장 셀로부터 데이터

를 판독하기 위해 제공된다.

제22도는 제21도의 종래의 용장배치 2100을 채용한 반도체 메모리장치를 도시하고 있다. 용장배치 2100이 용장성 신호를 제공할 때 리얼 셀 선택기 217은 리얼 셀 218의 판독을 저지하고, 용장 셀 선택기 215는 용장 셀 216을 판독한다. 그것에 의해 결함있는 리얼 셀을 용장 셀로 대체한다. 데이터 판독회로 219는 용장 셀 216 및 리얼 셀 218의 선택된 하나로부터 데이터를 판독한다.

제20도 내지 22도의 종래 기술에 따라 각각의 퓨즈(211)는 하나의 어드레스 비교기(214)를 필요로 한다. 많은 결함있는 메모리 셀이 용장 셀로 대체될 때 대응하는 숫자의 퓨즈 및 어드레스 비교기가 준비되어야 한다. 이것은 반도체 칩의 크기 및 비용의 증가를 초래한다.

이 경우에, 종래의 용장기술은 메모리 셀 및 용장 셀의 수가 증가할 때 반도체 메모리장치의 크기 및 비용을 증가시키는 문제점이 있다.

본 발명의 두번째 양상의 목적은 반도체 메모리장치의 크기를 감소시키고, 대규모 용량의 반도체 메모리의 수율을 향상시키고, 그것의 비용을 줄이기 위한 반도체 메모리 장치를 제공하는데 있다.

제23도는 본 발명의 두번째 양상에 다른 반도체 메모리장치의 용장회로를 도시하고 있다. 이 용장회로 200은 제20도의 종래의 용장회로 210의 퓨즈 211를 대신하여 트랜지스터 T_n (1An, 어드레스 An 반전)의 논리에 따라 선택된다. 어드레스 An(An)은 리얼 셀의 블록들 중의 하나를 선택하기 위한 상부 어드레스이다. 용장회로 200의 퓨즈 201A 및 201B는 어드레스 비교기 204의 전체숫자 및 반도체 메모리장치의 크기 및 비용을 줄이기 위해 어드레스 비교기 204를 공유한다.

제24도는 제23도의 용장회로를 채용하는 반도체 메모리장치에서 리얼 셀 208 및 용장 셀 206의 배치를 나타내고 있다. 리얼 셀 208은 로우레벨 L의 블록 선택 어드레스 An으로 선택되어지는 첫번째 리얼 셀 블록 208A, 및 로우레벨 L의 반전된 어드레스 1An 및 하이레벨 H의 블록선택 어드레스 An으로 선택되어지는 두번째 리얼 셀 블록 208B로 분할된다. 용장 셀 206은 첫번째 리얼 셀 블록 208A의 일부셀로 대체되는 첫번째 용장 셀 블록 206A, 및 두번째 리얼 셀 블록 208B의 일부 셀로 대체되는 두번째 리얼 셀 블록 208B의 일부 셀로 대체되는 용장 셀 블록 206B로 분할된다. 리얼 셀 블록 206A 및 206B의 일부 셀로 대체되는 두번째 리얼 셀 블록 208B의 일부 셀로 대체되는 용장 셀 블록 206B로 분할된다. 리얼 셀 블록 206A 및 206B에 대해 공통인 어드레스(An-1, An-2, ..., 등)가 결함있는 셀을 포함할때 블록 어드레스 An에 의해 지정된 블록중에 결함있는 셀을 포함하는 소정의 수의 리얼 셀이 용장 셀로 대체된다.

제25도는 본 발명에 따른 제23도의 용장 셀을 채용한 반도체 메모리장치를 나타내고 있다. 용장회로 200이 용장성 신호를 제공할때 리얼 셀 선택기 207은 리얼 셀 208의 판독을 저지하고, 용장 셀 선택기 205는 용장 셀 206을 판독한다. 제22도는 반도체 메모리장치와 다르게, 제25도의 반도체 메모리장치는 어드레스 An의 논리에 반응하여 용장회로 200의 퓨즈 201A 및 201B에 해당하는 용장 셀 206A 및 206B의 하나를 선택하는 용장 셀 선택기 205에 어드레스 (블록 선택 어드레스 An)입력을 제공한다. 즉, 용장 셀 선택기 205는 블록 어드레스 An을 수신하고 블록 어드레스 An에 따라 선택된 리얼 셀 블록 208A 및 208B의 하나에 해당하는 용장 셀 206A 및 206B의 하나를 선택한다.

상술한 바와 같이, 어드레스 비교기 204는 결함있는 리얼 셀을 용장 셀로 대체할 때 용장 셀 블록 206A 및 206B에 의해 공유된다. 상술한 설명에 있어서 블록 선택 어드레스 An은 두 개의 리얼 셀 블록중의 하나를 선택하기 위하여 하나의 비트를 갖는다. 블록 선택 어드레스는 네 개의 리얼 셀 블록중의 하나 및 네 개의 용장 셀 블록중의 하나를 선택하기 위하여 두 개의 비트 An 및 An-1를 포함한다.

제26도는 본 발명의 두 번째 양상에 따라 반도체 메모리장치에 대한 다른 용장회로 200'를 도시하고 있다. 용장회로 200'는 셀 선택기 220, 용장정보 저장 셀 어레이 221 및 223, 판독회로 222 및 224를 포함한다.

용장회로 200'는 두 개의 용장 정보 저장 셀 어레이 222 및 223과 두 개의 판독회로 222 및 224를 갖는다.

각각의 용장 정보 저장 셀 어레이 221 및 223은 외부 입력어드레스에 따라 결함있는 어드레스에 데이터를 기록하기 위해 사용되고, EPROM과 같은 비휘발성 메모리 셀 트랜지스터를 포함한다. 셀 선택기 220은 어드레스 입력에 따라 셀 어레이 221 및 223의 하나를 선택한다. 판독회로 222 및 224는 AND게이트 225A, 225B, 225C 및 225D, 및 인버터 226A 및 226B를 통해 4개의 용장성 신호를 제공한다. 이 실시예는 4개의 결함있는 셀이 용장 셀로 대체될 수 있도록 병렬로 두 개의 셀 어레이 221 및 223으로부터 2비트 데이터를 제공한다. 또한, 3비트 또는 20이상의 데이터를 병렬로 제공하는 것이 가능하다.

제27도는 본 발명의 두번째 양상에 따라 또 다른 용장회로 220을 도시하고 있고, 제28도는 제27도의 용장회로를 채용한 반도체 메모리장치를 도시하고 있다.

병렬로 다수개의 비트(2비트)를 제공하는 제26도의 용장회로 200'와 다르게, 제27도의 실시예는 다수개의 결함있는 리얼 셀 208을 용장 셀 206으로 대체하기 위해 하나의 비트를 제공한다.

용장회로 200'는 어드레스 입력에 따라 하나의 비트를 판독하고, 비트의 논리에 따라 용장성 신호를 제공한다. 제28도의 반도체 메모리장치에 있어서 용장회로 200'는 용장 셀 선택기 205' 및 리얼 셀 선택기 207'에 용장성 신호를 제공한다. 또한, 어드레스 입력의 일부(리얼 셀 블록 선택 어드레스An)는 결함있는 리얼 셀로 대체되는 용장 셀을 결정하기 위해 선택기 205' 및 207'에 공급된다.

상술된 바와 같이, 본 발명의 첫번째 양상에 따른 반도체 기억장치는 효과적으로 용장 워드라인을 사용하여 안정한 기록 및 검정동작을 달성함으로써 반도체 메모리의 수율 및 성능을 개선시킨다.

본 발명의 두번째 양상에 따른 반도체 기억장치는 결함있는 리얼 셀은 반도체 기억장치의 크기를 증가시키지 않고 용장 셀로 교체함으로써 큰 용량의 반도체 메모리의 수율을 개선시키고 그 비용을 감소시킨다.

본 발명의 다른 많은 실시형태들은 본 발명의 사상과 범위에서 이탈함이 없이 구성될 수가 있으며, 본 발명이 첨부된 특허 청구의 범위에 규정된 것을 제외하고는 본 명세서에 기술된 특정의 실시 형태들에 제한

되지 않는다는 것을 이해할 수가 있을 것이다.

(57) 청구의 범위

청구항 1

2^n 워드라인(WL); 다수개의 비트라인(BL); 각각 상기 워드라인 및 비트라인의 각 교차점에 배치되고 전기적으로 외부에서 임계전압을 제어할 수 있는 MIS트랜지스터로 구성된 다수개의 비휘발성 메모리 셀(MC); 상기 워드라인 및 비트라인의 선택된 하나의 교차점에 배치된 메모리 셀에 데이터를 기록하기 위한 기록회로(106); 상기 메모리 셀로부터의 데이터를 판독하기 위한 감지 증폭기(107); 상기 2^n 워드라인중에서 2^m (nm)워드라인의 블록을 동시에 선택하는 첫번째 수단(101, 102, 120), 및 상기 2^m 워드라인중에서 2^k (mk)워드라인의 첫번째 블록을 선택하지 않는 두번째 수단(101, 102, 120; 120, 130)으로 구성되되, 상기 두번째 수단은 상기 2^m 워드라인 중에서 상기 2^k 워드라인의 첫번째 블록중 어느하나가 결함이 있을 때 상기 2^n 워드라인 외부에 존재하는 2^k 워드라인의 두번째 블록을 선택하도록 한 것을 특징으로 하는 반도체 메모리장치.

청구항 2

제1항에 있어서, 상기 선택된 워드라인이 음전압을 수신하고, 상기 비 선택 워드라인이 영전압 또는 양전압을 수신하는 반도체 메모리장치.

청구항 3

제1항에 있어서, 상기 2^n 워드라인의 블록이 리얼 셀 블록을 형성하고, 상기 2^m 워드라인의 블록이 소거블록을 형성하고, 상기 2^n 워드라인의 블록 외부에 존재하는 2^k 워드라인의 두번째 블록이 용장 셀 블록을 형성하는 반도체 메모리장치.

청구항 4

제1항에 있어서, 상기 반도체 메모리장치가 플래쉬 메모리로 구성되는 반도체 메모리장치.

청구항 5

2^n 워드라인(WL); 다수개의 비트라인(BL); 각각 상기 워드라인 및 비트라인의 각 교차점에 배치되고 전기적으로 외부에서 임계전압을 제어할 수 있는 MIS트랜지스터로 구성된 다수개의 비휘발성 메모리셀(MC); 상기 워드라인 및 비트라인의 선택된 하나의 교차점에 배치된 메모리 셀에 데이터를 기록하기 위한 기록회로(106); 상기 메모리 셀로부터의 데이터를 판독하기 위한 감지 증폭기(107); 상기 2^n 워드라인중에서 2^m (nm) 워드라인의 블록을 동시에 선택하는 첫번째 수단(101, 102, 120), 및 상기 2^m 워드라인 중에서 2^k (mk) 워드라인의 첫번째 블록을 선택하지 않는 두번째 수단(101, 102, 120; 120, 130)으로 구성되되, 상기 2^k 워드라인에 포함되는 메모리 셀 트랜지스터에 대하여 구 메모리 셀 트랜지스터에 데이터를 기록하기 전에 비선택상태의 워드라인의 전위보다도 임계전압이 낮아지도록 데이터를 기록하여서 상기 메모리 셀 트랜지스터가 상기 비선택상태의 워드라인의 전위를 초과하고, 상기 2^n 워드라인의 외부에 존재하는 2^k 워드라인의 두번째 블록이 용장 워드라인으로 사용되는 것을 특징으로 하는 반도체 메모리장치.

청구항 6

제5항에 있어서, 상기 반도체메모리장치가 플래쉬 메모리로 구성되는 반도체 메모리장치.

청구항 7

다수개의 워드라인(WL); 두수개의 비트라인(BL); 각각 상기 워드라인 및 비트라인의 각 교차점에 배치되고 전기적으로 외부에서 임계전압을 제어할 수 있는 MIS트랜지스터로 구성된 다수개의 비휘발성 메모리 셀(MC); 상기 워드라인 및 비트라인의 선택된 하나의 교차점에 배치된 메모리 셀에 데이터를 기록하기 위한 기록회로(106); 상기 메모리 셀로부터의 데이터를 판독하기 위한 감지 증폭기(107)로 구성되되, 상기 메모리 셀 트랜지스터의 임계전압을 비선택 워드라인의 전위보다 더 높게 증가하도록 상기 메모리 셀 트랜지스터에 데이터를 기록할 때, 워드라인에 접속된 메모리 셀 트랜지스터의 드레인 전류를 셀 트랜지스터의 채널전류보다 더 낮도록 각각의 워드라인을 제어하도록 한 것을 특징으로 하는 반도체 메모리장치.

청구항 8

제7항에 있어서, 각각의 워드라인이 펄스신호(ΦW)에 따라 신호를 인가함으로써 제어되는 반도체메모리장치.

청구항 9

제7항에 있어서, 상기 반도체 메모리장치가 플래쉬 메모리로 구성되는 반도체 메모리장치.

청구항 10

다수개의 워드라인(WL), 다수개의 비트라인(BL); 각각 상기 워드라인 및 비트라인의 각 교차점에 배치되고 전기적으로 외부에서 임계전압을 제어할 수 있는 MIS트랜지스터로 구성된 다수개의 비휘발성메모리 셀(MC); 상기 워드라인 및 비트라인중 선택된 하나의 교차점에 배치된 메모리 셀에 데이터를 기록하기 위한 기록회로(106); 상기 메모리 셀로부터의 데이터를 판독하기 위한 감지 증폭기(107)로 구성되되, 상기 감

지 증폭기의 출력전류를 다른 용량을 갖는 두 개가 부하 트랜지스터의 ON 상태의 조합에 따라 변화시켜서 통상의 데이터판독동작, 소거 검정동작 및 기록 검정동작을 실현하도록 한 것을 특징으로 하는 반도체 메모리장치.

청구항 11

제10항에 있어서, 상기 워드라인에 접속된 임의의 셀 트랜지스터에 관해 상기 기록 검정 또는 소거 검정 동작을 행하는데 사용되는 전압이 워드라인에 제공되도록 기준전압(V_{ss})을 증가시키도록 한 것을 특징으로 하는 반도체 메모리 장치.

청구항 12

제10항에 있어서, 상기 워드라인에 접속된 임의의 셀 트랜지스터에 관해 상기 기록 검정 또는 소거검정 동작을 행하는 데 사용되는 전압이 워드라인에 제공되도록 동일한 공정으로 제작된 P 채널형 및 n채널형 트랜지스터를 다이오드와 같이 직렬로 접속 하도록 한 것을 특징으로 하는 반도체 메모리장치.

청구항 13

제10항에 있어서, 상기 반도체 메모리장치가 플래쉬 메모리로 구성되는 반도체 메모리장치.

청구항 14

블록으로 분할된 다수개의 리얼 메모리 셀(208), 상기 리얼 메모리 셀에서의 결함있는 셀을 대체하는 다수개의 용장 메모리 셀(206), 상기 리얼 메모리 셀의 각각 블록의 결함있는 어드레스는 지정하는 다수개의 결함어드레스 지정수단(201A,TA,201B,TB), 및 상기결함 어드레스 지정수단에 의해 공유되어 상기 결함 있는 어드레스와 상기 리얼 메모리 셀의 상기 블록의 어드레스를 비교하는 어드레스 비교수단(204)으로 이루어지는 반도체 메모리장치.

청구항 15

제14항에 있어서, 상기 결함있는 어드레스 지정수단 및 어드레스 비교수단을 갖는 용장회로(200), 상기 용장회로의 출력과 리얼 셀 블록의 하나를 지정하는 블록어드레스를 수신하여, 상기 지정된 리얼 셀 블록에서 상기 메모리 셀의 선택 및 비선택을 제어하는 리얼 셀 선택수단(205)으로 이루어진 반도체 메모리장치.

청구항 16

다수개의 메모리셀을 갖는 리얼 셀 어레이(208), 및 상기 리얼 셀 어레이에서의 결함있는 메모리 셀을 대체하는 다수개의 용장 셀(206), 외부에 제공된 어드레스에 따라 결함있는 어드레스에 데이터를 기록하기 위한 용장 정보 저장 셀 어레이(221; 221,223), 외부에 제공된 어드레스에 따라 상기 용장 정보 저장 셀 어레이를 선택하는 셀 선택회로(220), 및 상기 셀 선택회로에 의해 선택된 용장 정보 저장 셀 어레이의 출력을 판독하여, 용장신호를 제공하는 판독회로(222; 222,224)로 이루어진 반도체메모리장치.

청구항 17

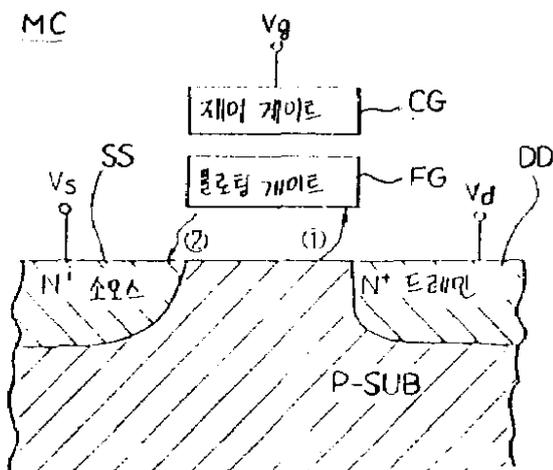
제16항에 있어서, 상기 용장 정보 저장 셀 어레이 및 판독회로가 복수로 제공되고, 상기 판독회로의 출력이 동작되고, 그것에 의해 용장신호가 출력되는 반도체 메모리장치.

청구항 18

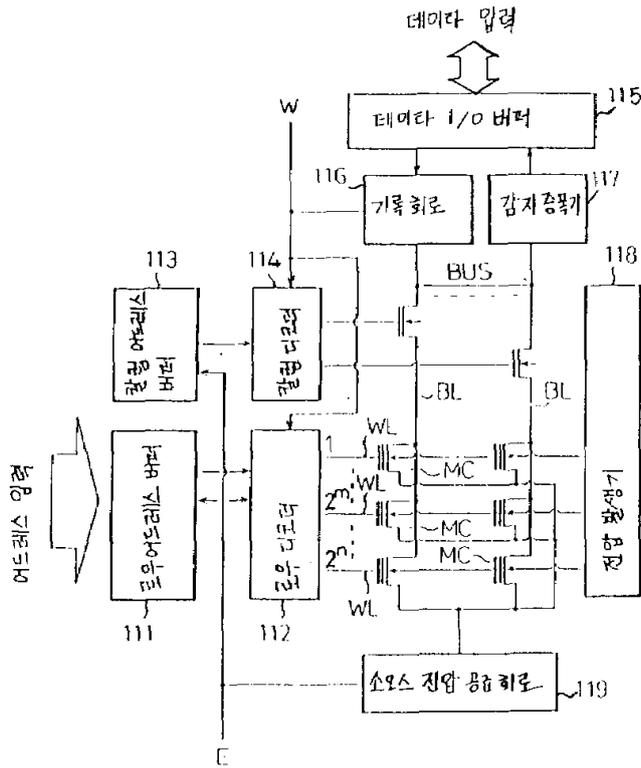
제16항에 있어서, 상기 용장정보 저장 셀 어레이가 다수개의 비휘발성 메모리 셀 트랜지스터로 구성되는 반도체 메모리장치.

도면

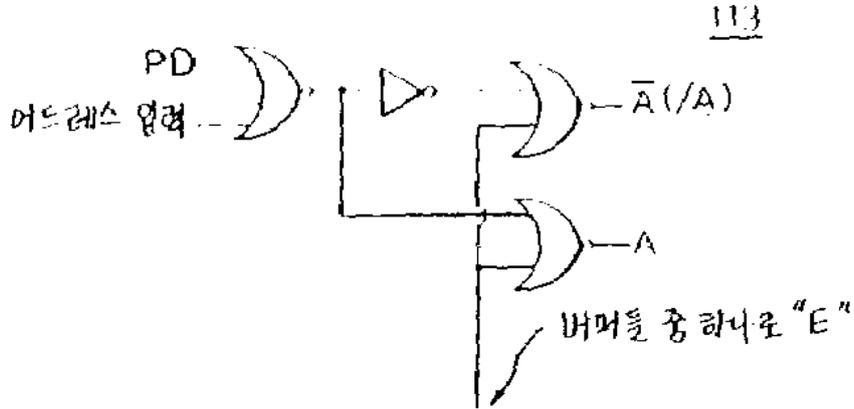
도면1



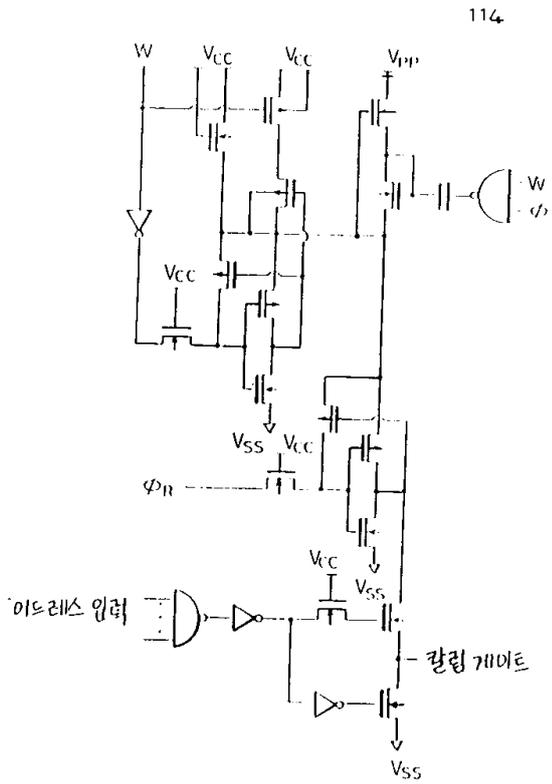
도면2



도면3

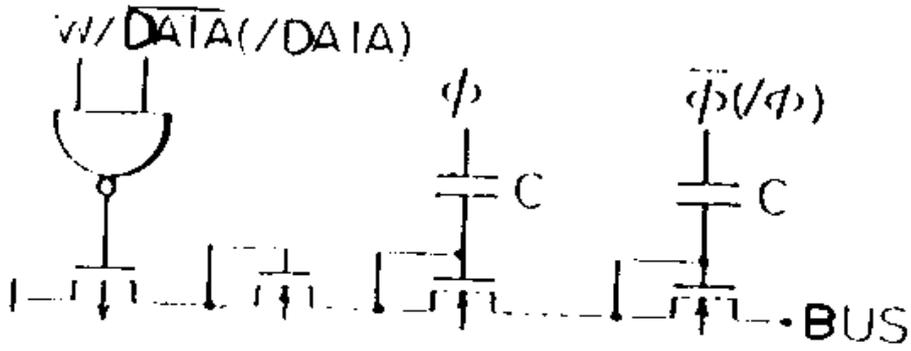


도면6



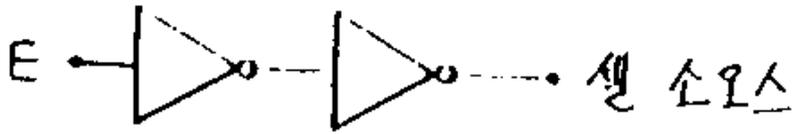
도면7

116



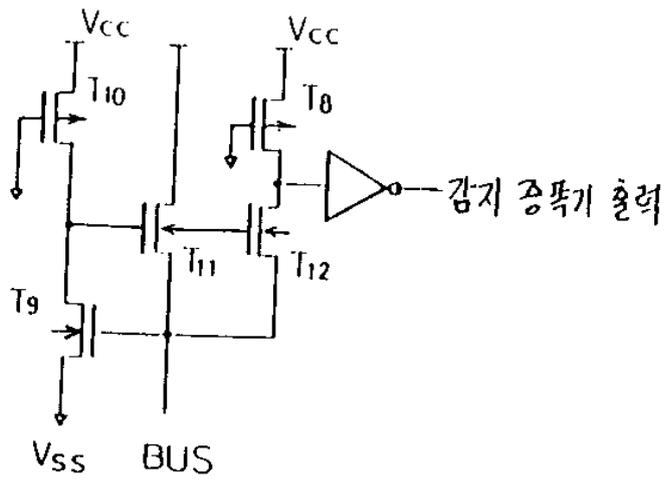
도면8

119

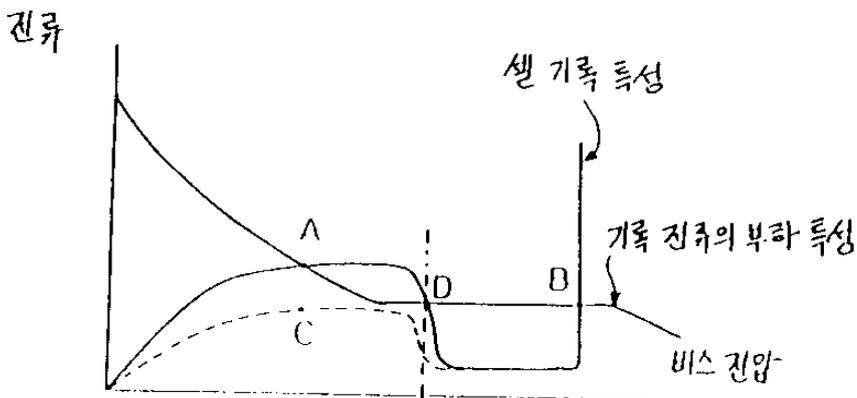


도면9

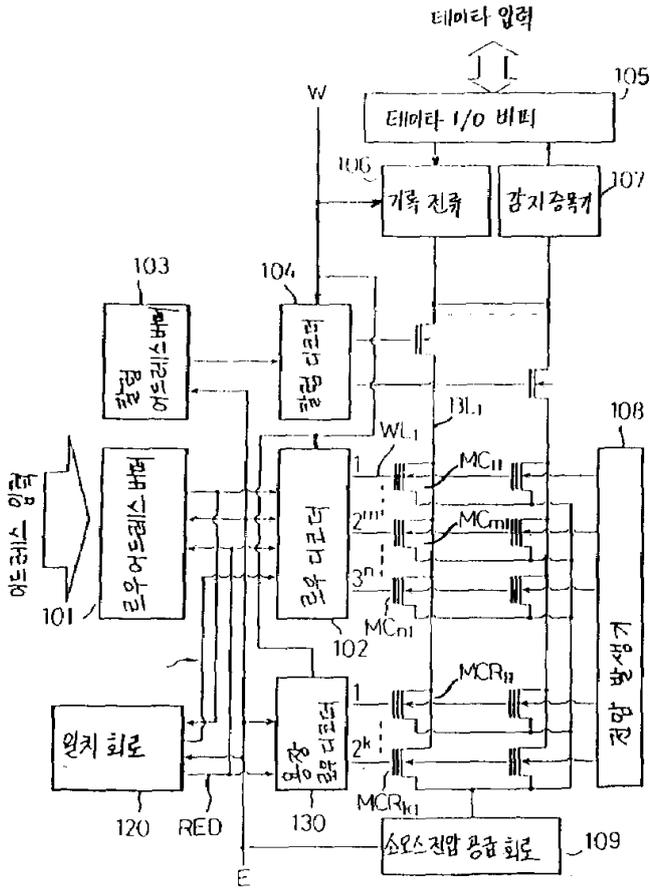
117



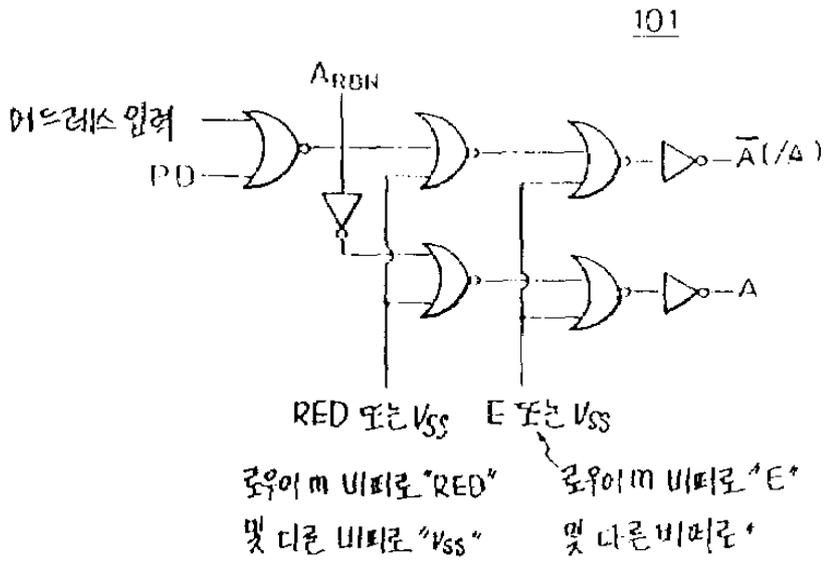
도면10



도면11

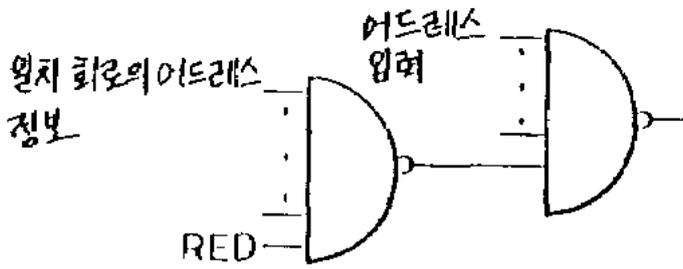


도면12



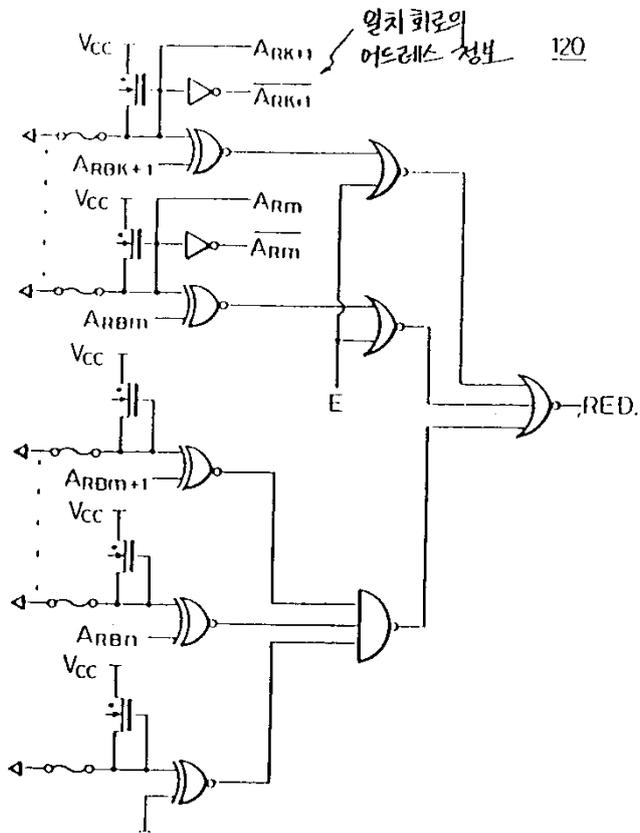
도면13

102

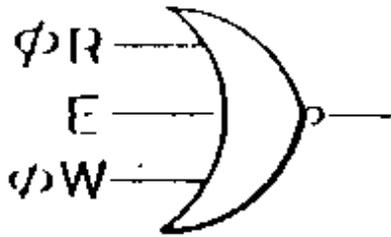


도면14

120



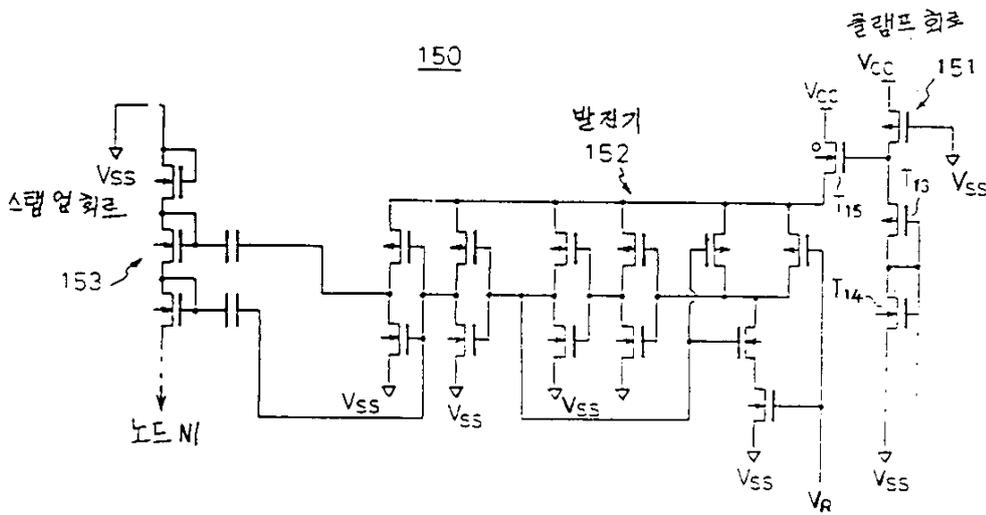
도면15



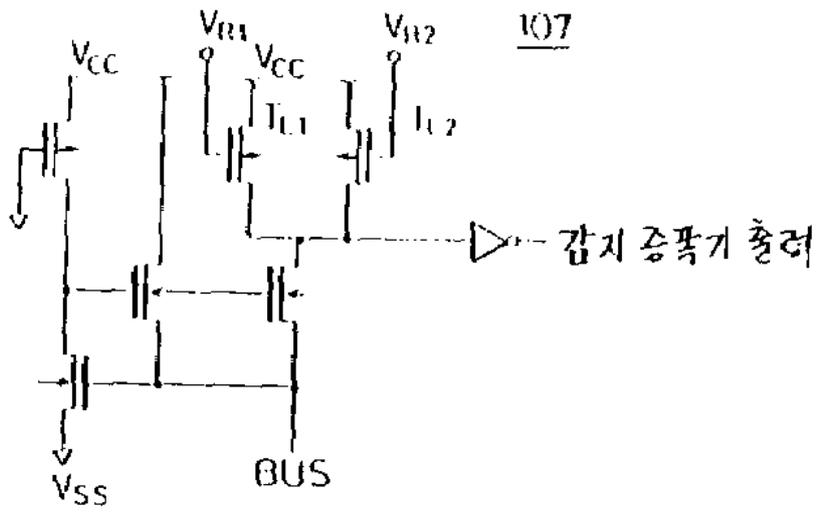
도면16



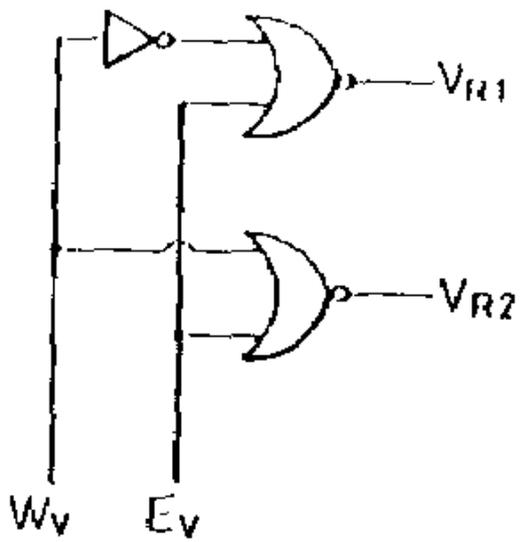
도면17



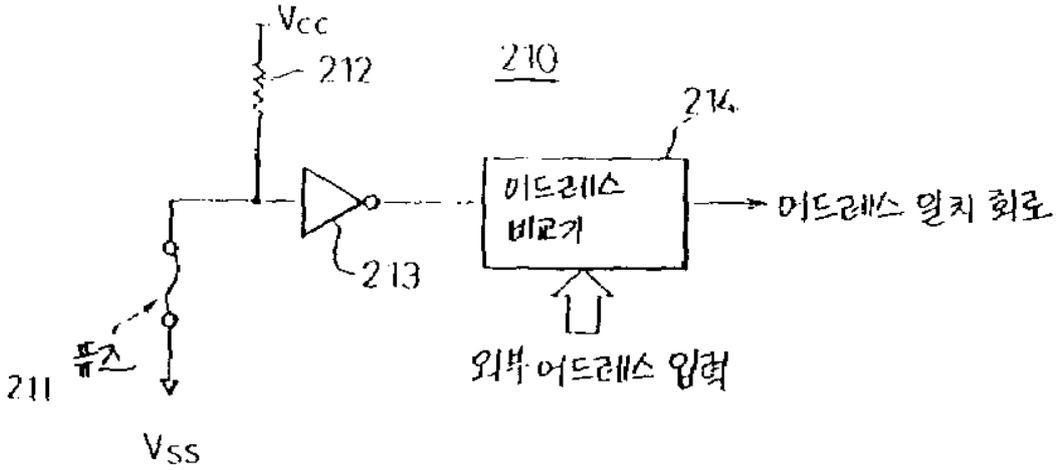
도면 18



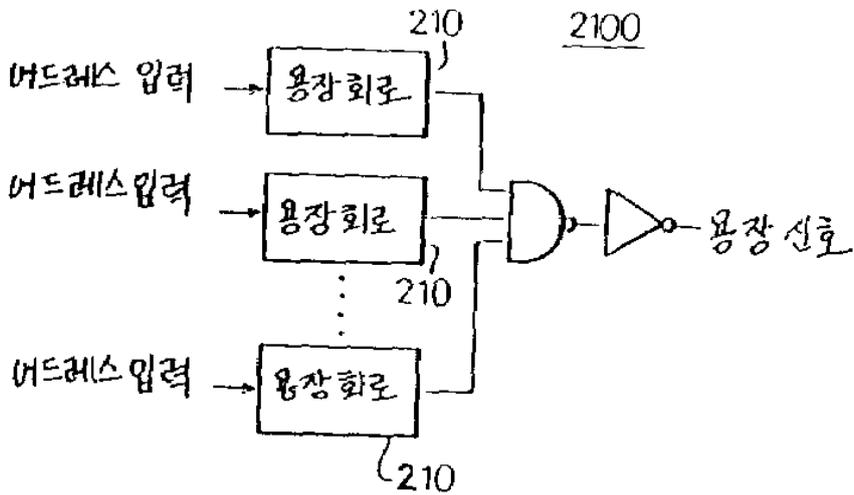
도면 19



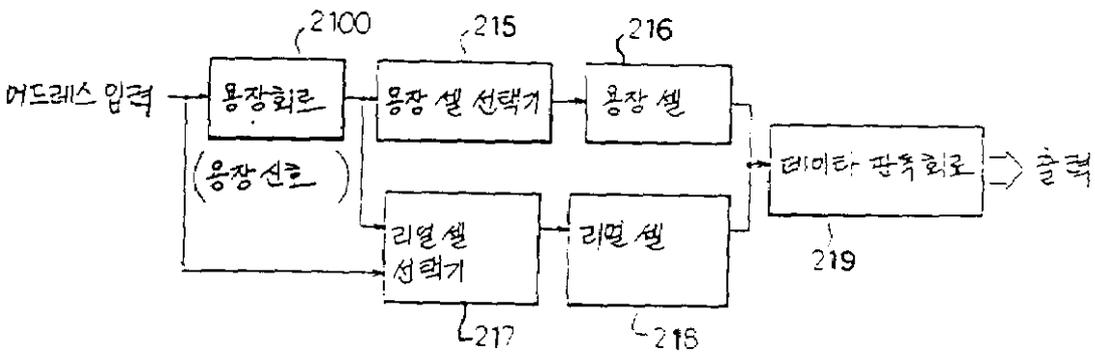
도면20



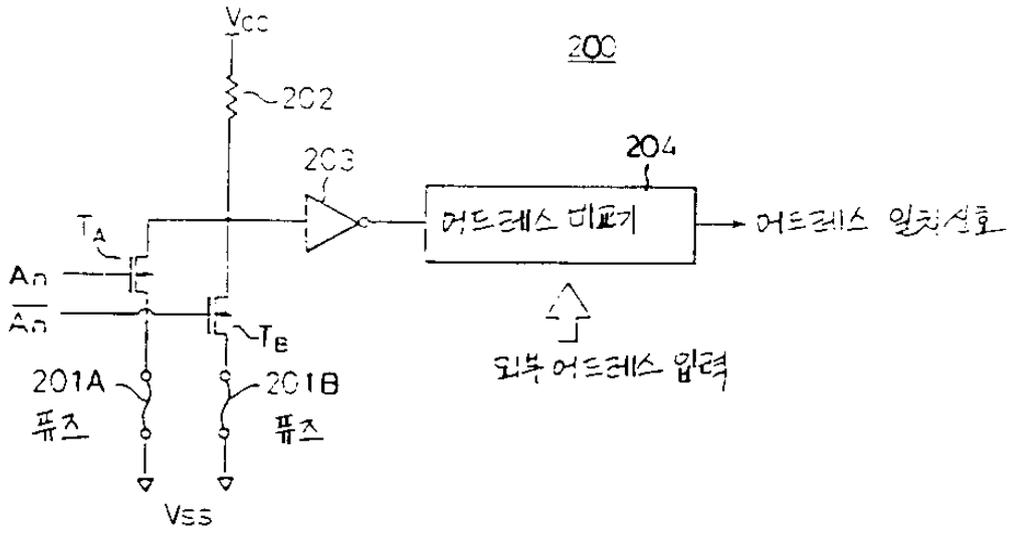
도면21



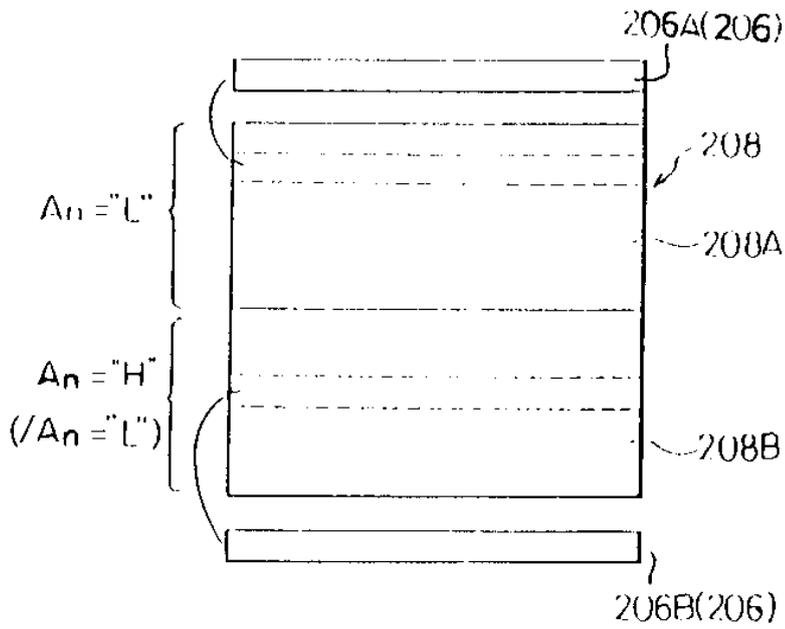
도면22



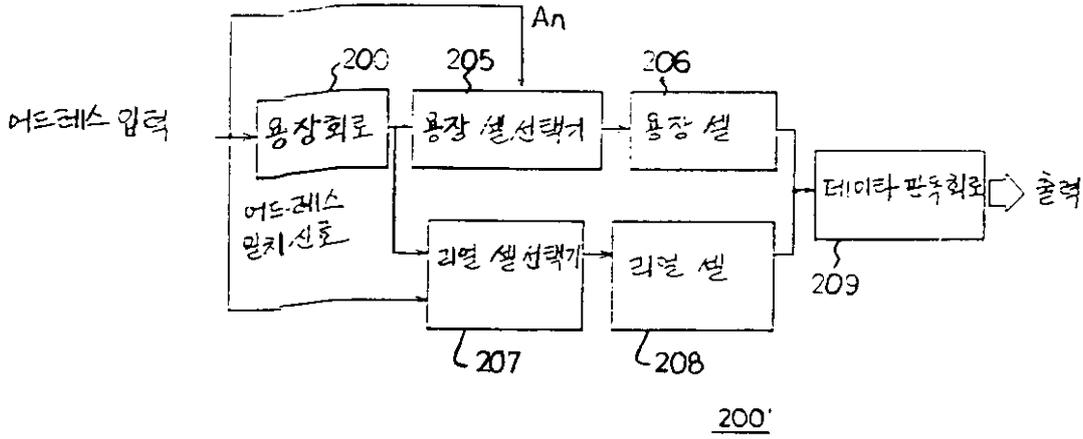
도면23



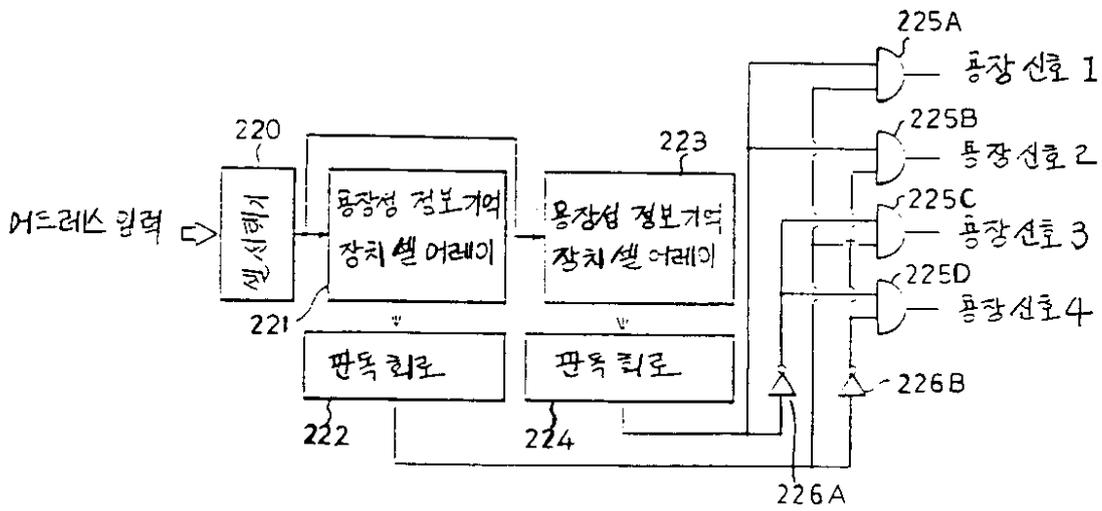
도면24



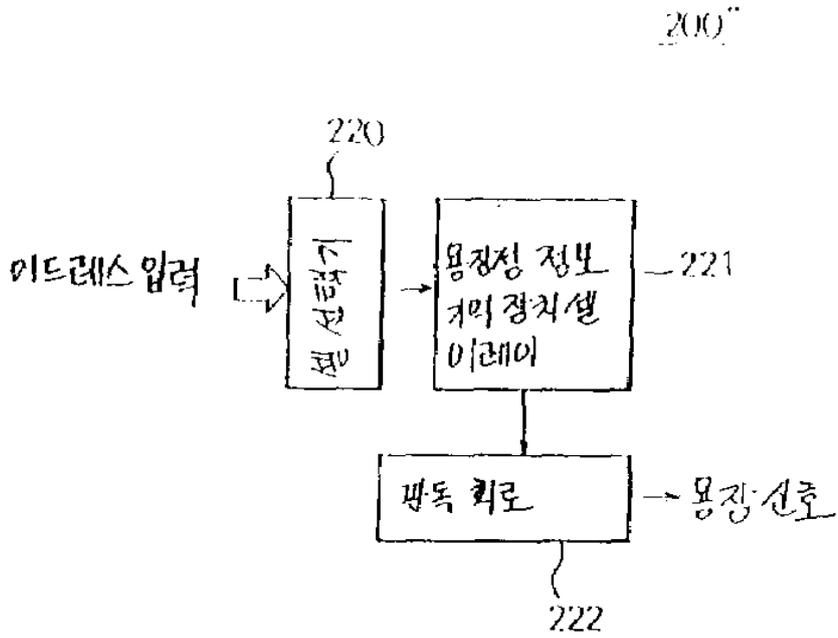
도면25



도면26



도면27



도면28

