



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년10월29일  
(11) 등록번호 10-0865853  
(24) 등록일자 2008년10월22일

(51) Int. Cl.

H01L 21/76 (2006.01)

(21) 출원번호 10-2006-0059529  
(22) 출원일자 2006년06월29일  
심사청구일자 2006년12월18일  
(65) 공개번호 10-2008-0001269  
(43) 공개일자 2008년01월03일  
(56) 선행기술조사문헌

KR1019980074323 A  
KR1020040055143 A  
KR1019990070373 A  
JP2001144170 A

전체 청구항 수 : 총 13 항

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

김남경

경기 이천시 부발읍 신하리 신한아파트 103-502

(74) 대리인

신영무

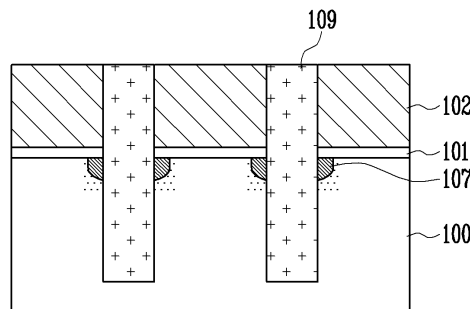
심사관 : 소재현

(54) 소자 분리막을 포함하는 반도체 소자 및 그것의 형성 방법

(57) 요약

본 발명은 소자 분리막을 포함하는 반도체 소자 및 그것의 형성 방법에 관한 것으로, 트렌치 형성 전에 반도체 기판을 등방성 식각한 후 배리어막을 형성하여 게이트 산화막의 에지 밑의 공간을 매립하고 소자 분리막을 형성함으로써, 정션 부분을 하이드로젠 소스로 부터 배리어막으로 보호하여 험프 현상을 방지하는 소자 분리막을 포함하는 반도체 소자 및 그것의 형성 방법을 개시한다.

대표도 - 도7



## 특허청구의 범위

### 청구항 1

반도체 기판 상에 게이트 산화막, 플로팅 게이트용 도전막, 하드 마스크막을 순차적으로 형성하는 단계;

상기 하드 마스크막, 상기 플로팅 게이트용 도전막, 상기 게이트 산화막을 순차적으로 부분 식각하여 상기 반도체 기판의 소정 영역을 노출시키는 단계;

노출된 상기 반도체 기판에 이온 주입 공정을 실시하는 단계;

등방성 식각 공정을 진행하여 상기 게이트 산화막의 하부면 에지 영역을 식각하는 단계;

노출된 상기 반도체 기판을 포함한 전체 구조 상에 배리어막을 형성하는 단계;

식각 공정을 진행하여 STI 트렌치를 형성하며, 식각 공정시 상기 배리어막이 상기 게이트 산화막의 하부면 에지 영역에만 잔류하도록 하는 단계; 및

절연 물질로 상기 STI 트렌치를 깎필하고, CMP 공정을 실시하여 소자 분리막을 형성하는 단계를 포함하는 반도체 소자의 소자 분리막 형성 방법.

### 청구항 2

제 1 항에 있어서,

상기 이온 주입 공정은 3족 원소(보론)의 이온을 사용하는 반도체 소자의 소자 분리막 형성 방법.

### 청구항 3

제 1 항에 있어서,

상기 등방성 식각 공정은 액체 케미컬을 이용한 와이드 글라스(wide glass) 식각 방법을 사용하는 반도체 소자의 소자 분리막 형성 방법.

### 청구항 4

제 3 항에 있어서,

상기 와이드 글라스 식각 방법은  $H_3PO_4$ ,  $H_2SO_4$ ,  $H_2O_2$  을 사용하여  $0^{\circ}C \sim 200^{\circ}C$ 의 온도범위에서 실시하는 반도체 소자의 소자 분리막 형성 방법.

### 청구항 5

제 1 항에 있어서,

상기 등방성 식각 공정은 등방성 건식 식각 방법을 사용하는 반도체 소자의 소자 분리막 형성 방법.

### 청구항 6

제 5 항에 있어서,

상기 등방성 건식 식각 방법은  $Cl_2$ ,  $SF_6$ ,  $HBr$  가스를 이용하고, 10~50Kwatt의 플라즈마 에너지를 사용하는 반도체 소자의 소자 분리막 형성 방법.

### 청구항 7

제 1 항에 있어서,

상기 배리어막은 하이드로젠 배리어 특성이 우수한 알루미늄 옥사이드( $Al_2O_3$ )로 형성하는 반도체 소자의 소자 분리막 형성 방법.

### 청구항 8

삭제

**청구항 9**

제 1 항에 있어서,

상기 배리어막은 ALD, CVD, 또는 PVD 증착 방법으로 형성하는 반도체 소자의 소자 분리막 형성 방법.

**청구항 10**

제 1 항에 있어서,

상기 배리어막은 플라즈마 활성화 에너지 또는 열 에너지를 이용하여 형성하는 반도체 소자의 소자 분리막 형성 방법.

**청구항 11**

제 10 항에 있어서,

상기 플라즈마 활성화 에너지를 이용한 상기 배리어막 형성 방법은 1~10KWatt의 전력, 1E-6 torr ~100torr의 압력에서 형성하는 반도체 소자의 소자 분리막 형성 방법.

**청구항 12**

제 10 항에 있어서,

상기 플라즈마 활성화 에너지를 이용한 상기 배리어막 형성 방법은 H<sub>2</sub>O, N<sub>2</sub>O, O<sub>2</sub>, 또는 O<sub>3</sub>의 산화제와 비활성 가스가 혼합된 가스를 사용하여 형성하는 반도체 소자의 소자 분리막 형성 방법.

**청구항 13**

반도체 기판의 소자 분리 영역에 형성된 소자 분리막;

상기 반도체 기판의 액티브 영역 상에 형성된 게이트 패턴; 및

상기 게이트 패턴 하부 면의 에지 영역에 형성된 배리어막을 포함하는 반도체 메모리 소자.

**청구항 14**

제 13 항에 있어서,

상기 배리어막은 하이드로젠 배리어 특성이 우수한 알루미늄 옥사이드(Al<sub>2</sub>O<sub>3</sub>)로 형성된 반도체 메모리 소자.

**청구항 15**

삭제

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <8> 본 발명은 소자 분리막을 포함하는 반도체 소자 및 그것의 제조 방법에 관한 것으로, 특히 반도체 소자의 험프 현상을 개선하는 반도체 소자의 소자 분리막 및 그것의 형성 방법에 관한 것이다.
- <9> 일반적으로 반도체 소자 간의 분리를 위해서 반도체 기판을 활성영역과 필드영역으로 정의한 다음 활성영역에는 워드라인을 형성하고, 필드영역에는 소자간의 분리를 위한 소자 분리막을 형성한다.
- <10> 반도체 소자의 소자 분리막 형성을 위한 공정으로는, STI구조의 트렌치를 형성하여 소자간의 분리를 위한 소자 분리막을 형성하게 되었다. STI 구조의 트렌치를 형성하여 소자간의 분리를 실시하는 방법을 간략히 설명하면

다음과 같다. 필드영역의 실리콘 기판은 약 3500Å 깊이로 식각하여 트렌치를 형성한 다음 고밀도 플라즈마(High Density Plasma; HDP) 산화막을 증착한다. 다음으로, 화학적 기계적 연마(CMP)를 실시하여 평탄화함으로써 소자 간의 분리를 이룰 수 있게 된다.

<11> 이때, 상기 반도체 기판에는 상기 소자분리막 형성 공정 이전에 이온주입 공정을 통해 문턱전압 조절을 위한 이온주입을 실시하는 데, 상기 산화공정으로 인해 상기 문턱전압 조절을 위한 이온주입시 주입된 이온들은 상기 측벽 산화막으로 확산하는 현상이 발생한다. 따라서, 상기 문턱전압 조절을 위해 주입된 이온이 측벽 산화막으로 확산됨으로 인해, 활성영역은 불균일한 이온농도분포를 가지게 된다. 따라서 상기 불균일한 이온농도분포는 험프(hump)현상을 초래하고, 누설 전류(leakage current)의 증가 원인이 된다.

**발명이 이루고자 하는 기술적 과제**

<12> 본 발명이 이루고자 하는 기술적 과제는 트렌치 형성 전에 반도체 기판을 등방성 식각한 후 배리어막을 형성하여 게이트 산화막의 에지 밑의 공간을 매립하고 소자 분리막을 형성함으로써, 정션 부분을 하이드로젠 소스로부터 배리어막으로 보호하여 험프 현상을 방지하는 소자 분리막을 포함하는 반도체 소자 및 그것의 형성 방법을 제공하는 데 있다.

**발명의 구성 및 작용**

<13> 본 발명의 일 실시 예에 따른 반도체 소자의 소자 분리막 형성 방법은 반도체 기판 상에 게이트 산화막, 플로팅 게이트용 도전막, 하드 마스크막을 순차적으로 형성하는 단계와, 상기 하드 마스크막, 상기 플로팅 게이트용 도전막, 상기 게이트 산화막을 순차적으로 부분 식각하여 상기 반도체 기판의 소정 영역을 노출시키는 단계와, 등방성 식각 공정을 진행하여 상기 게이트 산화막의 하부면 에지 영역을 식각하는 단계와, 노출된 상기 반도체 기판을 포함한 전체 구조 상에 배리어막을 형성하는 단계와, 식각 공정을 진행하여 STI 트렌치를 형성하며, 식각 공정시 상기 배리어막이 상기 게이트 산화막의 하부면 에지 영역에만 잔류하도록 하는 단계; 및 절연 물질로 상기 STI 트렌치를 깎필하고, CMP 공정을 실시하여 소자 분리막을 형성하는 단계를 포함한다.

<14> 본 발명의 일 실시 예에 따른 소자 분리막을 포함하는 반도체 소자는 반도체 기판의 소자 분리 영역에 형성된 소자 분리막과, 상기 반도체 기판의 액티브 영역 상에 형성된 게이트 패턴, 및 상기 게이트 패턴 하부 면의 에지 영역에 형성된 배리어막을 포함한다.

<15> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

<16> 도 1 내지 도 7은 본 발명의 일 실시 예에 따른 반도체 소자의 소자 분리막 형성 방법을 나타내는 소자의 단면도이다.

<17> 도 1을 참조하면, 반도체 기판(100) 상에 게이트 산화막(101), 플로팅 게이트용 도전막(102), 버퍼 산화막(103), 하드마스크용 질화막(104), 하드마스크용 산화막(105), 하드마스크용 실리콘 산화 질화막(106)을 순차적으로 형성한다.

<18> 도 2를 참조하면, 식각 공정으로 하드마스크용 실리콘 산화 질화막(106), 하드마스크용 산화막(105), 하드마스크용 질화막(104), 버퍼 산화막(103), 플로팅 게이트용 도전막(102), 및 게이트 산화막(101)을 순차적으로 부분 식각하여 반도체 기판(100)의 소정 영역을 노출시킨다.

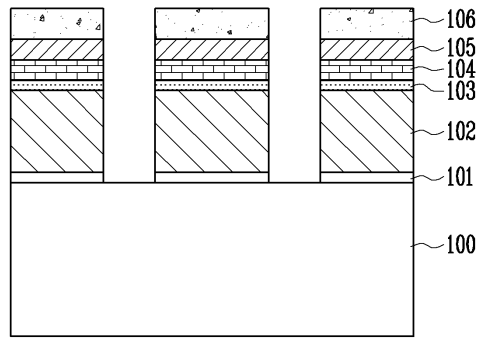
<19> 도 3을 참조하면, 이온 주입 공정을 실시하여 노출된 반도체 기판 내에 이온을 주입하여 정션을 형성한다. 이온 주입 공정은 보론 이온 등 3가 이온을 사용하는 것이 바람직하다.

<20> 도 4를 참조하면, 식각 공정을 실시하여 노출된 반도체 기판(100)을 등방성으로 식각한다. 이때 식각 공정은 액체 케미컬을 이용한 와이드 글라스(wide glass) 식각 방법 또는 등방성 건식 식각 방법을 이용하는 것이 바람직하다. 액체 케미컬은 H<sub>3</sub>PO<sub>4</sub>, H<sub>2</sub>SO<sub>4</sub>, H<sub>2</sub>O<sub>2</sub> 을 사용하는 것이 바람직하다. 액체 케미컬을 이용한 식각 공정은 0°C ~ 200°C의 온도범위에서 실시하는 것이 바람직하다. 등방성 건식 식각 방법은 Cl<sub>2</sub>, SF<sub>6</sub>, HBr 가스를 이용하는 것이 바람직하다. 또한 등방성 건식 식각 방법은 10~50KWatt의 플라즈마 에너지를 사용하는 것이 바람직하다.

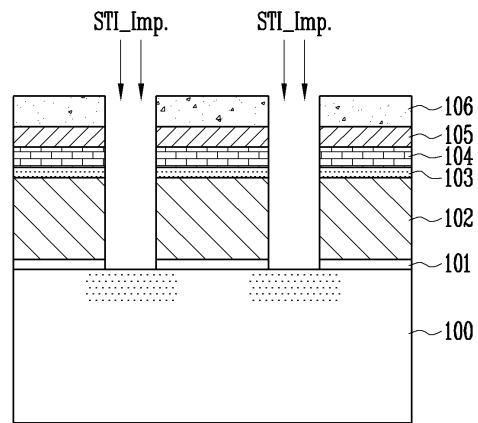
<21> 도 5를 참조하면, 전체 구조 상에 배리어막(107)을 형성한다. 배리어막(107)은 알루미늄 옥사이드 계열(Al<sub>x</sub>O<sub>y</sub>)로 형성하는 것이 바람직하다. 알루미늄 옥사이드 계열은 하이드로젠 배리어 특성이 우수하다. 또한, 배리어막



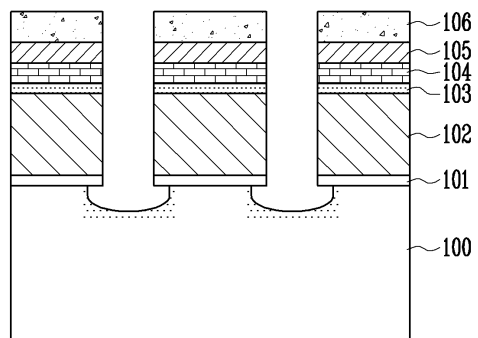
도면2



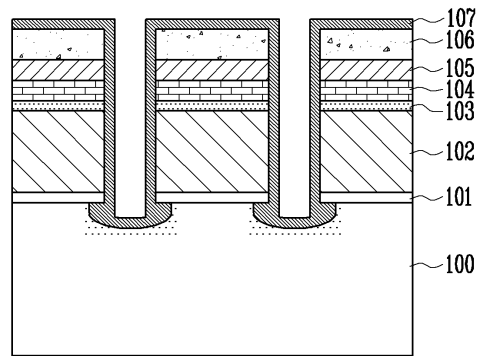
도면3



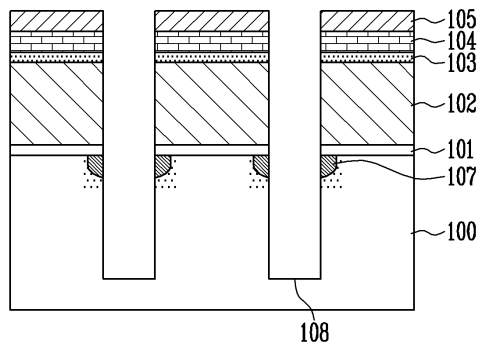
도면4



도면5



도면6



도면7

