



20,40 : 인쇄 회로 기판	21,41 : 상부 기판
22,42 : 하부 기판	23,43,62 : 회로 패턴
24,44,64 : 솔더 볼(solder ball)	24,46,66 : 비아홀(via hole)
28,48,68 : 금속 패드	29,49,69 : 솔더 레지스트

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 볼 그리드 어레이 패키지(Ball Grid Array Package)에 관한 것으로, 더욱 상세하게는 실장면적과 무게를 크게 감소시킬 수 있는 칩 사이즈의 볼 그리드 어레이 패키지에 관한 것이다.

일반적으로 전자기기의 소형화 및 대용량화의 추세에 따라 반도체 칩은 크기가 커지고 입출력 단자용 전극 패드의 수가 많아지고 있다. 반면에 반도체 칩을 내장하는 통상적인 반도체 칩 패키지는 크기는 작아지고, 입출력 단자용 전극 패드에 각각 연결되는 리드 프레임의 리드들 사이의 간격이 더욱 좁아지고 있다.

이에 따라 다양한 형태의 패키지 기술이 개발되고 있는데, 최근 각광을 받고 있는 패키지가 볼 그리드 어레이 패키지이다. 이는 볼 그리드 어레이 패키지가 다른 표면 실장형 패키지보다 많은 장점, 예를 들어 스몰 풋프린트(small footprint), 전기적 성능의 우수함, 취급 및 조립의 용이성 등을 갖고 있기 때문이다.

이러한 볼 그리드 어레이 패키지의 일반적인 구조의 특징은 외부와의 전기적 접속 단자가 리드 대신 솔더 볼이 사용되어 진다는 것이다. 이러한 볼 그리드 어레이 패키지는 플라스틱 볼 그리드 어레이 패키지, 세라믹 볼 그리드 어레이 패키지, 테이프 볼 그리드 어레이 패키지, 그리고 금속 볼 그리드 어레이 패키지 등으로 분류될 수 있다. 그 중에서 플라스틱 볼 그리드 어레이 패키지의 일반적인 형태를 소개하면 다음과 같다.

도 1은 종래 기술에 따른 볼 그리드 어레이 패키지의 일 실시예를 나타낸 단면도이다. 제 1도를 참조하면, 다층의 회로 패턴(62)을 갖는 인쇄 회로 기판(60)의 상면에 접착제(56)에 의해 반도체 칩(52)이 실장되어 있다. 인쇄 회로 기판(60)은 솔더 볼(64)의 부착에 필요한 부분만을 제외한 나머지 전 표면에 회로 패턴(62) 등을 보호하기 위하여 솔더 레지스트(solder resist; 70)가 도포되어 있다. 또한 인쇄 회로 기판(60)은 반도체 칩(52)의 전극 패드(54)와 그에 대응되는 인쇄 회로 기판(60)의 금속 패드(68)가 금선(58)으로 와이어 본딩(wire bonding)되어 전기적 연결을 이루고 있으며, 그 인쇄 회로 기판(60)의 하부면에는 외부와의 전기적 접속을 위한 솔더 볼(64)이 형성되어 있다. 그리고 반도체 칩(52)이 실장된 인쇄 회로 기판(60)에는 서로 다른 층에 위치하고 있는 반도체 칩(52)과 상기 솔더 볼(64)간의 전기적 연결을 위하여 비아홀(66)이 그 인쇄 회로 기판(60)을 관통하도록 하여 형성되어 있다. 반도체 칩(52)과 금선(58) 및 회로 패턴(62) 등 내부 소자들을 외부 환경으로부터 보호하기 위하여 인쇄 회로 기판(60)의 상면 부분에 에폭시 성형 수지로 봉지부(72)가 형성되어 있다.

상기한 일반적인 형태의 볼 그리드 어레이 패키지는 반도체 칩의 크기에 비해 인쇄 회로 기판의 크기가 크다. 그것은 기본적으로 인쇄 회로 기판이 반도체 칩의 실장을 위하여 회로 패턴이 형성되어 있지 않은 영역을 갖고 있기 때문이다. 이러한 제약 때문에 볼 그리드 어레이 패키지는 크기의 감소에 한계가 있었다. 현재 칩 스케일 패키지(Chip Scale Package) 또는 칩 사이즈 패키지(Chip Size Package)라 불리는 소형의 패키지가 개발되고 있는 실정에 있어서, 볼 그리드 어레이 패키지의 크기의 제약을 극복할 필요성이 크게 요구되고 있다.

#### 발명이 이루고자 하는 기술적 과제

따라서 본 발명의 목적은 소형화와 경량화를 필요로 하는 전자기기에 사용될 수 있는 크기가 크게 감소된 칩 사이즈 볼 그리드 어레이 패키지를 제공하는데 있다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명에 따른 칩 사이즈의 볼 그리드 어레이 패키지는 일면에 복수 개의 전극 패드들이 형성된 반도체 칩; 상기 반도체 칩의 상기 전극 패드들이 형성되어 있는 면에 상기 전극 패드들을 덮지 않도록 비전도성 접착제에 의해 부착되어 있고, 둘 이상의 층들로 이루어져 면접착되어 있으며, 층과 층 사이에 회로 패턴이 형성되어 있고, 상기 회로 패턴들이 비아홀에 의해 전기적으로 연결되어 있는 다층 인쇄 회로 기판; 상기 다층 인쇄 회로 기판의 복수 개의 층 중에서 적어도 어느 하나의 층의 상면에 다른 층과 면접착되어 있는 부분의 외측에 배열되어 있는 복수 개의 금속 패드들; 상기 다층 인쇄 회로 기판의 상면에 형성되어 있으며, 상기 회로 패턴에 의해 상기 금속 패드들과 전기적으로 상호 연결되어 있는 복수 개의 금속 볼들; 일측단부들이 상기 다층 인쇄 회로 기판의 상기 금속 패드들에 접속되어 있고, 타측단부들이 상기 반도체 칩의 전극 패드들에 접속되어 있는 본딩 와이어들; 상기 본딩 와이어들을 감싸 보호하도록 에폭시 성형 수지로 봉지되어 있는 봉지부를 포함하는 것을 특징으로 한다.

이하 첨부 도면을 참조하여 본 발명에 따른 칩 사이즈의 볼 그리드 어레이 패키지를 보다 상세하게 설명하고자 한다.

도 2는 본 발명에 따른 칩 사이즈의 볼 그리드 어레이 패키지의 일 실시예를 나타낸 단면도이다. 도 2를 참조하면, 반도체 칩(12)은 상면의 가장자리 부분에 전극 패드(14)들을 갖고 있다. 이러한 형태의 반도체

칩(12)을 에지 패드(edge pad)형 반도체 칩이라 한다. 전극 패드(14)들이 형성되어 있는 반도체 칩(12)의 상면에 전극 패드(14)들의 내측에 위치하도록 적당한 크기를 갖는 인쇄 회로 기판(20)이 비전도성 접착제(17)에 의해 부착되어 있다. 인쇄 회로 기판(20)을 상부 기판(21)과 하부 기판(22)으로 구분하여 설명하기로 한다. 상부 기판(21)과 하부 기판(22)은 비전도성 접착제(17)에 의해 면접착되어 있다. 하부 기판(22)의 하면은 반도체 칩(12)의 상면, 즉 전극 패드(14)가 형성되어 있는 면과 비전도성 접착제(16)에 의해 부착되어 있다. 그리고 하부 기판(22)의 상면은 상부 기판(21)의 하면과 면접착되어 있다. 이때 상부 기판(21)의 크기가 하부 기판(22)의 크기보다 작기 때문에 하부 기판(22)은 면접착되지 않는 부분을 갖고 있다. 면접착이 되지 않은 하부 기판(22)의 가장자리 부분에는 금속 패드(28)가 형성되어 있다. 그리고 그 금속 패드(28)는 그에 대응되는 반도체 칩(12)의 전극 패드(14)와 본딩 와이어, 예컨대 금선(18)으로 와이어 본딩되어 있다. 상부 기판(21)은 상면에 금속 볼, 예컨대 솔더 볼(24)이 형성되어 있다. 그리고 그 솔더 볼(24)은 상부 기판(21)을 관통하는 비아홀(26)에 의해 층을 달리하는 회로 패턴(23)들과 전기적으로 연결되어 있다. 상기 금선(18)들은 예폭시 성형 수지로 봉지되어 있는 봉지부(19)에 의해 외부의 환경으로부터 보호된다.

상기한 구조의 볼 그리드 어레이 패키지는 반도체 칩과 인쇄 회로 기판의 결합이 비전도성 접착제에 의해 이루어지기 때문에 반도체 칩과 인쇄 회로 기판간의 전기적인 도통은 없다. 따라서, 종래의 반도체 칩의 실장을 위해 필요했던 영역을 없앨 수 있다.

도 3은 본 발명에 따른 칩 사이즈의 볼 그리드 어레이 패키지의 다른 실시예의 단면도이다. 도 3을 참조하면, 반도체 칩(32)은 상면의 중앙에 전극 패드(34)들이 형성되어 있다. 이러한 반도체 칩(32)을 센터 패드(center pad)형 반도체 칩이라고도 한다. 반도체 칩(32)의 상면은 인쇄 회로 기판(40)의 하면과 부착되어 있다. 이때 인쇄 회로 기판(40)의 중앙에는 반도체 칩(32)의 전극 패드(34)들과 대응되는 위치에 관통홀이 형성되어 있다. 상부 기판(41)의 하면의 크기는 하부 기판(42)의 상면의 크기와 동일하다. 상부 기판(41)의 관통 홀의 크기보다 하부 기판(42)의 관통홀의 크기가 더 작다. 따라서 하부 기판(42)과 상부 기판(41)이 접촉될 때 하부 기판(42)은 상면에 접촉되지 않은 부분이 있고, 그 부분에 금속 패드(48)가 형성되어 있다. 이 금속 패드(48)는 반도체 칩(32)의 전극 패드(34)와 금선(38)으로 와이어 본딩되어 있다. 상부 기판(41)의 상면에는 외부와의 전기적 접속을 위한 솔더 볼(44)들이 부착되어 있다. 이 솔더 볼(44)들이 비아 홀(46)을 통하여 하부 기판의 회로 패턴(43)층과 전기적으로 연결되어 있다. 그리고 금선(38), 전극 패드(34) 및 금속 패드(48) 부분을 외부 환경으로부터 보호하기 위하여 예폭시 성형 수지로 봉지부(39)가 형성되어 있다.

상기 본 발명에 따른 실시예에서 알 수 있듯이, 본 발명은 센터 패드형 반도체 칩이나 에지 패드형 반도체 칩에 모두 적용될 수 있다. 반도체 칩과 인쇄 회로 기판의 부착에 비전도성 접착제를 사용함으로써 반도체 칩의 실장을 위한 인쇄 회로 기판의 영역을 제거시킨다. 따라서, 볼 그리드 어레이 패키지의 전체적인 크기는 크게 감소될 수 있다.

상기한 칩 사이즈 패키지는 다층 인쇄 회로 기판의 층수가 단층일 경우부터 다층일 경우까지 적용이 모두 가능하다. 인쇄 회로 기판의 금속 패드와 솔더 볼이 같은 층에 위치한다 하더라도 금속 패드와 반도체 칩의 전극 패드를 연결하는 본딩 와이어 부분의 봉지된 부분의 가장 높은 지점이 솔더 볼의 가장 높은 위치보다 낮은 위치에 있도록 해줌으로써 실현이 가능하다.

상기한 인쇄 회로 기판의 베이스 물질로는 세라믹(ceramic), 플라스틱(plastic), 플렉시블 플라스틱(flexible plastic), 및 금속 등을 사용할 수 있고, 외부 접속 단자 역할을 하는 금속 볼로는 주석(Sn)과 납(Pb)의 합금인 솔더(solder) 이외에도 금(Au)과 니켈(Ni)의 합금 등의 물질들이 사용될 수 있다. 그리고, 금속 볼은 인쇄 회로 기판에 부착할 수 있으나, 플래이팅(plating) 방법을 적용할 수도 있다. 플래이팅 방법을 적용할 경우 미세 피치 및 스몰 사이즈가 가능하기 때문에 다핀소형 반도체 칩에 적용될 수 있다.

또한 본 발명의 실시예에 있어서 반도체 칩 실장은 비전도성 접착제가 사용되었으나 비전도성 테이프의 사용도 가능하다. 이때 가장자리 부분에 생기는 비접착 부분은 봉지 공정의 진행에 따라 성형 수지가 충전되므로 접착부분이 기판 영역을 넘지 않도록 제어하여 주면 된다.

### 발명의 효과

결론적으로 본 발명에 의한 구조에 따르면, 볼 그리드 어레이 패키지의 크기를 크게 줄임으로써, 실장 면적을 감소시켜 소형화 및 경량화된 전자기기에 효과적으로 사용할 수 있는 이점(利點)이 있다.

### (57) 청구의 범위

#### 청구항 1

일면에 복수 개의 전극 패드들이 형성된 반도체 칩; 상기 반도체 칩의 상기 전극 패드들이 형성되어 있는 면에 상기 전극 패드들을 덮지않도록 비전도성 접착제에 의해 부착되어 있고, 둘 이상의 층들로 이루어져 면접착되어 있으며, 층과 층 사이에 회로 패턴이 형성되어 있고, 상기 회로 패턴들이 비아홀에 의해 전기적으로 연결되어 있는 다층 인쇄 회로 기판; 상기 다층 인쇄 회로 기판의 복수 개의 층들 중에서 적어도 하나의 층의 상면에 다른 층과 면접착되어 있는 부분의 외측에 배열되어 있는 복수 개의 금속 패드들; 상기 다층 인쇄 회로 기판의 상면에 형성되어 있으며, 상기 회로 패턴에 의해 상기 금속 패드들과 전기적으로 상호 연결되어 있는 복수 개의 금속 볼들; 일측단부들이 상기 다층 인쇄 회로 기판의 상기 금속 패드들에 접속되어 있고, 타측단부들이 상기 반도체 칩의 전극 패드들에 접속되어 있는 본딩 와이어들; 그리고 상기 본딩 와이어들을 감싸 보호하도록 예폭시 성형 수지로 봉지되어 있는 봉지부를 포함하는 것을 특징으로 칩 사이즈의 볼 그리드 어레이 패키지.

#### 청구항 2

제 1항에 있어서, 상기 전극 패드들이 상기 반도체 칩의 상면의 가장자리에 형성되어 있으며, 상기 다층

인쇄 회로 기판이 가장 상부에 위치하는 부분에 금속 볼이 형성되어 있으며, 상기 반도체 칩과 부착되는 상기 인쇄 회로 기판의 층의 상면에 금속 패드들이 형성되어 있는 것을 특징으로 하는 칩 사이즈 볼 그리드 어레이 패키지.

### 청구항 3

제 1항에 있어서, 상기 전극 패드들이 상기 반도체 칩의 상면의 중앙 부분에 형성되어 있고, 상기 반도체 칩이 부착되는 상기 인쇄 회로 기판이 중앙부에 관통공을 갖고 있으며, 상기 반도체 칩의 상기 전극 패드들이 상기 인쇄 회로 기판의 관통공에 위치하도록 상기 반도체 칩과 상기 인쇄 회로 기판이 결합되어 있는 것을 특징으로 하는 칩 사이즈의 볼 그리드 어레이 패키지.

### 청구항 4

제 1항에 있어서, 상기 봉지부는 가장 높은 위치가 솔더 볼의 가장 높은 위치보다는 낮은 것을 특징으로 하는 칩 사이즈의 볼 그리드 어레이 패키지.

### 청구항 5

제 2항에 있어서, 상기 인쇄 회로 기판이 상부와 하부의 두 개의 층으로 이루어져 있으며, 상기 인쇄 회로 기판의 상부의 층이 하부의 층보다 크기가 작은 것을 특징으로 하는 칩 사이즈의 볼 그리드 어레이 패키지.

### 청구항 6

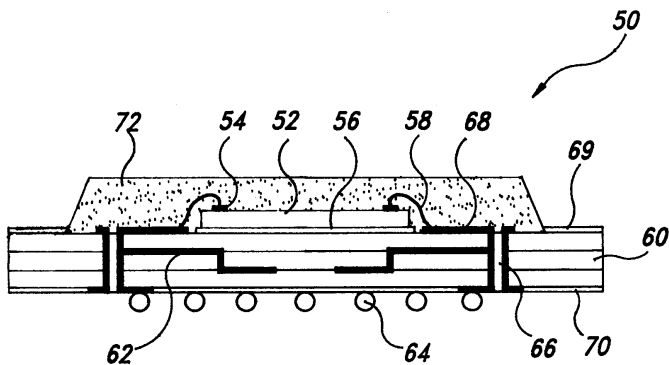
제 3항에 있어서, 상기 인쇄 회로 기판이 상부와 하부의 두 개의 층으로 이루어져 있으며, 상기 인쇄 회로 기판의 상부의 층에 형성된 관통공의 크기가 하부의 층에 형성된 관통공의 크기보다 큰 것을 특징으로 하는 칩 사이즈의 볼 그리드 어레이 패키지.

### 청구항 7

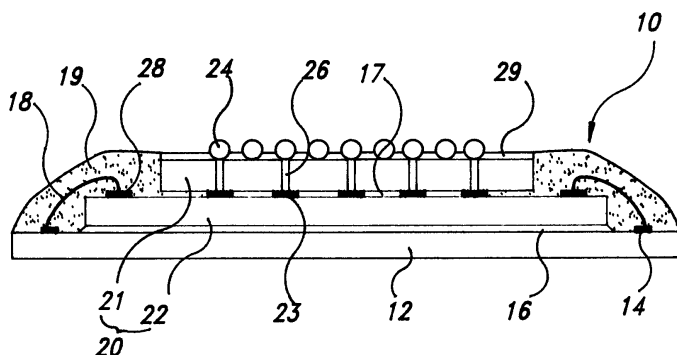
제 1항에 있어서, 상기 금속 볼이 솔더 볼인 것을 특징으로 하는 칩 사이즈의 볼 그리드 어레이 패키지.

## 도면

### 도면1



### 도면2



도면3

