



(12) 发明专利申请

(10) 申请公布号 CN 115347893 A

(43) 申请公布日 2022. 11. 15

(21) 申请号 202110530398.X

(22) 申请日 2021.05.14

(71) 申请人 惠州市超力源科技有限公司
地址 516000 广东省惠州市仲恺高新区惠环街道惠风七路8号

(72) 发明人 王译玮 彭彩煌 袁江

(74) 专利代理机构 深圳市兰锋盛世知识产权代理有限公司 44504
专利代理师 罗炳锋

(51) Int. Cl.
H03K 19/0175 (2006.01)

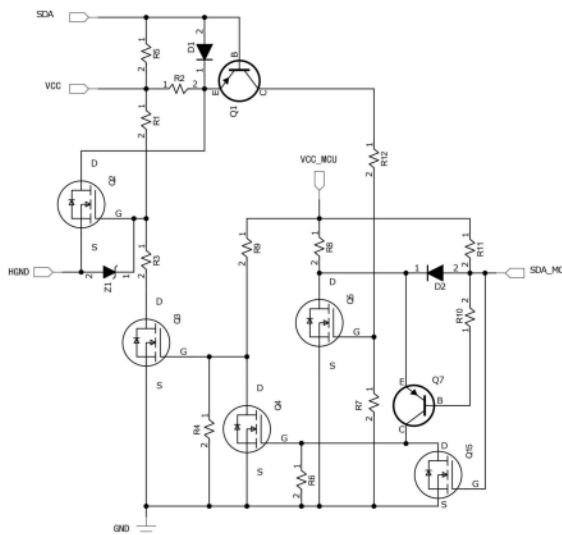
权利要求书1页 说明书6页 附图2页

(54) 发明名称

一种低功耗双向数据隔离电路

(57) 摘要

本发明涉及通信电平转换技术领域,为了解决现有技术中通信电平转换中存在的成本高和功耗相关的技术问题,本发明的目的在于提供一种低功耗双向数据隔离电路,包括三极管Q1、三极管Q7、NMOS管Q2、NMOS管Q3、NMOS管Q4和NMOS管Q5,分别直接或通过电阻、二极管与高电压侧逻辑单元电源正极、时钟信号、数据信号和电源负极连接,与低电压侧逻辑单元电源正极、时钟信号、数据信号和电源负极连接,通过较少的通用电阻、三极管和NMOS管,可实现两个高电压差的通信隔离,可很好的解决采用隔离芯片产生的成本较高、BMS工作时功耗偏大问题和高低电压侧逻辑单元功耗不一致的问题。



1. 一种低功耗双向数据隔离电路,其特征在于,包括三极管Q1、三极管Q7、NMOS管Q2、NMOS管Q3、NMOS管Q4和NMOS管Q5,以及用于和高电压侧逻辑单元电源正极连接的接口VCC、用于和高电压侧逻辑单元的时钟信号或数据信号连接的高电压侧通信接口、用于和高电压侧逻辑单元电源负极连接的接口HGND、用于和低电压侧逻辑单元电源正极连接的接口VCC_MCU、用于和低电压侧逻辑单元的时钟信号或数据信号连接的低电压侧通信接口、用于和低电压侧逻辑单元电源负极连接的接口GND,所述三极管Q1和三极管Q7为PNP型三极管;

所述三极管Q1的基极用于和高电压侧通信信号接口连接,所述三极管Q1的发射极通过电阻R2与所述接口VCC连接,所述接口VCC与所述三极管Q1的基极之间连接有上拉电阻R5,所述三极管Q1的集电极依次通过电阻R12、电阻R7与所述接口GND连接;

所述接口VCC依次通过电阻R1、电阻R3与所述NMOS管Q3的漏极连接,所述NMOS管Q3的源极与所述接口GND连接;

所述NMOS管Q2的漏极与所述三极管Q1的发射极连接,所述NMOS管Q2的源极与所述接口HGND连接,所述NMOS管Q2的栅极通过电阻R3与所述NMOS管Q3的漏极连接;

所述接口VCC_MCU依次通过电阻R9、电阻R4与所述接口GND连接,电阻R9和R4组成的串联电路用于给所述NMOS管Q3的栅极提供分压;

所述NMOS管Q4的漏极与源极之间连接有电阻R4,所述NMOS管Q4的栅极与源极之间连接有电阻R6,所述NMOS管Q4的栅极与所述三极管Q7的集电极连接,所述NMOS管Q4的源极与所述接口GND连接。

所述三极管Q7的基极依次通过电阻R10、电阻R11与所述接口VCC_MCU连接,所述三极管Q7的基极通过电阻R10与所述低电压侧通信信号接口连接;

所述NMOS管Q5的漏极通过电阻R8与所述接口VCC连接,所述NMOS管Q5的漏极与所述三极管Q7的发射极连接,所述NMOS管Q5的源极与所述接口GND连接,所述NMOS管Q5的栅极与源极之间连接有电阻R7,电阻R7与R12组成的串联电路用于给所述NMOS管Q5的栅极提供分压。

2. 根据权利要求1所述的一种低功耗双向数据隔离电路,其特征在于,还包括用于保护所述三极管Q1的二极管D1,所述二极管D1的阳极与所述三极管Q1的基极连接,所述二极管D1的阴极与所述三极管Q1的发射极连接。

3. 根据权利要求2所述的一种低功耗双向数据隔离电路,其特征在于,还包括用于保护所述NMOS管Q2的稳压管Z1,所述稳压管Z1的阳极与所述NMOS管Q2的源极连接,所述稳压管Z1的阴极与所述NMOS管Q2的栅极连接。

4. 根据权利要求3所述的一种低功耗双向数据隔离电路,其特征在于,还包括用于保护所述三极管Q7的二极管D2,所述二极管D2的阳极通过电阻R10与所述三极管Q7的基极连接,所述二极管D2的阴极与所述三极管Q7的发射极连接。

5. 根据权利要求1所述的一种低功耗双向数据隔离电路,其特征在于,还包括用于提高所述NMOS管Q4开关速度的NMOS管Q15,所述NMOS管Q15的栅极与低电压侧通信接口连接,所述NMOS管Q15的漏极与所述NMOS管Q4的栅极连接,所述NMOS管Q15的源极与所述NMOS管Q4的源极连接。

一种低功耗双向数据隔离电路

技术领域

[0001] 本发明涉及通信电平转换技术领域,具体而言,特别是涉及一种低功耗双向数据隔离电路。

背景技术

[0002] 随着锂电池在电动摩托车、电动自行车领域的大面积应用,其使用的电池电压从12V、24V、36V、48V、72V不断的提高,而实际市场上所能提供的单个芯片的电压采集IC在4~16节电池,当电压高于48V,则必须通过更多的芯片来实现,当使用更多的芯片时,则存在芯片间的通信问题,而在PCB上芯片与芯片间的通信,通常应用的是I2C通信,其通信速率为10k~100kbps。

[0003] 当采用两个以上芯片时,其芯片因为不共地的原因,其两个芯片间的电压差达到42V以上,因此通常的用法是通过光隔离或磁隔离的方式;而使用此方式,一是成本较高;二会造成BMS工作时功耗偏大;三是因高低电压侧逻辑单元的两个IC的功耗不一致,会造成高电压侧逻辑单元的IC和低电压侧逻辑单元的IC功耗不同,最终导致产生压差,电池组的容量衰减,影响用户使用。

发明内容

[0004] 为了解决现有通信电平转换中存在的成本高和功耗相关的技术问题,本发明提供了一种低功耗双向数据隔离电路。

[0005] 为达到上述目的,本发明的技术方案是这样实现的:

[0006] 一种低功耗双向数据隔离电路,包括三极管Q1、三极管Q7、NMOS管Q2、NMOS管Q3、NMOS管Q4和NMOS管Q5,以及用于和高电压侧逻辑单元电源正极连接的接口VCC、用于和高电压侧逻辑单元的时钟信号或数据信号连接的高电压侧通信接口、用于和高电压侧逻辑单元电源负极连接的接口HGND、用于和低电压侧逻辑单元电源正极连接的接口VCC_MCU、用于和低电压侧逻辑单元的时钟信号或数据信号连接的低电压侧通信接口、用于和低电压侧逻辑单元电源负极连接的接口GND,所述三极管Q1和三极管Q7为PNP型三极管;三极管Q1的基极用于和高电压侧通信信号接口连接,三极管Q1的发射极通过电阻R2与接口VCC连接,接口VCC与三极管Q1的基极之间连接有上拉电阻R5,三极管Q1的集电极依次通过电阻R12、电阻R7与接口GND连接;接口VCC依次通过电阻R1、电阻R3与NMOS管Q3的漏极连接,NMOS管Q3的源极与接口GND连接;NMOS管Q2的漏极与三极管Q1的发射极连接,NMOS管Q2的源极与接口HGND连接,NMOS管Q2的栅极通过电阻R3与NMOS管Q3的漏极连接;接口VCC_MCU依次通过电阻R9、电阻R4与接口GND连接,电阻R9和R4组成的串联电路用于给NMOS管Q3的栅极提供分压;NMOS管Q4的漏极与源极之间连接有电阻R4,NMOS管Q4的栅极与源极之间连接有电阻R6,NMOS管Q4的栅极与三极管Q7的集电极连接,NMOS管Q4的源极与接口GND连接。三极管Q7的基极依次通过电阻R10、电阻R11与接口VCC_MCU连接,三极管Q7的基极通过电阻R10与低电压侧通信信号接口连接;NMOS管Q5的漏极通过电阻R8与接口VCC连接,NMOS管Q5的漏极与三极

管Q7的发射极连接,NMOS管Q5的源极与接口GND连接,NMOS管Q5的栅极与源极之间连接有电阻R7,电阻R7与R12组成的串联电路用于给NMOS管Q5的栅极提供分压。高电压侧逻辑单元与低电压侧逻辑单元实现了隔离,元器件连接方式独特,物料常规,有效利用了物料特性,以低成本实现了高性能,降低了成本,又解决了功耗相关的问题。

[0007] 进一步的,三极管Q1的基极与发射极之间并联有二极管D1,二极管D1的阳极与三极管Q1的基极连接,二极管D1的阴极与三极管Q1的发射极连接,二极管D1用于保护三极管Q1,防止三极管的基极与发射极在负半周时被击穿。

[0008] 进一步的,NMOS管Q2的源极的栅极之间连接有稳压管Z1,稳压管Z1的阳极与源极连接,稳压管Z1的阴极与栅极连接,防止栅极和源极之间过压击穿,防止栅极过高的电流变化率,让MOS管由导通转为截止时加快截止。

[0009] 进一步的,还包括二极管D2,二极管D2的阳极通过电阻R10与三极管Q7的基极连接,二极管D2的阴极与三极管Q7的发射极连接,二极管D2用于保护三极管Q7,防止三极管Q7的基极与发射极在负半周时被击穿。

[0010] 进一步的,还包括用于提高NMOS管Q4开关速度的NMOS管Q15,NMOS管Q15的栅极与低电压侧通信接口连接,NMOS管Q15的漏极与NMOS管Q4的栅极连接,NMOS管Q15的源极与NMOS管Q4的源极连接。

[0011] 实施本发明实施例带来的有益效果是:

[0012] 通过较少的通用电阻、三极管和NMOS管,可实现两个高电压差的通信隔离,可很好的解决采用隔离芯片产生的成本较高、功耗偏大和功耗不一致的问题。另外,二极管可以三极管起保护作用,稳压管可以对NMOS管起保护作用,提高了工作的稳定性;NMOS管15加还了NMOS管Q4的开关速度,可以适应更高速度的通信信号。

附图说明

[0013] 图1为本发明实施例提供的使用逻辑框图;

[0014] 图2为本发明实施例提供的数据信号隔离电路图;

[0015] 图3为本发明实施例提供的时钟信号隔离电路图。

[0016] 图中:G为NMOS管的栅极;S为NMOS管的源极;D为NMOS管漏极;B为三极管的基极;C为三极管的集电极;E为三极管的发射极;VCC为连接高电压侧逻辑单元的电源正极的接口;SCL为连接高电压侧逻辑单元的时钟信号的接口;SDA为连接高电压侧逻辑单元的数据信号的接口;HGND为连接高电压侧逻辑单元的电源负极的接口;VCC_MCU为连接低电压侧逻辑单元的电源正极的接口;SCL_MCU为连接低电压侧逻辑单元的时钟信号的接口;SDA_MCU为连接低电压侧逻辑单元的数据信号的接口;GND为连接低电压侧逻辑单元的电源负极的接口。

具体实施方式

[0017] 为了使本发明的目的、技术方案及优点更加清楚明白,以下结合附图及实施例,对本发明进行进一步详细说明。应当理解,此处所描述的具体实施例仅仅用以解释本发明,并不用于限定本发明。

[0018] 参阅图1,图1为本发明实施例提供的使用逻辑框图,本发明提供的低功耗双向数据隔离电路,该电路两端分别连接高电压侧逻辑单元、低电压侧逻辑单元,用于逻辑电平的

隔离匹配,该电路包括数据信号隔离电路和时钟信号隔离电路。

[0019] 参阅图2,图2为本发明实施例提供的数据信号隔离电路图,包括三极管Q1、三极管Q7、NMOS管Q2、NMOS管Q3、NMOS管Q4和NMOS管Q5,三极管Q1和三极管Q7为PNP型三极管。

[0020] 三极管Q1的基极与接口SDA连接,三极管Q1的发射极通过电阻R2与接口VCC连接,接口VCC与三极管Q1的基极之间连接有上拉电阻R5,三极管Q1的基极与发射极之间并联有二极管D1,二极管D1的阳极与三极管Q1的基极连接,二极管D1的阴极与三极管Q1的发射极连接,二极管D1用于保护三极管Q1,防止三极管的基极与发射极在负半周时被击穿,三极管Q1的集电极依次通过电阻R12、电阻R7与GND连接;

[0021] 接口VCC依次通过电阻R1、电阻R3与NMOS管Q3的漏极连接,NMOS管Q3的源极与GND连接,电阻R1和R3组成的串联电路用于给NMOS管Q2的栅极提供分压;

[0022] NMOS管Q2的漏极与三极管Q1的发射极连接,NMOS管Q2的源极与HGND连接,NMOS管Q2的栅极通过电阻R3与NMOS管Q3的漏极连接,NMOS管Q2的源极的栅极之间连接有稳压管Z1,稳压管Z1的阳极与源极连接,稳压管Z1的阴极与栅极连接,防止栅极和源极之间过压击穿,防止栅极过高的电流变化率,让NMOS管由导通转为截止时加快截止。

[0023] 接口VCC_MCU依次通过电阻R9、电阻R4与接口GND连接,电阻R9和R4组成的串联电路用于给NMOS管Q3的栅极提供分压,具体地,接口VCC_MCU与电阻R9的第1端连接,电阻R9的第2端与电阻R4的第1端连接,电阻R4的第2端与接口GND连接;电阻R9的第2端与NMOS管Q3的栅极连接。

[0024] NMOS管Q4的漏极与源极与电阻R4并联,具体地,NMOS管Q4的漏极与电阻R4的第1端连接,NMOS管Q4的源极与电阻R4的第2端连接;

[0025] NMOS管Q4的栅极与源极与电阻R6并联,具体地,NMOS管Q4的栅极与电阻R6的第1端连接,NMOS管Q4的源极与电阻R6的第2端连接;

[0026] NMOS管Q4的栅极还与三极管Q7的集电极连接;

[0027] NMOS管Q4的源极接接口GND。

[0028] 三极管Q7的基极依次通过电阻R10、电阻R11与接口VCC_MCU连接;

[0029] 三极管Q7的基极通过电阻R10与接口SDA_MCU连接;

[0030] 还包括二极管D2,二极管D2的阳极通过电阻R10与三极管Q7的基极连接,二极管D2的阴极与三极管Q7的发射极连接,二极管D2用于保护三极管Q7,防止三极管Q7的基极与发射极在负半周时被击穿。

[0031] NMOS管Q5的漏极通过电阻R8与接口VCC连接,NMOS管Q5的漏极与三极管Q7的发射极连接,NMOS管Q5的源极接接口GND,NMOS管Q5的栅极通过电阻R7接接口GND,电阻R7与R12组成的串联电路用于给NMOS管Q5的栅极提供分压。

[0032] 还包括用于提高NMOS管Q4开关速度的NMOS管Q15,NMOS管Q15的栅极与低电压侧通信接口连接,NMOS管Q15的漏极与NMOS管Q4的栅极连接,NMOS管Q15的源极与NMOS管Q4的源极连接。

[0033] 工作原理:

[0034] NMOS管Q4、三极管Q7和二极管D2实现低电平IC的电平转换,NMOS管Q3实现将电平传输给高电平芯片,R11为低电平IC的电平上拉电阻;

[0035] 当SDA_MCU为低电平时,三极管Q7导通,使NMOS管Q4的栅极获得导通电压,NMOS管

Q4导通,使NMOS管Q3的栅极接GND,NMOS管Q3截止,使电阻R3相对于GND悬空,NMOS管Q2无法获得分压,使NMOS管Q2截止,导致VCC与HGND被断开,没有电流回路,SDA实则无电压,故SDA为低电平;

[0036] 当SDA_MCU为高电平时,三极管Q7截止,使NMOS管Q4的栅极无法获得导通电压,NMOS管Q4截止,使NMOS管Q3的栅极在电阻R9与R4组成的分压电路上获得导通电压,NMOS管Q3导通,使电阻R3接GND,NMOS管Q2在电阻R1与R3组成的串联分压电路上获得分压,使NMOS管Q2导通,导形成电流回路,故SDA为高电平。其中,SDA_MCU为高电平时,NMOS管Q15可迅速将NMOS管Q4的栅压电压拉低,提高了开关速度,从而可以适应更高的通信速率。

[0037] Q1、Q2和D1实现高电平芯片的电平转换,Q5实现将高电平芯片的电平状态转换给低电平芯片,R5实现高电平芯片I2C接口的上拉功能;

[0038] 当SDA为低电平时,三极管Q1导通,NMOS管Q5的栅极在电阻R12与R7组成的分压电路上获得导通电压,NMOS管Q5导通,在本实施例中,电阻R9、R8和R11选择相同的电阻值,例如3.3K欧,此时SDA_MCU为低电平;

[0039] 当SDA为高电平时,三极管Q1截止,NMOS管Q5的栅极在电阻R12与R7组成的分压电路上无法获得导通电压,NMOS管Q5截止,在本实施例中,电阻R9、R8和R11选择相同的电阻值,例如3.3K欧,此时SDA_MCU为高电平。

[0040] 电路中的Q1、Q3和Q5的耐压值,决定了该电路的隔离电压幅值,可通过改变此三元件的耐压值,得到更高电平隔离的功能。

[0041] 参阅图3,图2为本发明实施例提供的时钟信号隔离电路图,包括三极管Q9、三极管Q13、NMOS管Q2、NMOS管Q8、NMOS管Q10、NMOS管Q12和NMOS管Q14,三极管Q9和三极管Q13为PNP型三极管。

[0042] 三极管Q9的基极与接口SCL连接,三极管Q9的发射极通过电阻R15与接口VCC连接,接口VCC与三极管Q9的基极之间连接有上拉电阻R13,三极管Q9的基极与发射极之间并联有二极管D3,二极管D3的阳极与三极管Q9的基极连接,二极管D3的阴极与三极管Q9的发射极连接,二极管D3用于保护三极管Q9,防止三极管的基极与发射极在负半周时被击穿,三极管Q9的集电极依次通过电阻R24、电阻R19与接口GND连接;

[0043] 接口VCC依次通过电阻R14、电阻R16与NMOS管Q10的漏极连接,NMOS管Q10的源极与接口GND连接,电阻R14和R16组成的串联电路用于给NMOS管Q8的栅极提供分压;

[0044] NMOS管Q8的漏极与三极管Q9的发射极连接,NMOS管Q8的源极与HGND连接,NMOS管Q8的栅极通过电阻R16与NMOS管Q10的漏极连接,NMOS管Q8的源极的栅极之间连接有稳压管Z2,稳压管Z2的阳极与源极连接,稳压管Z2的阴极与栅极连接,防止栅极和源极之间过压击穿,防止栅极过高的电流变化率,让NMOS管由导通转为截止时加快截止。

[0045] 接口VCC_MCU依次通过电阻R21、电阻R17与接口GND连接,电阻R21和R17组成的串联电路用于给NMOS管Q10的栅极提供分压,具体地,接口VCC_MCU与电阻R21的第1端连接,电阻R21的第2端与电阻R17的第1端连接,电阻R17的第2端与接口GND连接;电阻R21的第2端与NMOS管Q10的栅极连接。

[0046] NMOS管Q11的漏极与源极与电阻R17并联,具体地,NMOS管Q11的漏极与电阻R17的第1端连接,NMOS管Q11的源极与电阻R17的第2端连接;

[0047] NMOS管Q11的栅极与源极与电阻R18并联,具体地,NMOS管Q11的栅极与电阻R18的

第1端连接,NMOS管Q11的源极与电阻R18的第2端连接;

[0048] NMOS管Q11的栅极还与三极管Q13的集电极连接;

[0049] NMOS管Q11的源极接接口GND。

[0050] 三极管Q13的基极依次通过电阻R22、电阻R23与接口VCC_MCU连接;

[0051] 三极管Q13的基极通过电阻R22与接口SCL_MCU连接;

[0052] 还包括二极管D4,二极管D4的阳极通过电阻R10与三极管Q13的基极连接,二极管D4的阴极与三极管Q13的发射极连接,二极管D4用于保护三极管Q13,防止三极管Q13的基极与发射极在负半周时被击穿。

[0053] NMOS管Q12的漏极通过电阻R20与接口VCC_MCU连接,NMOS管Q12的漏极与三极管Q13的发射极连接,NMOS管Q12的源极接GND,NMOS管Q12的栅极通过电阻R19接GND,电阻R19与R24组成的串联电路用于给NMOS管Q12的栅极提供分压。

[0054] NMOS管Q14的栅极与SCL_MCU连接,NMOS管Q14的漏极与三极管Q13的集电极连接,NMOS管Q14的源极与GND连接,

[0055] 工作原理:

[0056] NMOS管Q11、三极管Q13和二极管D4实现低电平IC的电平转换,NMOS管Q10实现将电平传输给高电平芯片,R23为低电平IC的电平上拉电阻;

[0057] 当SCL_MCU为低电平时,NMOS管Q14截止,三极管Q13导通,使NMOS管Q11的栅极获得导通电压,NMOS管Q11导通,使NMOS管Q10的栅极接GND,NMOS管Q10截止,使电阻R16相对于GND悬空,NMOS管Q8无法获得分压,使NMOS管Q8截止,导致VCC与HGND之间的回路被断开,没有电流回路,SCL实则无电压,故SCL为低电平;

[0058] 当SCL_MCU为高电平时,NMOS管Q14导通,三极管Q13截止,使NMOS管Q11的栅极无法获得导通电压,NMOS管Q11截止,使NMOS管Q10的栅极在电阻R17与R21组成的分压电路上获得导通电压,NMOS管Q10导通,使电阻R16接GND,NMOS管Q8在电阻R14与R16组成的串联分压电路上获得分压,使NMOS管Q8导通,形成电流回路,故SCL为高电平。

[0059] Q8、Q9和D3实现高电平芯片的电平转换,Q12实现将高电平芯片的电平状态转换给低电平芯片,R13实现高电平芯片I2C接口的上拉功能;

[0060] 当SCL为低电平时,三极管Q9导通,NMOS管Q12的栅极在电阻R24与R19组成的分压电路上获得导通电压,NMOS管Q12导通,在本实施例中,电阻R20、R21和R23选择相同的电阻值,例如3.3K欧,此时SCL_MCU为低电平;

[0061] 当SCL为高电平时,三极管Q9截止,NMOS管Q12的栅极在电阻R24与R19组成的分压电路上无法获得导通电压,NMOS管Q12截止,在本实施例中,电阻R20、R21和R23选择相同的电阻值,例如3.3K欧,此时SCL_MCU为高电平。

[0062] 电路中的Q9、Q10和Q12的耐压值,决定了该电路的隔离电压幅值,可通过改变此三元件的耐压值,得到更高电平隔离的功能。

[0063] 本发明提供的电路应用了较多的分立元器件,适用于传输速率不高于100kbps的应用场景。因高电平IC的I2C上电源引脚的供电电源来源于电池组的总电压,当I2C工作时,其电平是相对于低电平芯片的GND地的,即两个IC的耗电均取自电池组的总电源,因此不会造成功耗的不一致。同时当I2C通信接口空闲状态时,其接口处于高电平,在电路中不构成地回路,没有功耗,也就节省了功空闲状态时的功耗切换。BMS接入此功能电路,实现和与低

电平芯片共地,同时与高电平芯片通信的功能,而同时又不影响到低电平芯片对电池组充放电电流的采集。

[0064] 实际应用中SCL与SDA高电压侧的电平与MCU_SCL和MCU_SDA低电压侧的电平相差可以达到60V以上,隔离电压只与Q1、Q3、Q9、Q10的耐压有关,通过更换更耐压值的器件可以实现更高电平的隔离,可很好的解决电平隔离作现,同时两者都是双向平电传输功以有,当SCL相对于HGND为高电平时,则MCU_SCL相对于GND同样也为高电平;反过来MCU_SCL为高电平时,则SCL也为高电平;低电平也是相同的,由实此实现数字电平的有效传输。SDA与MCU_SDA的电平转换关系与SCL和MCU_SCL相同。同时电池组串联隔离时VCC与VCC_MCU均取至电池组的最高电压,使得会不因电平隔离而产生功耗差异而造成电池组的电压差异。当应用于电气隔离时,通信的两端可以相互独立电平供电,相互之间不受影响。电平的传输是通过电压信号传输,产生的功耗低平隔离芯片的mA以上的驱动电流达到小于200uA左右的传功耗。通过较少的通用电阻、三极管、二极管、小信号MOS管,可实现两个电压差达65V的IC间的I2C通信隔离,可很好的解决采用隔离芯片产生的成本较高、BMS工作时功耗偏大问题和高低电压侧逻辑单元功耗不一致的问题,同时也解决了,批量生产时的物料供应问题,所采用的元器件均为通用元件,易于批量采购。

[0065] 文中以I2C工作为例进行了说明,I2C有两条通信线路,即时钟信号线路和数据信号线路,接口SCL和接口SDA可概括为高电压侧通信接口,接口SCL_MCU和接口SDA_MCU可概括为低电压侧通信接口,此电路不仅仅适应于I2C通信,还适用于其它类型的通信。

[0066] 可以看出,实施本发明实施例带来的有益效果是:

[0067] 通过较少的通用电阻、三极管和NMOS管,可实现两个高电压差的通信隔离,可很好的解决采用隔离芯片产生的成本较高、BMS工作时功耗偏大问题和高低电压侧逻辑单元功耗不一致的问题;所采用的元器件均为通用元件,批量生产时物料易于采购;二极管可以三极管起保护作用,稳压管可以对NMOS管起保护作用,提高了工作的稳定性;NMOS管15加还了NMOS管Q4的开关速度,可以适应更高速度的通信信号。

[0068] 尽管参照前述实施例对本发明进行了详细的说明,对于本领域的技术人员来说,其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换,凡在本发明的精神和原则之内,所作的任何修改、等同替换和改进等,均应包含在本发明的保护范围之内。



图1

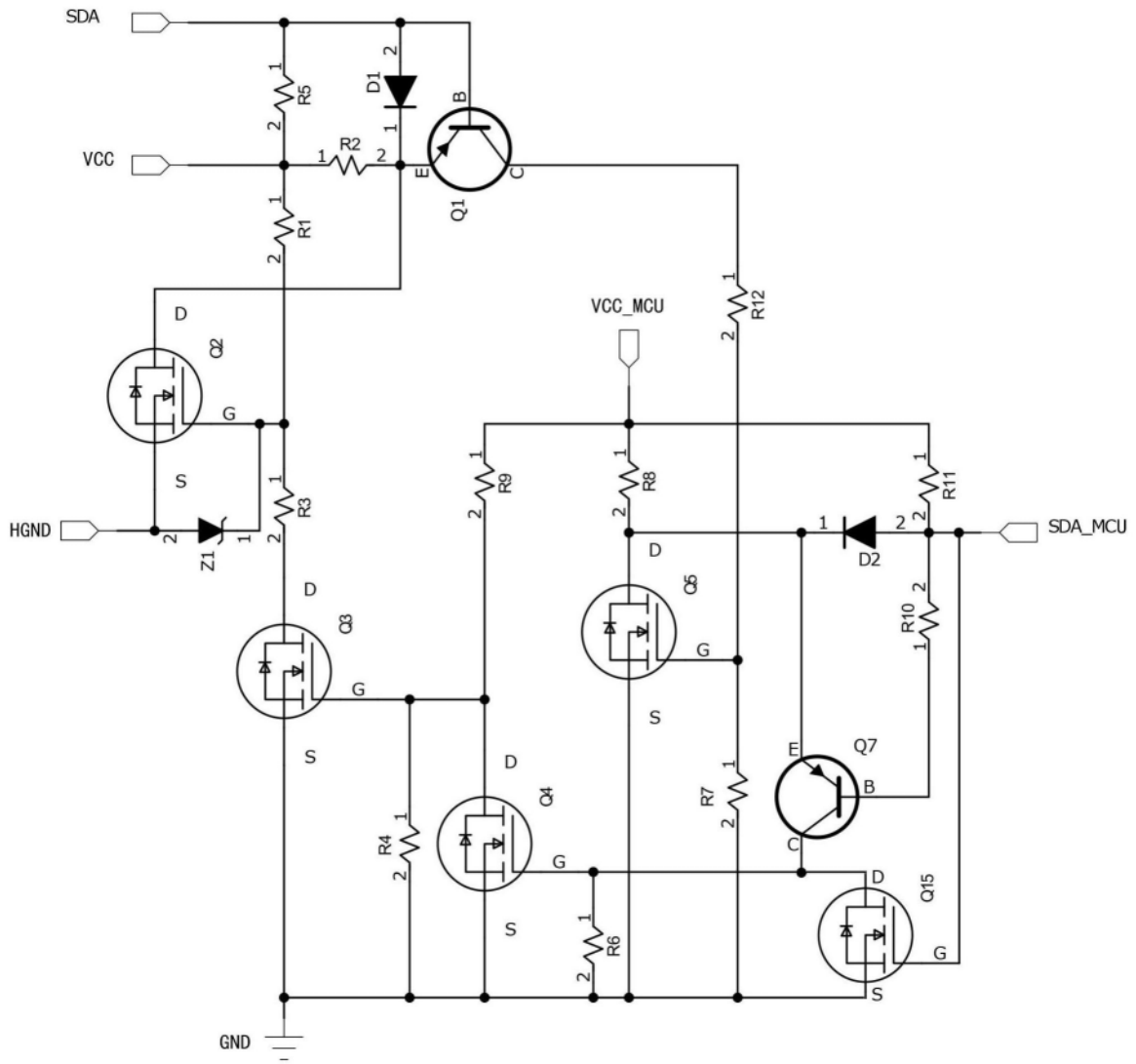


图2

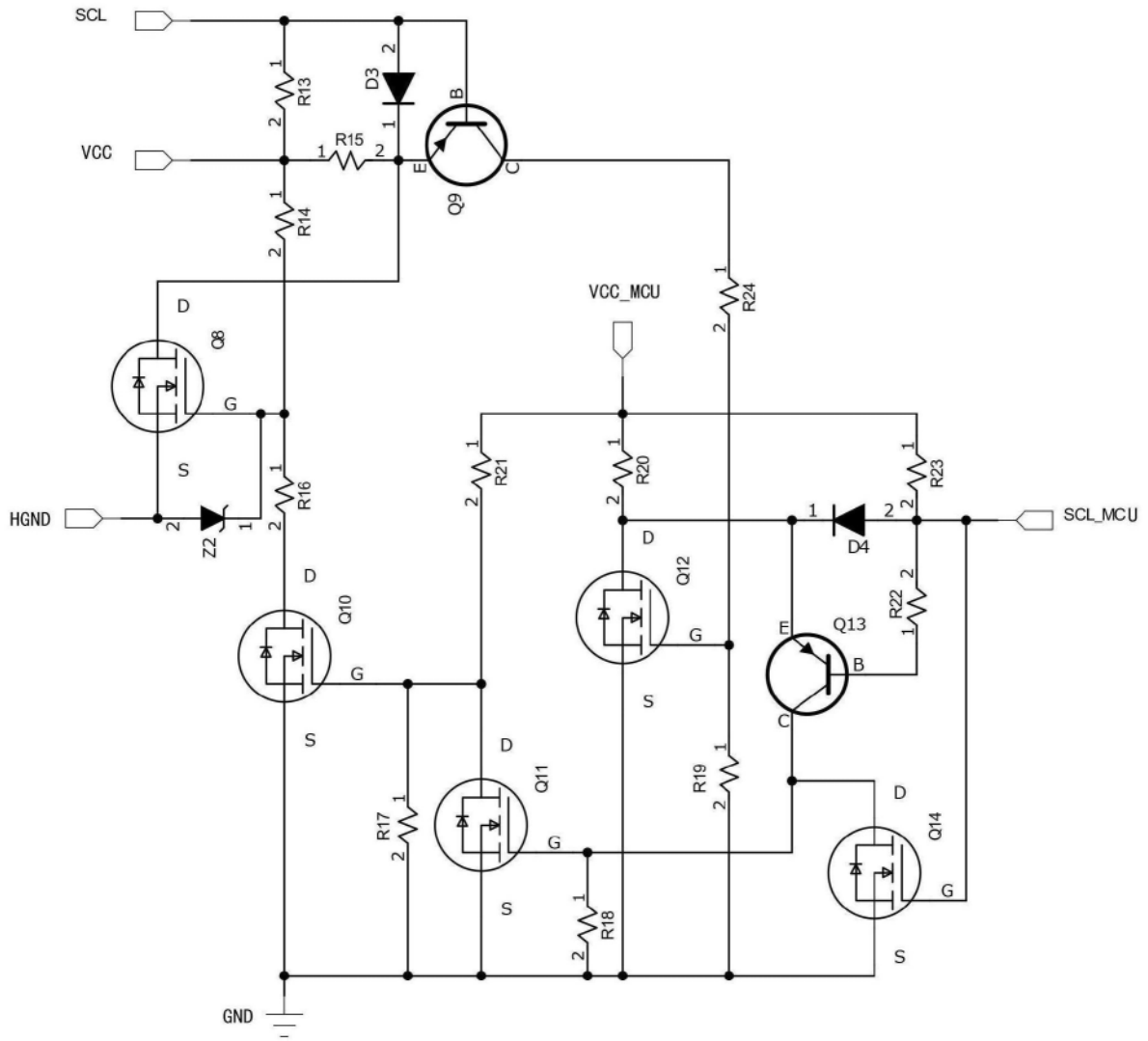


图3