

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 829 898**

51 Int. Cl.:

H01L 21/768 (2006.01)

H01L 23/48 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **12.01.2013 PCT/US2013/021342**

87 Fecha y número de publicación internacional: **18.07.2013 WO13106796**

96 Fecha de presentación y número de la solicitud europea: **12.01.2013 E 13703655 (4)**

97 Fecha y número de publicación de la concesión europea: **12.08.2020 EP 2803081**

54 Título: **Integración de vías a través de sustrato en capas de la parte intermedia de la línea de circuitos integrados**

30 Prioridad:

13.01.2012 US 201261586463 P

13.07.2012 US 201261671607 P

21.12.2012 US 201213724038

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

02.06.2021

73 Titular/es:

QUALCOMM INCORPORATED (100.0%)

5775 Morehouse Drive

San Diego, CA 92121, US

72 Inventor/es:

RAMACHANDRA, VIDHYA y

GU, SHIQUN

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 829 898 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Integración de vías a través de sustrato en capas de la parte intermedia de la línea de circuitos integrados

5 SOLICITUDES RELACIONADAS**CAMPO TÉCNICO**

10 **[0001]** La presente divulgación se refiere en general a circuitos integrados (IC). Más específicamente, la presente divulgación se refiere a la integración de vías a través de sustrato (TSV) en capas de la parte intermedia de la línea en nodos CMOS (metal-óxido-semiconductor complementario) avanzados.

ANTECEDENTES

15 **[0002]** El flujo de proceso para la fabricación de semiconductor de circuitos integrados (IC) puede incluir procesos de la parte frontal de la línea (front-end-of-line, FEOL), de la parte intermedia de la línea (middle-of-line, MOL) y de la parte posterior de la línea (back-end-of-line, BEOL). El proceso FEOL puede incluir preparación de obleas, aislamiento, formación de pozos, modelado de puertas, espaciadores, extensión e implantación de fuente/drenaje, formación de siliciuro y formación de revestimientos de doble tensión. El proceso MOL puede incluir la formación de contactos de
20 puerta. Los procesos BEOL pueden incluir una serie de etapas de procesamiento de obleas para interconectar los dispositivos de semiconductor creados durante los procesos FEOL y MOL. La fabricación y calificación exitosa de productos de chip de semiconductor modernos implica una interacción entre los materiales y los procesos empleados. En particular, la formación de contactos de puerta durante el proceso MOL es una parte cada vez más exigente del flujo del proceso, en particular para el modelado de litografías.

25 **[0003]** A medida que avanzan los nodos de semiconductor (es decir, los nodos se vuelven más pequeños y la metodología de fabricación avanza), la integración de TSV (vías a través de sustrato) en capas MOL se vuelve más difícil. Las capas de la parte intermedia de la línea pueden incluir, pero no se limitan a, contactos MOL u otras capas muy próximas a los transistores del dispositivo de semiconductor o a otros dispositivos activos similares. La proximidad de las capas MOL a los transistores del dispositivo da como resultado una ventana de proceso estrecha para integrar con éxito las TSV porque las capas MOL en general presentan un grosor reducido. Como resultado, la variabilidad del grosor de la pastilla/oblea causada por el proceso de integración de TSV se vuelve más significativa para las capas MOL porque el proceso de TSV crea conexiones verticales a través del cuerpo del dispositivo de semiconductor. Además, la capacidad de escalado de tamaño limitada de las TSV aumenta aún más su impacto en las capas MOL.

35 **[0004]** Un proceso de TSV que contribuye a la variabilidad del grosor de la pastilla y la oblea es el sobrepulido del pulido químico-mecánico (CMP) de TSV. El sobrepulido se realiza para eliminar completamente todas las capas (incluyendo las películas) colocadas en la oblea mediante el proceso de llenado de TSV. En particular, las capas colocadas en la oblea mediante el proceso de llenado de TSV se pueden formar en una capa MOL de la oblea. Desafortunadamente, la retirada de capas de la oblea debido al sobrepulido puede reducir aún más el grosor de las capas MOL, especialmente para un proceso de veinte nanómetros (20 nm) o más pequeño.

40 **[0005]** El documento EP 0926726 describe un proceso de fabricación y un dispositivo electrónico que tiene contactos directos de la parte frontal a la posterior para su unión a las placas. El documento US 2011/221063 describe un procedimiento de fabricación y un dispositivo de semiconductor. El documento EP 1439576 describe un procedimiento de fabricación de orificios de paso y el documento US 2011/316166 describe procedimientos para fabricar y llenar vías conductoras y las vías conductoras así formadas.

BREVE EXPLICACIÓN

50 **[0006]** La invención se define en las reivindicaciones a las que está dirigida ahora la referencia.

[0007] A continuación, se describen rasgos característicos y ventajas de la divulgación. Se debe apreciar por los expertos en la técnica que la presente divulgación se puede usar fácilmente como base para modificar o diseñar otras estructuras para llevar a cabo los mismos propósitos de la presente divulgación. También se debe tener en cuenta por los expertos en la técnica que dichas estructuras equivalentes no se apartan de las enseñanzas de la divulgación como se exponen en las reivindicaciones adjuntas. Las características novedosas, que se consideran rasgos característicos de la divulgación, tanto en lo que respecta a su organización como al procedimiento de funcionamiento, junto con otros objetivos y ventajas, se comprenderán mejor a partir de la siguiente descripción cuando se considera en relación con las figuras adjuntas. Sin embargo, se ha de entender expresamente que cada una de las figuras se proporciona solo para el propósito de ilustración y descripción, y no pretende ser una definición de los límites de la presente divulgación.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

65 **[0008]** Para un entendimiento más completo de la presente divulgación, ahora se hace referencia a la siguiente

descripción tomada junto con los dibujos adjuntos.

La FIGURA 1A muestra una vista en sección transversal que ilustra un dispositivo de circuito integrado (IC) que incluye dispositivos activos y una capa de aislamiento de acuerdo con un aspecto de la divulgación.

Las FIGURAS 1B y 1C muestran vistas en sección transversal que ilustran el dispositivo de IC de la FIGURA 1A, incluyendo una fotorresistencia dispuesta en la capa de aislamiento de acuerdo con un aspecto de la divulgación.

La FIGURA 2A muestra una vista en sección transversal del dispositivo de IC de la FIGURA 1C, que ilustra el grabado de la capa de aislamiento para formar una porción con estrechamiento progresivo de la capa de aislamiento de acuerdo con un aspecto de la divulgación.

La FIGURA 2B muestra una vista en sección transversal del dispositivo de IC de la FIGURA 1A, que ilustra el grabado de la capa de aislamiento para formar una porción con estrechamiento progresivo de la capa de aislamiento de acuerdo con un aspecto de la divulgación.

La FIGURA 2C muestra una vista en sección transversal del dispositivo de IC de la FIGURA 2B, que ilustra la formación de una capa de recubrimiento de múltiples películas en la capa de aislamiento de acuerdo con un aspecto de la divulgación.

La FIGURA 3A muestra una vista en sección transversal que ilustra el dispositivo de IC de la FIGURA 2B, tras un proceso de siembra de barrera y llenado de cobre de TSV de acuerdo con un aspecto de la divulgación.

La FIGURA 3B muestra una vista en sección transversal que ilustra el dispositivo de IC de la FIGURA 2C, tras un proceso de siembra de barrera y llenado de cobre de TSV de acuerdo con un aspecto de la divulgación.

La FIGURA 4A muestra una vista en sección transversal que ilustra el dispositivo de IC de la FIGURA 3A, tras un proceso de pulido químico-mecánico (CMP) de cobre de acuerdo con un aspecto de la divulgación.

La FIGURA 4B muestra una vista en sección transversal que ilustra el dispositivo de IC de la FIGURA 3B, tras un proceso de pulido químico-mecánico (CMP) de cobre de acuerdo con un aspecto de la divulgación.

La FIGURA 5A muestra una vista en sección transversal que ilustra el dispositivo de IC de la FIGURA 4A, con una TSV rodeada por una capa de aislamiento que tiene una porción con estrechamiento progresivo cerca de una cara activa del dispositivo de IC de acuerdo con un aspecto de la divulgación.

La FIGURA 5B muestra una vista en sección transversal que ilustra el dispositivo de IC de la FIGURA 4C, con una TSV rodeada por una capa de recubrimiento de múltiples películas en una capa de aislamiento que tiene una porción con estrechamiento progresivo cerca de una cara activa del dispositivo de IC de acuerdo con un aspecto de la divulgación.

La FIGURA 6A muestra una vista en sección transversal que ilustra el dispositivo de IC de la FIGURA 5A, tras una fabricación de apilamiento en la parte posterior de la línea (BEOL) de acuerdo con un aspecto de la divulgación.

La FIGURA 6B muestra una vista en sección transversal que ilustra el dispositivo de IC de la FIGURA 5B, tras una fabricación de apilamiento en la parte posterior de la línea (BEOL) de acuerdo con un aspecto de la divulgación.

La FIGURA 7 es un diagrama de bloques que ilustra un procedimiento para integrar vías a través de sustrato (TSV) en nodos CMOS (metal-óxido-semiconductor complementario) avanzados, de acuerdo con un aspecto de la divulgación.

La FIGURA 8 muestra una vista en sección transversal del dispositivo de IC de la FIGURA 1A, que ilustra una resistencia de tira formada sobre y dentro de una cavidad de TSV.

La FIGURA 9 muestra una vista en sección transversal que ilustra el dispositivo de IC de la FIGURA 8, tras del grabado de una capa de óxido de campo y una resistencia de tira para formar una capa de aislamiento reducida.

La FIGURA 10 muestra una vista en sección transversal que ilustra el dispositivo de IC de la FIGURA 9, tras un proceso de siembra de barrera y llenado de cobre de TSV.

La FIGURA 11 muestra una vista en sección transversal que ilustra el dispositivo de IC de la FIGURA 10, tras un proceso de pulido químico-mecánico (CMP) de cobre.

La FIGURA 12 muestra una vista en sección transversal que ilustra el dispositivo de IC de la FIGURA 11, tras un proceso de sobrepulido de pulido químico-mecánico (CMP).

La FIGURA 7 es un diagrama de bloques que ilustra un procedimiento para integrar vías a través de sustrato (TSV) en nodos CMOS (metal-óxido-semiconductor complementario) avanzados.

La FIGURA 14 es un diagrama de bloques que muestra un sistema de comunicación inalámbrica.

DESCRIPCIÓN DETALLADA

[0009] La descripción detallada expuesta a continuación, en relación con los dibujos adjuntos, pretende ser una descripción de diversas configuraciones y no pretende representar las únicas configuraciones en las cuales se pueden llevar a la práctica los conceptos descritos en el presente documento. La descripción detallada incluye detalles específicos con el propósito de proporcionar un pleno entendimiento de los diversos conceptos. Sin embargo, resultará evidente a los expertos en la técnica que estos conceptos se pueden llevar a la práctica sin estos detalles específicos. En algunos casos, se muestran estructuras y componentes bien conocidos en forma de diagrama de bloques para no complicar dichos conceptos. Como se describe en el presente documento, el uso del término "y/o" pretende representar un "O inclusivo", y el uso del término "o" pretende representar un "O exclusivo".

[0010] Diversos aspectos de la divulgación proporcionan técnicas para integrar vías a través de sustrato (TSV) en capas de la parte intermedia de la línea en un circuito integrado (IC). El flujo de proceso para la fabricación de semiconductor de circuitos integrados (IC) puede incluir procesos de la parte frontal de la línea (FEOL), procesos de la parte intermedia de la línea (MOL) y procesos de la parte posterior de la línea (BEOL). Se entenderá que el término "capa" incluye película y no debe interpretarse como una indicación de un grosor vertical u horizontal a menos que se indique de otro modo. De acuerdo con un aspecto de la divulgación, una capa de aislamiento separa una porción conductora de una vía a través de sustrato (TSV) de un sustrato (por ejemplo, silicio) de una oblea y también de una capa de dieléctrico entre capas de la oblea. En una configuración, la capa de aislamiento incluye una porción con estrechamiento progresivo sustancialmente próxima a la capa de dieléctrico de la oblea. La capa de aislamiento también incluye una porción sustancialmente constante dispuesta a lo largo de un tramo horizontal del sustrato de la oblea. En otra configuración, la capa de aislamiento de la vía a través de sustrato tiene una primera porción con un primer diámetro sustancialmente constante y una segunda porción con un diámetro sustancialmente constante más grande. En otra configuración, un recubrimiento de múltiples películas separa la capa de aislamiento de un material conductor que llena una vía a través de sustrato.

[0011] En un aspecto de la divulgación, un grabado de iones reactivos direccional (DRI) da como resultado el estrechamiento de una porción de la capa de aislamiento. En este aspecto de la divulgación, el grabado DRI elimina sustancialmente una porción de las capas de la superficie horizontal de la oblea antes del CMP (pulido químico-mecánico), de modo que un sobrepulido de CMP elimina una cantidad reducida de la capa de aislamiento. En este aspecto de la divulgación, el grabado DRI reduce sustancialmente el grosor de la capa de aislamiento formada en la superficie horizontal de la oblea antes de un proceso de formación de TSV. En otro aspecto de la divulgación, tras el proceso de formación de TSV, las capas de interconexión de la parte posterior de la línea (BEOL) se fabrican en la oblea para completar un dispositivo de IC.

[0012] De forma ventajosa, un sobrepulido de CMP, que elimina todas las capas colocadas en la oblea durante el proceso de llenado de TSV, se reduce usando el grabado DRI. Es decir, el grabado DRI elimina la mayor parte de las capas de la superficie horizontal de la oblea, de modo que se necesita menos proceso de sobrepulido de CMP para eliminar las capas restantes en la oblea (colocadas durante el proceso de llenado de TSV). El grabado DRI también elimina algunas de las capas depositadas dentro de la pared lateral de la TSV, creando una capa de aislamiento con estrechamiento progresivo. La mayor parte de la eliminación se produce cerca de la parte superior de la TSV. Reduciendo el sobrepulido de CMP, las capas de la parte intermedia de la línea (MOL) de la oblea se conservan/protegen mejor durante el sobrepulido de CMP. La TSV también se puede insertar por encima de las capas MOL, tal como en un nivel de material conductor (por ejemplo, metal) (por ejemplo, las capas de interconexión BEOL).

[0013] La FIGURA 1A muestra una vista en sección transversal que ilustra un dispositivo de circuito integrado (IC) 100 que incluye los dispositivos activos 112-116 de acuerdo con un aspecto de la divulgación. De forma representativa, el dispositivo de IC 100 incluye un sustrato (por ejemplo, una oblea de silicio) 102 que tiene regiones de aislamiento de zanjas poco profundas (STI) 104. Por encima de las regiones STI 104 y el sustrato 102 hay una capa de dieléctrico entre capas (ILD) 106. También se proporciona una capa de interconexión de la parte frontal de la línea (FEOL) 110. También se proporciona una capa de la parte intermedia de la línea (MOL) 120. La capa de ILD 106 protege los dispositivos activos 112-116 de la capa de interconexión FEOL 110 y los elementos conductores (por ejemplo, vías) 121-128 de la capa MOL 120 de daños por procesamiento posterior. En esta configuración, la capa de ILD 106 se forma de un óxido de silicio u otro material similar para evitar el cortocircuito entre los elementos conductores 121-128 de la capa MOL 120. En una configuración alternativa, la capa de ILD 106 es un dieléctrico de bajo K u otro material similar.

[0014] Como se muestra en la FIGURA 1A, la cavidad de TSV 134 tiene un tamaño incrementado (por ejemplo, una profundidad de 10-100 micras) para acomodar una o más capas de aislamiento y un material conductor de TSV (vía a través del sustrato) de acuerdo con un aspecto de la divulgación. Como se muestra en la FIGURA 1A, después de depositar una capa de parada de pulido 130 en una superficie de la capa de ILD 106 y en una superficie de la capa

MOL 120 que incluye los elementos conductores 121-128, la litografía define una cavidad de TSV 134 que es ligeramente más grande que una porción conductora efectiva de la TSV final (véanse las FIGURAS 4 y 5). En esta configuración, un tamaño de la TSV es del orden de 1-20 micrómetros (μm). La capa de parada de pulido 130 puede estar formada por un carburo de silicio, nitruro de silicio, SiCON, u otro material protector similar.

[0015] La FIGURA 1A muestra una capa de aislamiento 140 de acuerdo con un aspecto de la divulgación. En esta configuración, un proceso de grabado y/o litográfico graba a través de la capa de ILD 106, y las regiones STI 104 del sustrato 102. Este proceso forma la cavidad de TSV 134. Una vez que se completa el grabado, una deposición de aislamiento forma la capa de aislamiento 140 en la capa de parada de pulido 130, las paredes laterales y la parte inferior de la cavidad de TSV 134. La capa de aislamiento 140 se puede formar con una capa de vidrio de sílice no fluorado (USG), ortosilicato de tetraetilo (TEOS), óxido de silicio, nitruro de silicio u otro precursor similar para formar una capa de óxido o una película de aislamiento eléctrico. La capa de aislamiento 140 puede tener un grosor en el intervalo de 20 a 1000 nanómetros (nm).

[0016] Las FIGURAS 1B y 1C muestra vistas en sección transversal que ilustran el dispositivo de IC de la FIGURA 1A, incluyendo una fotorresistencia 180 dispuesta en la capa de aislamiento 140 de acuerdo con un aspecto de la divulgación. De forma representativa, la fotorresistencia 180 se deposita en una superficie superior de la capa de aislamiento 140 que se forma sobre la capa de parada de pulido 130. En esta configuración, la fotorresistencia 180 también se deposita sobre la capa de aislamiento 140 dentro de la cavidad de TSV 134. Una capa delgada de la fotorresistencia 180 se dispone en una porción superior de las paredes laterales de la cavidad de TSV 134 en esta configuración.

[0017] La FIGURA 1C ilustra un proceso de grabado posterior (por ejemplo, un proceso de plasma de O_2) para eliminar la porción de fotorresistencia 180 que está dispuesta en la superficie horizontal superior de la capa de aislamiento 140 formada en la capa de parada de pulido 130. En esta configuración, la porción de la fotorresistencia 180 que se forma en la capa de aislamiento 140 en la parte inferior de la cavidad de TSV 134 no se elimina por completo. La fotorresistencia 180 en la porción superior de la pared lateral de la cavidad de TSV 134, en esta configuración, se elimina por completo. En este aspecto de la divulgación, la fotorresistencia 180 protege la porción de la capa de aislamiento 140 que está dispuesta sobre una porción inferior de la cavidad de TSV 134. En esta configuración, la integridad de la capa de aislamiento 140 dispuesta sobre una porción inferior de la cavidad de TSV 134 evita el contacto entre un material de relleno conductor (véanse las FIGURAS 3A-6B) dentro de la cavidad de TSV 134 y el sustrato 102.

[0018] La FIGURA 2A muestra una vista en sección transversal que ilustra un dispositivo de IC 200, que incluye una porción con estrechamiento progresivo 142 de la capa de aislamiento 140 formada dentro de la cavidad de TSV 134 de acuerdo con un aspecto de la divulgación. Como se muestra en la FIGURA 2A, se realiza un grabado de iones reactivos direccional (DRI) 136 de la capa de aislamiento 140. El grabado DRI 136 reduce una porción de la capa de aislamiento 140 formada sobre la capa de parada de pulido 130, dando como resultado una capa de aislamiento reducida 146. Además, en esta configuración, el grabado DRI 136 da como resultado el estrechamiento progresivo de una porción de la capa de aislamiento 140 formada en las paredes laterales como se muestra en la FIGURA 2A. En otras palabras, una porción superior de la capa de aislamiento 140 formada en las paredes laterales de la TSV (es decir, la porción de la capa de aislamiento 140 en las paredes laterales de la TSV que estaban más cerca del proceso de grabado DRI) tiene una anchura horizontal que se reduce con respecto a las porciones inferiores de la capa de aislamiento 140 formada en las paredes laterales de la TSV. La reducción de la anchura horizontal de una porción de la capa de aislamiento 140 es gradual o progresiva.

[0019] El perfil con estrechamiento progresivo de la porción con estrechamiento progresivo 142 de la capa de aislamiento 140 en la parte superior de la cavidad de TSV 134 puede reducir los campos eléctricos elevados en las esquinas afiladas superiores de la TSV. La longitud de la porción con estrechamiento progresivo 142 (por ejemplo, a lo largo de un eje vertical) de la capa de aislamiento 140 se basa en la profundidad de los dispositivos (por ejemplo, los dispositivos activos 112-116) extendidos en el sustrato 102, lo que se puede determinar de acuerdo con la tecnología de transistores. Se entenderá que el grabado DRI 136 no afecta significativamente a la porción constante 144 (por ejemplo, sin estrechamiento progresivo, sin reducción) de la capa de aislamiento 140. Además, la fotorresistencia 180 protege la porción de la capa de aislamiento 140 en la parte inferior de la cavidad de TSV 134 durante el grabado DRI 236.

[0020] La FIGURA 2B muestra una vista en sección transversal del dispositivo de IC 200, que ilustra el grabado DRI de la capa de aislamiento dando como resultado el estrechamiento progresivo de una porción de la capa de aislamiento 140. En esta configuración ejemplar, no se proporciona la fotorresistencia 180 proporcionada en las configuraciones ejemplares mostradas en las FIGURAS 1B, 1C y 2A. En otras palabras, la configuración ejemplar de la FIGURA 2B se obtiene mediante un proceso similar al proceso que dio como resultado la configuración ejemplar de la FIGURA 2A; sin embargo, se omite el proceso de añadir la capa de fotorresistencia 180. Debido a que no hay una capa de fotorresistencia para proteger la capa de aislamiento 140 localizada en la parte inferior de la cavidad de TSV 134, esa porción de la capa de aislamiento 140 se reduce por el grabado DRI 136. En algunas configuraciones, los parámetros de proceso del grabado DRI 136 se ajustan para evitar que el grabado DRI 136 alcance la parte inferior de la cavidad de TSV 134. En estas configuraciones, la capa de aislamiento 140 en la parte inferior de la cavidad de TSV 136 se

protege sin la deposición de la fotorresistencia 180.

[0021] Como se muestra en las FIGURAS 2A y 2B, el proceso de grabado DRI 136 elimina alguna porción de las capas de aislamiento de las regiones horizontales en el sustrato 102 fuera de la cavidad de TSV 134. En la FIGURA 2B, también se elimina alguna porción de la capa de aislamiento 140 dentro de la cavidad de TSV 134. Como se muestra en las FIGURAS 2A y 2B, la capa de aislamiento reducida 146 permite una reducción del sobrepulido de CMP. El sobrepulido de CMP se realiza posteriormente para eliminar la capa de aislamiento reducida restante 146 y la capa de parada de pulido 130 para exponer los elementos conductores 121 a 128 de la capa MOL 120 formada por un proceso de la parte intermedia de la línea. En este aspecto de la divulgación, reducir el sobrepulido de CMP reduce el impacto en la capa MOL 120 del sustrato 102 porque el error (es decir, la eliminación potencial de las capas MOL) resultante de grabar la capa de aislamiento reducida 146 es en general más pequeño que el posible error resultante de grabar una capa más gruesa.

[0022] La FIGURA 2C muestra una vista en sección transversal del dispositivo de IC 200 de la FIGURA 2B, que ilustra la formación de una capa de recubrimiento de múltiples películas 250 en la capa de aislamiento 140 de acuerdo con un aspecto de la divulgación. De forma representativa, una deposición de recubrimiento forma la capa de recubrimiento de múltiples películas 250 en la capa de aislamiento 140. La capa de recubrimiento de múltiples películas 250 se puede formar depositando una primera capa de recubrimiento 252 seguida de un grabado DRI 136. El grabado DRI 136 reduce una porción de la primera capa de recubrimiento 252 formada sobre la capa de aislamiento reducida 146. En esta configuración, el grabado DRI 136 da como resultado el estrechamiento progresivo de una porción de la primera capa de recubrimiento 252 (formada en las paredes laterales). Es decir, una porción superior de la primera capa de recubrimiento 252 formada en las paredes laterales de la TSV (es decir, la porción de la primera capa de recubrimiento 252 en las paredes laterales de la TSV que estaban más cerca del proceso de grabado DRI) tiene una anchura horizontal que se reduce con respecto a las porciones inferiores de la primera capa de recubrimiento 252 formada en las paredes laterales de la TSV. La reducción de la anchura horizontal de una porción de la primera capa de recubrimiento 252 es gradual o progresiva.

[0023] Como se ilustra adicionalmente en la FIGURA 2C, la deposición de recubrimiento y el grabado DRI se repiten para formar una segunda capa de recubrimiento 254. En esta configuración, la porción superior de la segunda capa de recubrimiento 254 formada en las paredes laterales de la TSV tiene una anchura horizontal que se reduce con respecto a la porción inferior de la primera capa de recubrimiento 252 formada en las paredes laterales de la TSV. Aunque se muestra teniendo dos capas, la capa de recubrimiento de múltiples películas 250 puede incluir cualquier número de películas, incluyendo una única película. Además, aunque se muestra que incluye porciones con estrechamiento progresivo, la capa de recubrimiento de múltiples películas 250 se puede formar con una anchura horizontal constante omitiendo el grabado DRI 136. La capa de recubrimiento de múltiples películas 250 se puede formar usando múltiples capas de películas dieléctricas o conductoras que incluyen, pero sin limitarse a, óxido de silicio, nitruro de silicio, carburo de silicio, oxinitruro de silicio, poliimida u otras películas aislantes similares, incluyendo nitruro de titanio, nitruro de tantalio, tungsteno, tantalio u otras películas conductoras similares. La capa de recubrimiento de múltiples películas 250 puede tener un grosor en el intervalo de 2-1000 nanómetros (nm).

[0024] La FIGURA 3A muestra una vista en sección transversal que ilustra el dispositivo de IC 200 de la FIGURA 2B, tras un proceso de siembra de barrera y llenado de material conductor de TSV de acuerdo con un aspecto de la divulgación. Como se muestra en la FIGURA 3A, un dispositivo de IC 300 se somete a un proceso de siembra de barrera y llenado de material conductor de TSV para depositar un material conductor 338 en el dispositivo de IC 200. El material conductor 338 mostrado en la FIGURA 3A se superpone a la capa de aislamiento reducida 146 y llena la cavidad de TSV 134. La porción con estrechamiento progresivo 142 y la porción constante 144 de la capa de aislamiento 140 evitan que el material de relleno dentro de la cavidad de TSV 134 entre en contacto con el sustrato 102. El material conductor 338 puede incluir, pero no se limita a, cobre, tungsteno u otro material conductor similar. Aunque no se muestra, una fotorresistencia puede permanecer sobre la porción de la capa de aislamiento 140 localizada en la porción inferior de la cavidad de TSV 134; o se puede eliminar antes de llenar la cavidad de TSV 134 con material conductor.

[0025] La FIGURA 3B muestra una vista en sección transversal que ilustra el dispositivo de IC 200 de la FIGURA 2C, tras un proceso de siembra de barrera y llenado de cobre de TSV de acuerdo con un aspecto de la divulgación. Como se muestra en la FIGURA 3B, el dispositivo de IC 300 se somete a un proceso de siembra de barrera y llenado de material conductor de TSV para depositar un material conductor 338 en el dispositivo de IC 200. El material conductor 338 mostrado en la FIGURA 3A se superpone a la capa de recubrimiento de múltiples películas 250 en la capa de aislamiento reducida 146 y llena la cavidad de TSV 134 incluyendo la primera capa de recubrimiento 252 y la segunda capa de recubrimiento 254 en la capa de aislamiento 140.

[0026] La FIGURA 4A muestra una vista en sección transversal que ilustra un dispositivo de IC 400, tras aplicar un proceso de pulido químico-mecánico (CMP) 470 al dispositivo de IC 300 de la FIGURA 3A y de acuerdo con un aspecto de la divulgación. Como se muestra en la FIGURA 4A, el proceso de CMP 470 elimina el material conductor 338 de una superficie del sustrato 102. Por ejemplo, el proceso de CMP 470 elimina el material conductor 338 localizado sobre la capa de parada de pulido 130, mostrada en la FIGURA 3A. Como se muestra en la FIGURA 4A, la capa de aislamiento reducida 146 y la capa de parada de pulido 130 permanecen en una superficie del sustrato 102 después

del proceso de CMP 470. Estas capas se eliminan mediante un proceso de sobrepulido de CMP, por ejemplo, como se muestra en la FIGURA 5A.

5 **[0027]** La FIGURA 4B muestra una vista en sección transversal que ilustra un dispositivo de IC 400, tras aplicar un proceso de pulido químico-mecánico (CMP) 470 al dispositivo de IC 300 de la FIGURA 3B de acuerdo con un aspecto de la divulgación. Como se muestra en la FIGURA 4B, el proceso de CMP 470 elimina el material conductor 338 de una superficie del sustrato 102. Por ejemplo, el proceso de CMP 470 elimina el material conductor 338 localizado en la capa de recubrimiento de múltiples películas 250 sobre la capa de aislamiento reducida 146, como se muestra en la FIGURA 3B. Como se muestra en la FIGURA 4B, una porción reducida de la capa de recubrimiento de múltiples películas 250, la capa de aislamiento reducida 146 y la capa de parada de pulido 130 permanecen en una superficie del sustrato 102 después del proceso de CMP 470. Estas capas se eliminan mediante un proceso de sobrepulido de CMP, por ejemplo, como se muestra en la FIGURA 5B.

15 **[0028]** La FIGURA 5A muestra una vista en sección transversal que ilustra un dispositivo de IC 500, que incluye una TSV 560 rodeada por una capa de aislamiento 140 de acuerdo con un aspecto de la divulgación. Como se muestra en la FIGURA 5A, un proceso de sobrepulido de CMP 580 elimina la porción restante de la capa en una superficie 504 del sustrato 102 para exponer los elementos conductores 121 a 128 de la capa MOL 120. Por ejemplo, el proceso de sobrepulido de CMP 580 elimina la capa de aislamiento reducida 146 y la capa de parada de pulido 130 (véase la FIGURA 4A) sin dañar los elementos conductores 121 a 128 de la capa MOL 120 del sustrato 102. Es decir, la duración del proceso de sobrepulido de CMP 580 es más corta y, por lo tanto, tiene un impacto menor sobre la capa MOL subyacente 120 del sustrato 102 debido a la capa de aislamiento reducida 146, como se muestra en las FIGURAS 2A a 4B.

25 **[0029]** Como se muestra en la FIGURA 5A, el proceso de sobrepulido de CMP 580 completa la formación de una TSV 560, en la cual el material conductor de la TSV 560 varía en diámetro de acuerdo con una porción con estrechamiento progresivo 142 y una porción constante 144 de la capa de aislamiento 140 dentro la cavidad de TSV 134. De forma representativa, el proceso de sobrepulido de CMP 580 se realiza para eliminar la capa de aislamiento reducida 146 y la capa de parada de pulido 130 (véase la FIGURA 4A) como preparación para la formación de una capa de interconexión de la parte posterior de la línea, como se muestra en la FIGURA 6A. En este aspecto de la divulgación, el sustrato 102 se somete a un proceso (por ejemplo, pulido) para revelar la TSV 560 fuera de la capa de ILD 106.

35 **[0030]** La FIGURA 5B muestra una vista en sección transversal que ilustra el dispositivo de IC 400 de la FIGURA 4C, con una TSV 560 rodeada por una capa de recubrimiento de múltiples películas 250 en una capa de aislamiento 140 que tiene una porción que se estrecha gradualmente cerca de una cara activa del dispositivo de IC de 500 de acuerdo con un aspecto de la divulgación. De forma representativa, el proceso de sobrepulido de CMP 580 se realiza para eliminar la capa de recubrimiento de múltiples películas 250, la capa de aislamiento reducida 146 y la capa de parada de pulido 130 (véase la FIGURA 4B) como preparación para la formación de una capa de interconexión de la parte posterior de la línea, como se muestra en la FIGURA 6B.

40 **[0031]** La FIGURA 6A muestra una vista en sección transversal que ilustra un dispositivo de IC 600, tras un proceso de la parte posterior de la línea (BEOL) usado para fabricar las capas de interconexión de acuerdo con un aspecto de la divulgación. De forma representativa, después de que se completa el procesamiento de TSV, las capas de interconexión 690 se fabrican en el sustrato 102 mediante el proceso BEOL para completar la formación del dispositivo de IC 600. En esta configuración, las capas de interconexión 690 se forman para incluir un nivel de contacto. Pueden formarse capas de interconexión adicionales o alternativas mediante el proceso BEOL. Las capas de interconexión 690 proporcionan un mecanismo para acoplar eléctrica y/o térmicamente el dispositivo de IC 600 a otro dispositivo de IC (no mostrado).

50 **[0032]** La FIGURA 6B muestra una vista en sección transversal que ilustra el dispositivo de IC 500 de la FIGURA 5B, tras una fabricación de apilamiento en la parte posterior de la línea (BEOL) para formar un dispositivo de IC 600. En esta configuración, el dispositivo de IC 600 incluye una TSV 560 rodeada por una capa de recubrimiento de múltiples películas 250 en una capa de aislamiento 140 que tiene una porción con estrechamiento progresivo cerca de una cara activa del dispositivo de IC de 500 de acuerdo con un aspecto de la divulgación. Las capas de interconexión 690 proporcionan un mecanismo para acoplar eléctrica y/o térmicamente el dispositivo de IC 600 a otro dispositivo de IC (no mostrado).

60 **[0033]** La FIGURA 7 es un diagrama de bloques que ilustra un procedimiento 700 para integrar vías a través de sustrato (TSV) en nodos CMOS (metal-óxido-semiconductor complementario) avanzados, de acuerdo con un aspecto de la divulgación. En el bloque 710, se define una cavidad de TSV 134 a través de un sustrato y una capa de dieléctrico (por ejemplo, un dieléctrico entre capas (ILD)) en el sustrato, por ejemplo, como se muestra en las FIGURAS 1A a 5B. Aunque la presente descripción ha mencionado un sustrato de silicio, también se contemplan otros materiales de sustrato que incluyen vidrio, zafiro o cualquier otro material adecuado. En el bloque 712, se deposita una capa de aislamiento en la cavidad de TSV y en una capa de parada de pulido, por ejemplo, como se muestra en las FIGURAS 1A a 1C.

[0034] Con referencia de nuevo a la FIGURA 7, en el bloque 714, la capa de aislamiento se graba para eliminar las porciones de la capa de aislamiento localizadas sobre los dispositivos activos (por ejemplo, se elimina la porción de la capa de aislamiento localizada sobre la capa de parada de pulido). El grabado da como resultado el estrechamiento progresivo de una porción de la capa de aislamiento. Por ejemplo, como se muestra en las FIGURAS 2A y 2B, un grabado de iones reactivos direccional (DRI) de la capa de aislamiento 140 crea una porción con estrechamiento progresivo 142 de la capa de aislamiento 140 en una pared lateral de la cavidad de TSV 134. En el bloque 716, la cavidad de TSV 134 se llena con un material conductor, por ejemplo, como se muestra en las FIGURAS 2A a 5B. Aunque la presente descripción ha mencionado un relleno de cobre, también se contemplan otros materiales conductores.

[0035] En una configuración, el dispositivo de IC 600 incluye un medio para conducir a través de una capa de dieléctrico y el sustrato. El medio conductor tiene un material de relleno conductor. En un aspecto de la divulgación, el medio conductor es la TSV 560 de las FIGURAS 5A a 6B, configurada para realizar las funciones citadas por el medio conductor. En esta configuración, el dispositivo de IC 600 también incluye un medio para aislar el medio conductor del sustrato. El medio para aislar puede rodear el material conductor e incluye una porción con estrechamiento progresivo sustancialmente próxima a la capa de ILD. En un aspecto de la divulgación, el medio de aislamiento es la capa de aislamiento 140, que incluye la porción con estrechamiento progresivo 142 y la porción constante 144 de las FIGURAS 4A a 6B, configurada para realizar las funciones citadas por el medio de aislamiento. En otro aspecto, el medio mencionado anteriormente puede ser un dispositivo o cualquier capa configurada para realizar las funciones citadas por el medio mencionado anteriormente.

[0036] La FIGURA 8 muestra una vista en sección transversal que ilustra un dispositivo de IC 800, en el que se emplea otro proceso. Después de la deposición de la capa de aislamiento, se forma la fotorresistencia 870 sobre y dentro de una cavidad de TSV 834 de acuerdo con un aspecto de la divulgación. En otra configuración, la fotorresistencia puede llenar parcialmente la cavidad de TSV 834. Como se muestra en la FIGURA 8, se realiza un grabado 836 de la capa de aislamiento 840 y la fotorresistencia 870 sobre la cavidad de TSV 834. El proceso de grabado 836 elimina parte de la capa de aislamiento 840 que no está debajo de la fotorresistencia 870 (por ejemplo, la capa de aislamiento fuera de la cavidad de TSV 834, como se muestra en la FIGURA 9). La capa de aislamiento 840 en las paredes laterales de la cavidad de TSV 834 está protegida por la fotorresistencia 870.

[0037] La FIGURA 9 muestra una vista en sección transversal que ilustra un dispositivo de IC 900, tras el grabado parcial de la capa de aislamiento 840 y la eliminación de la fotorresistencia 870 como se muestra en la FIGURA 8, para formar una capa de aislamiento reducida 946 de acuerdo con un aspecto de la divulgación. Como se muestra en la FIGURA 9, la capa de aislamiento que no está dentro de la cavidad de TSV 834 se reduce en una superficie del sustrato 102 para formar la capa de aislamiento reducida 946. En un aspecto de la divulgación, la capa de aislamiento reducida 946 permite una reducción de un sobrepulido de CMP cuando se elimina la capa de aislamiento reducida 946 y la capa de parada de pulido 130 de la superficie del sustrato 102. En este aspecto de la divulgación, la reducción del sobrepulido de CMP limita el impacto sobre los elementos conductores 121 a 128 de la capa de la parte intermedia de la línea (MOL) 120 del sustrato 102.

[0038] La FIGURA 10 muestra una vista en sección transversal que ilustra un dispositivo de IC 1000, tras un proceso de simiente de barrera y llenado de material conductor de TSV. Como se muestra en la FIGURA 10, el proceso de simiente de barrera y llenado de material conductor de TSV llena la cavidad de TSV 834 con un material conductor 338. En el ejemplo ilustrado, el material conductor 338 es cobre que también se forma en la capa de aislamiento reducida 946. La capa de aislamiento 840 evita que el material conductor 338 dentro de la cavidad de TSV 834 entre en contacto con el sustrato 102. El material de relleno puede incluir, pero no se limita a, cobre, tungsteno u otro material conductor similar.

[0039] La FIGURA 11 muestra una vista en sección transversal que ilustra un dispositivo de IC 1100, tras un proceso de pulido químico-mecánico (CMP) 1160. Como se muestra en la FIGURA 11, el proceso de CMP 1160 elimina el material conductor 338 de una superficie del sustrato 102. Como se muestra en la FIGURA 11, la capa de aislamiento reducida 946 y la capa de parada de pulido 130 permanecen en una superficie del sustrato 102. Estas capas se eliminan mediante un proceso de sobrepulido de CMP, por ejemplo, como se muestra en la FIGURA 12.

[0040] La FIGURA 12 muestra una vista en sección transversal que ilustra el dispositivo de IC 1200 de la FIGURA 11, que incluye una TSV 1250 rodeada por una capa de aislamiento 840 de acuerdo con un aspecto de la divulgación. Como se muestra en la FIGURA 12, un proceso de sobrepulido de CMP 1270 elimina la porción restante de la capa de aislamiento en una superficie 1204 del sustrato 102. De forma representativa, el proceso de sobrepulido de CMP 1270 elimina la capa de aislamiento reducida 946 y la capa de parada de pulido 130 (véase la FIGURA 11) sin dañar las porciones MOL del sustrato 102. Es decir, el proceso de sobrepulido de CMP 1270 es más corto y, por lo tanto, tiene un impacto menor sobre los elementos conductores 121 a 128 de la capa MOL subyacente 120 del sustrato 102 debido a la capa de aislamiento reducida 946, como se muestra en las FIGURAS 9 a 11.

[0041] Como se muestra en la FIGURA 12, el proceso de sobrepulido de CMP 1270 completa la formación de una TSV 1250, que incluye una porción de TSV 1252 que se extiende sobre la cavidad de TSV 834 y sobre la capa de ILD 106. De forma representativa, una porción de parada de pulido 1232 y una porción de la capa de aislamiento 1248 de

la TSV 1250 se extienden fuera de la cavidad de TSV 834. El proceso de sobrepulido de CMP 1270 elimina la capa de aislamiento reducida 946 y la capa de parada de pulido 130 (véase la FIGURA 11) de la superficie 1204 del sustrato 102 como preparación para la formación de, por ejemplo, una capa de interconexión formada a través de un proceso BEOL, tal como el que se muestra en la FIGURA 6A.

[0042] La FIGURA 7 es un diagrama de bloques que ilustra un procedimiento 1300 para integrar vías a través de sustrato (TSV) en nodos CMOS (metal-óxido-semiconductor complementario) avanzados. En el bloque 1310, una cavidad de TSV 834 se define a través de un sustrato y un ILD, por ejemplo, como se muestra en las FIGURAS 8 a 12. Aunque la presente descripción ha mencionado un sustrato de silicio, también se contemplan otros materiales de sustrato. En el bloque 1312, se deposita una capa de aislamiento en la cavidad de TSV y en una capa de parada de pulido, por ejemplo, como se muestra en la FIGURA 8.

[0043] Con referencia de nuevo a la FIGURA 13, en el bloque 1314, el sustrato de semiconductor se modela para depositar una fotorresistencia que cubre sólo la cavidad de vía a través de sustrato. Por ejemplo, como se muestra en la FIGURA 8, la fotorresistencia 870 se forma sobre la cavidad de TSV 834 y sobre la capa de aislamiento 840 localizada en las paredes laterales de la cavidad de TSV 834. En el bloque 1316, una porción de la capa de aislamiento fuera de la cavidad de TSV se graba para formar una porción de la capa de aislamiento reducida. Por ejemplo, como se muestra en la FIGURA 9, el grabado elimina una porción de la capa de aislamiento 840 para formar la capa de aislamiento reducida 946. En el bloque 1318, se elimina la fotorresistencia que cubre la cavidad de TSV. En el bloque 1320, la cavidad de TSV 834 se llena con un material conductor 838, por ejemplo, como se muestra en la FIGURA 10.

[0044] Con referencia de nuevo a la FIGURA 13, en el bloque 1322, se realiza un sobrepulido químico-mecánico en una superficie de la oblea para exponer las capas creadas por el proceso MOL. El sobrepulido químico-mecánico elimina el material conductor, la capa de aislamiento y una capa de parada de pulido de la superficie de la oblea, como se muestra en las FIGURAS 11 y 12. Por ejemplo, se realiza un material conductor, simiente de barrera y parada de grabado de un proceso CMP 1160, como se muestra en la FIGURA 11. Como se ve en la FIGURA 12, se realiza un proceso de sobrepulido de CMP 1270 en el que una porción de la capa de aislamiento 1248, una porción de parada de pulido 1232 y una porción de TSV 1252 de la TSV 1250 permanecen y sobresalen fuera de la cavidad de TSV 834.

[0045] En una configuración, el dispositivo de IC 1200 incluye un medio para conducir a través de una capa de parada de pulido, una capa de dieléctrico entre capas (ILD) y el sustrato. El medio conductor tiene un material conductor. El medio conductor es la vía a través del sustrato 1250 de la FIGURA 12, configurada para realizar las funciones citadas por el medio conductor. En esta configuración, el dispositivo de IC 1200 también incluye un medio para aislar el medio conductor del sustrato de semiconductor. El medio para aislar puede rodear el material conductor y cubrir parcialmente una porción de la capa de parada de pulido. En un aspecto de la divulgación, el medio de aislamiento es la capa de aislamiento 840, que incluye la porción de parada de pulido 1232 y la porción de capa de aislamiento 1248 de la FIGURA 12, configurada para realizar las funciones citadas por el medio de aislamiento. En otro aspecto, el medio mencionado anteriormente puede ser un dispositivo o cualquier capa configurada para realizar las funciones citadas por el medio mencionado anteriormente.

[0046] La FIGURA 14 es un diagrama de bloques que muestra un sistema de comunicación inalámbrica 1400 ejemplar en el que se puede emplear de forma ventajosa una configuración de la divulgación. Para propósitos ilustrativos, la FIGURA 14 muestra tres unidades remotas 1420, 1430 y 1450 y dos estaciones base 1440. Se reconocerá que los sistemas de comunicación inalámbrica pueden tener muchas más unidades remotas y estaciones base. Las unidades remotas 1420, 1430 y 1450 incluyen los dispositivos de IC 1425A, 1425B y 1425B, que incluyen la vía a través de sustrato (TSV) divulgada con capa de aislamiento con estrechamiento progresivo/porción de parada de sobrepulido/porción de capa de aislamiento. Se reconocerá que cualquier dispositivo que contenga un IC también puede incluir una TSV rodeada por la capa de aislamiento con estrechamiento progresivo/la porción de parada de sobrepulido/la porción de capa de aislamiento divulgadas aquí, incluyendo las estaciones base, dispositivos de conmutación y equipos de red. La FIGURA 14 muestra las señales de enlace directo 1480 desde la estación base 1440 y las unidades remotas 1420, 1430 y 1450, y las señales de enlace inverso 1490 desde las unidades remotas 1420, 1430 y 1450 a las estaciones base 1440.

[0047] En la FIGURA 14, la unidad remota 1420 se muestra como un teléfono móvil, la unidad remota 1430 se muestra como un ordenador portátil y la unidad remota 1450 se muestra como una unidad remota de localización fija en un sistema de bucle local inalámbrico. Por ejemplo, las unidades remotas pueden ser teléfonos móviles, unidades de sistemas de comunicación personal (PCS) de mano, unidades de datos portátiles tales como asistentes de datos personales, dispositivos habilitados para GPS, dispositivos de navegación, descodificadores, reproductores de música, reproductores de vídeo, unidades de entretenimiento, unidades de datos de ubicación fija tales como equipos de lectura de medidores o cualquier otro dispositivo que almacene o recupere datos o instrucciones de un ordenador, o cualquier combinación de los mismos. Aunque la FIGURA 14 ilustra unidades remotas de acuerdo a las enseñanzas de la divulgación, la divulgación no está limitada a estas unidades ilustradas ejemplares. Los aspectos de la presente divulgación se pueden emplear adecuadamente en cualquier dispositivo que incluya una TSV rodeada por una capa de aislamiento con estrechamiento progresivo/una porción de parada de sobrepulido/una porción de capa de aislamiento.

5 **[0048]** Para una implementación en firmware y/o software, las metodologías se pueden implementar con módulos (por ejemplo, procedimientos, funciones y así sucesivamente) que realizan las funciones descritas en el presente documento. Cualquier medio legible por máquina que incorpore instrucciones de forma tangible se puede usar para implementar las metodologías descritas en el presente documento. Por ejemplo, se pueden almacenar códigos de software en una memoria y ejecutarse por una unidad procesadora. La memoria se puede implementar dentro de la unidad procesadora o ser externa a la unidad procesadora. Como se usa en el presente documento, el término "memoria" se refiere a cualquier tipo de memoria a largo plazo, a corto plazo, volátil, no volátil u otra memoria, y no se debe limitar a ningún tipo de memoria o número de memorias particulares, ni al tipo de medio en el que se almacene la memoria.

10 **[0049]** Aunque la presente divulgación y sus ventajas se han descrito en detalle, se debe entender que se pueden realizar diversos cambios, sustituciones y alteraciones en el presente documento sin apartarse de la tecnología de la divulgación como se define en las reivindicaciones adjuntas. Por ejemplo, los términos relacionales, tales como "por encima" y "por debajo" se usan con respecto a un sustrato o dispositivo electrónico. Por supuesto, si el sustrato o dispositivo electrónico está invertido, por encima se convierte en por debajo y viceversa. Adicionalmente, si se orienta lateralmente, por encima y por debajo se pueden referir a los lados de un sustrato o dispositivo electrónico. Además, el alcance de la presente solicitud no pretende limitarse a los modos de realización particulares del proceso, máquina, fabricación, composición de la materia, medios, procedimientos y etapas descritos en la memoria descriptiva. Como un experto en la técnica apreciará fácilmente a partir de la divulgación, se pueden utilizar los procesos, máquinas, fabricación, composiciones de materia, medios, procedimientos o etapas, actualmente existentes o que se van a desarrollar en un futuro, que realizan sustancialmente la misma función o logran sustancialmente el mismo resultado que los modos de realización correspondientes descritos en el presente documento de acuerdo con la presente divulgación.

15

20

REIVINDICACIONES

1. Una oblea de semiconductor (400), que comprende:
 - 5 un sustrato (102);
 - una capa de dieléctrico (106) formada en un primer lateral del sustrato; y
 - una cavidad de vía a través de sustrato (134) que se extiende a través de la capa de dieléctrico y parcialmente a través del sustrato,
 - 10 una capa de aislamiento (140) depositada dentro de la cavidad de vía a través de sustrato, comprendiendo la capa de aislamiento una porción con estrechamiento progresivo (142); y
 - 15 caracterizada por
 - una capa de fotorresistencia (180) en la parte inferior de la cavidad de vía a través de sustrato para proteger la capa de aislamiento en la parte inferior de la cavidad de vía a través de sustrato durante la formación de la porción con estrechamiento progresivo de la capa de aislamiento mediante grabado.
 - 20
2. La oblea de semiconductor de la reivindicación 1, en la que la capa de aislamiento comprende una porción constante (144) que tiene un diámetro sustancialmente constante y la porción con estrechamiento progresivo (142) que tiene un diámetro variable, siendo el diámetro variable mayor que el diámetro sustancialmente constante.
- 25 3. La oblea de semiconductor de la reivindicación 2, que comprende además material conductor en la cavidad de vía a través de sustrato, el material conductor comprende una primera porción que tiene un diámetro sustancialmente constante y una segunda porción que tiene un diámetro que varía en correspondencia con el diámetro variable de la porción con estrechamiento progresivo.
- 30 4. La oblea de semiconductor de la reivindicación 1, en la que la porción con estrechamiento progresivo de la capa de aislamiento está dispuesta próxima al primer lateral del sustrato, que tiene dispositivos activos y/o pasivos.
5. La oblea de semiconductor de la reivindicación 1, en la que la porción con estrechamiento progresivo de la capa de aislamiento está dispuesta próxima al primer lateral del sustrato y la capa de dieléctrico.
- 35 6. La oblea de semiconductor de la reivindicación 1, en la que la vía a través del sustrato comprende además una capa de recubrimiento de múltiples películas (252, 254) que separa el material conductor de la capa de aislamiento.
7. Un dispositivo que comprende al menos uno de un reproductor de música, un reproductor de vídeo, una unidad de entretenimiento, un dispositivo de navegación, un dispositivo de comunicaciones, un asistente digital personal, PDA, una unidad de datos de localización fija y un ordenador, que incorporan la oblea de semiconductor de la reivindicación 1.
- 40
8. Un procedimiento (700) de fabricación de una vía a través de sustrato, que comprende:
 - 45 definir (710) una cavidad de vía a través de sustrato en un sustrato que incluye una capa de dieléctrico formada en un primer lateral del sustrato;
 - depositar (712) una capa de aislamiento dentro de la cavidad de vía a través de sustrato;
 - 50 depositar una capa de fotorresistencia en la capa de aislamiento en la parte inferior de la cavidad de vía a través de sustrato;
 - grabar una porción de la capa de aislamiento, creando el grabado una porción con estrechamiento progresivo de la capa de aislamiento sustancialmente próxima a la capa de dieléctrico, protegiendo la capa de fotorresistencia la capa de aislamiento en la parte inferior de la cavidad de vía a través de sustrato durante la creación de la porción con estrechamiento progresivo; y
 - 55 depositar (716) un material conductor en la cavidad de vía a través de sustrato.
 - 60
9. El procedimiento de fabricación de la vía a través de sustrato de la reivindicación 8, que comprende además:
 - depositar la capa de aislamiento en el primer lateral del sustrato, que incluye dispositivos activos y/o pasivos;
 - 65 depositar una fotorresistencia sobre la capa de aislamiento; y

retirar la fotorresistencia de una porción de la capa de aislamiento dispuesta en el primer lateral del sustrato.

5 10. El procedimiento de fabricación de la vía a través de sustrato de la reivindicación 8, en el que el grabado comprende además:

crear la porción con estrechamiento progresivo de la capa de aislamiento con un grabado de iones reactivos direccional; y

10 reducir un grosor de la capa de aislamiento formada en una superficie de la capa de dieléctrico con el grabado de iones reactivos direccional.

11. El procedimiento de fabricación de la vía a través de sustrato de la reivindicación 10, que comprende además:

15 retirar una fotorresistencia de una porción de la capa de aislamiento dispuesta dentro de la cavidad de vía a través de sustrato.

12. El procedimiento de fabricación de la vía a través de sustrato de la reivindicación 8, que comprende además:

20 formar una capa conductora en la parte posterior de la línea, BEOL, en una superficie de una capa de dieléctrico entre capas, ILD, dispuesta en el primer lateral del sustrato.

13. El procedimiento de fabricación de la vía a través de sustrato de la reivindicación 8, que comprende además:

25 incorporar la vía a través del sustrato dentro de una pastilla semiconductor; y

integrar la pastilla semiconductor en al menos uno de un reproductor de música, un reproductor de vídeo, una unidad de entretenimiento, un dispositivo de navegación, un dispositivo de comunicaciones, un asistente digital personal, PDA, una unidad de datos de localización fija y un ordenador.

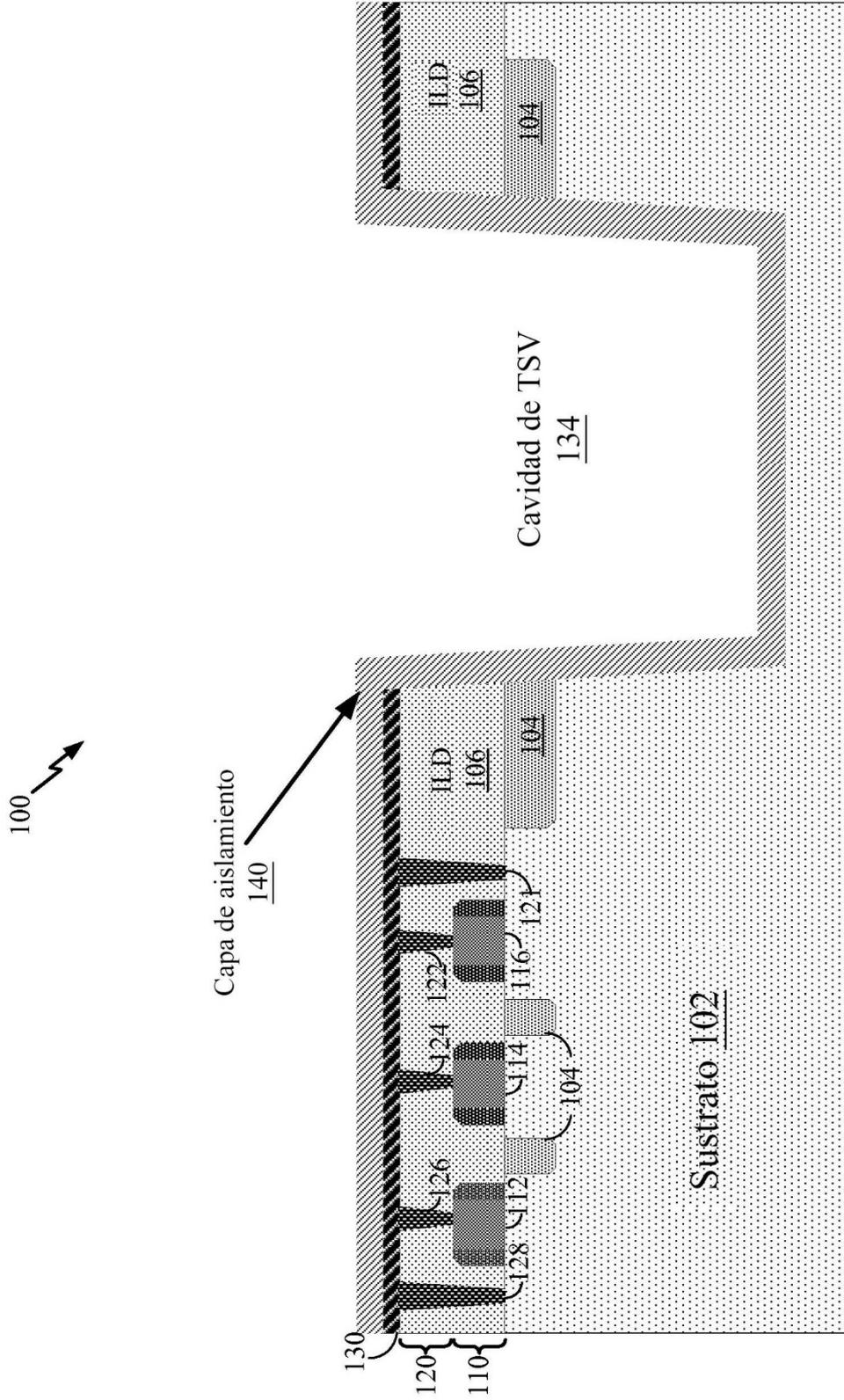


FIG. 1A

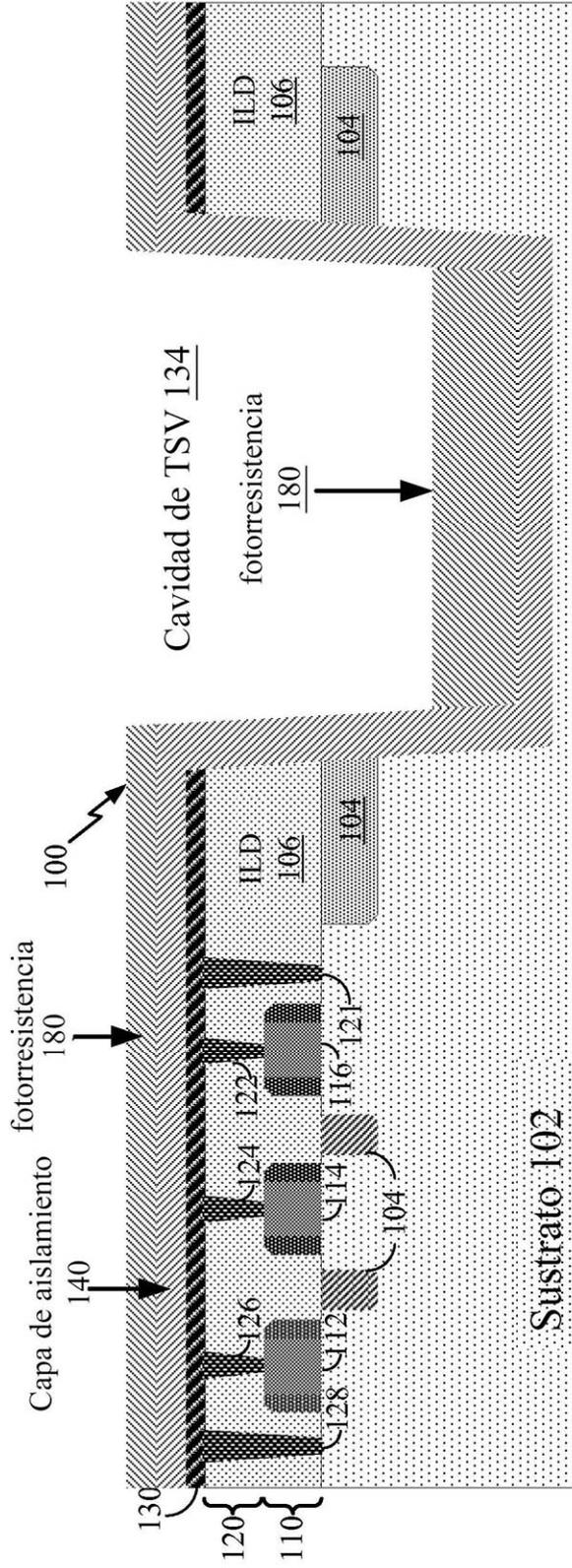


FIG. 1B

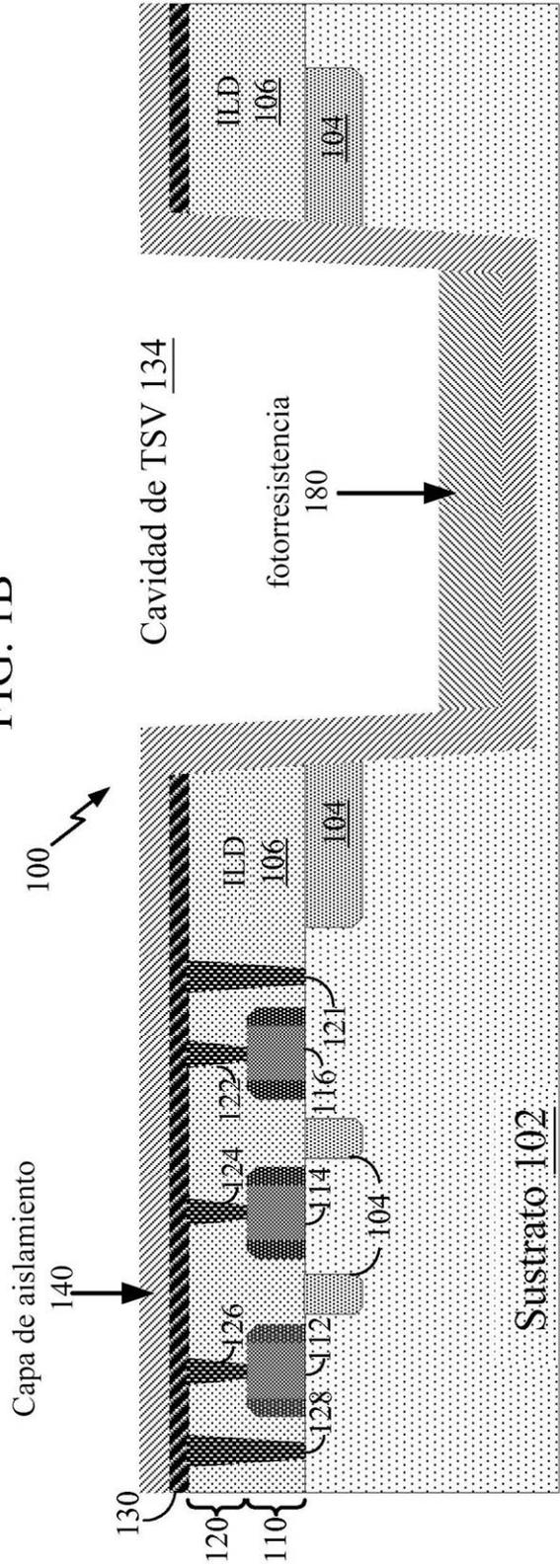


FIG. 1C

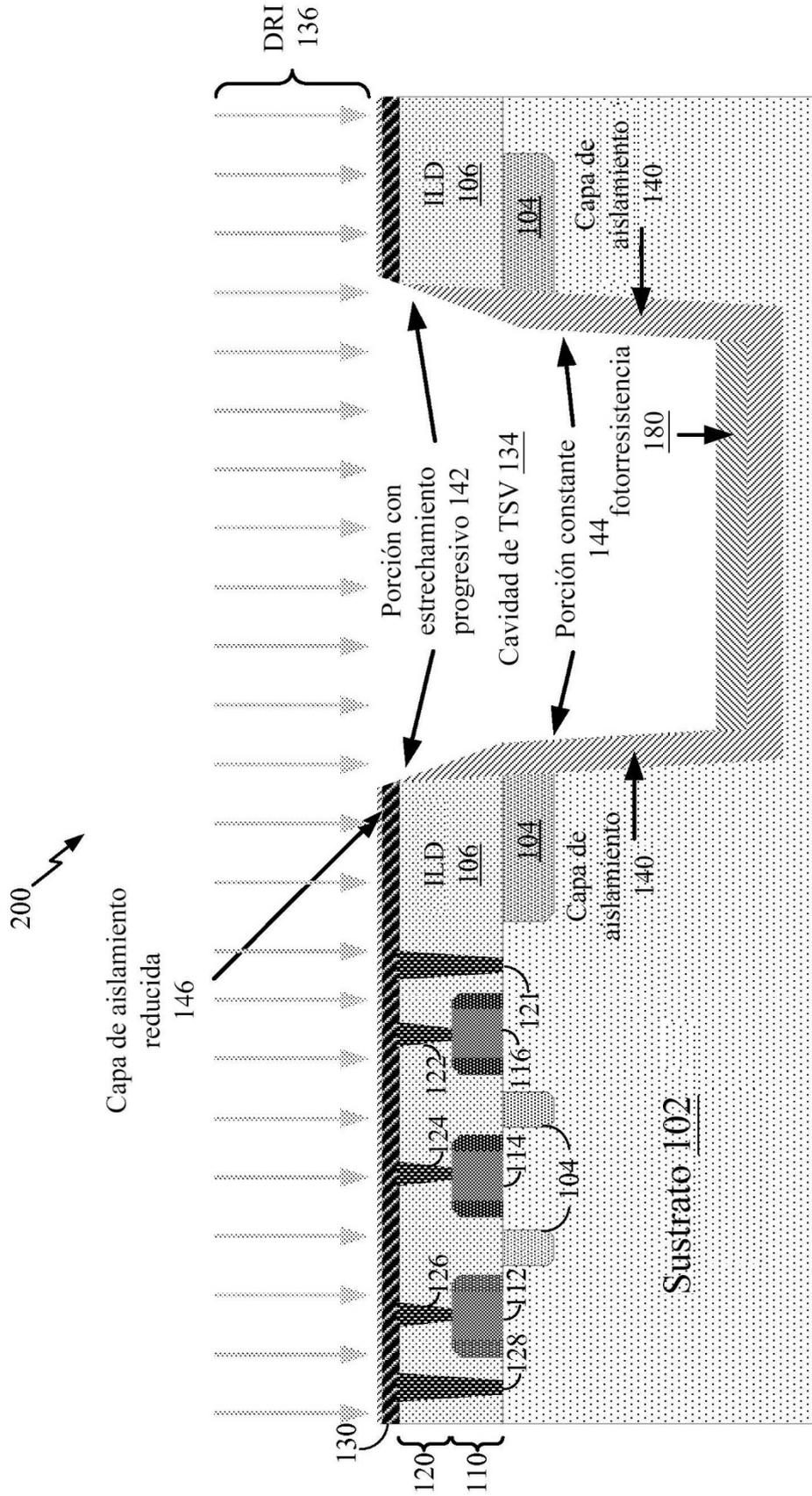


FIG. 2A

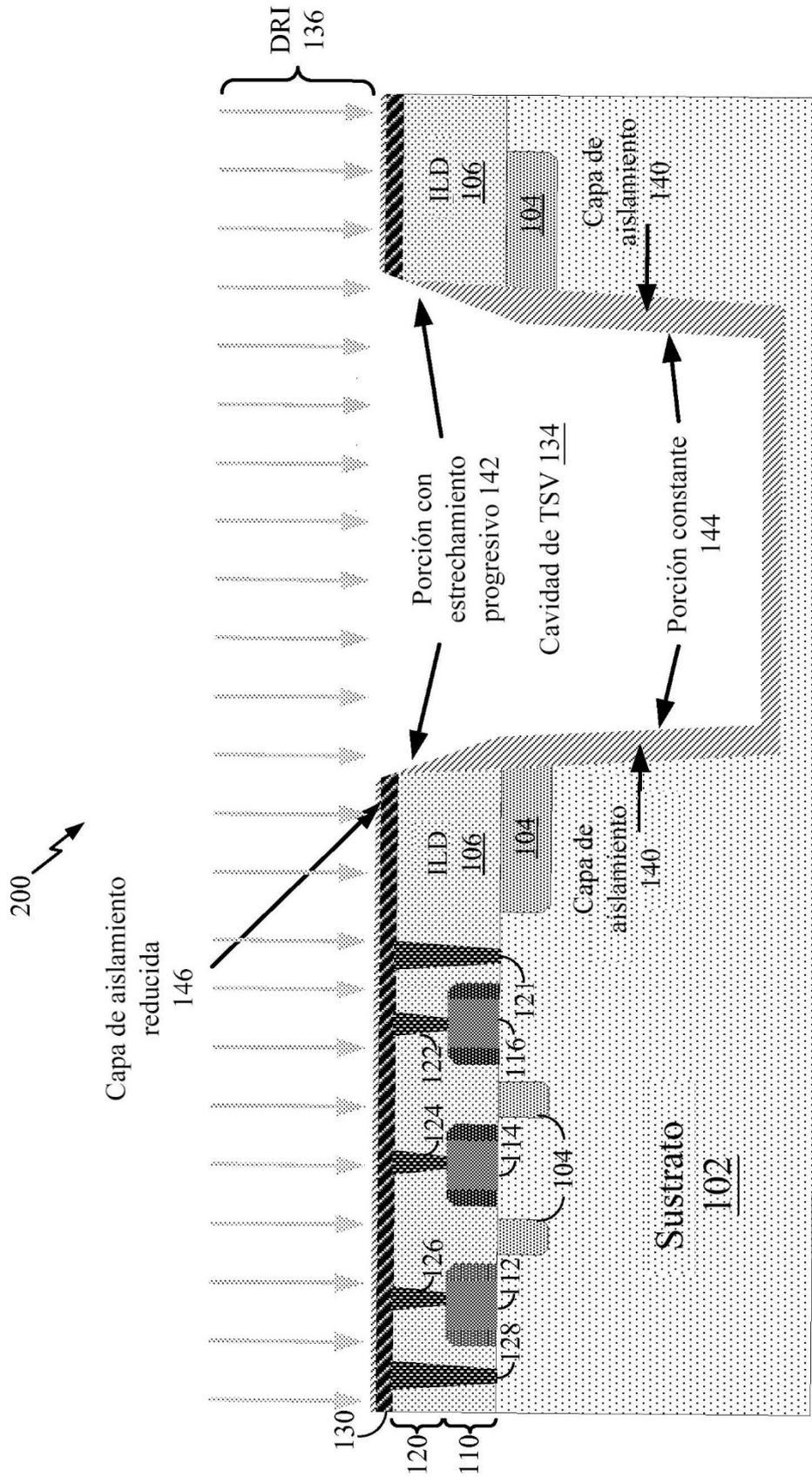


FIG. 2B

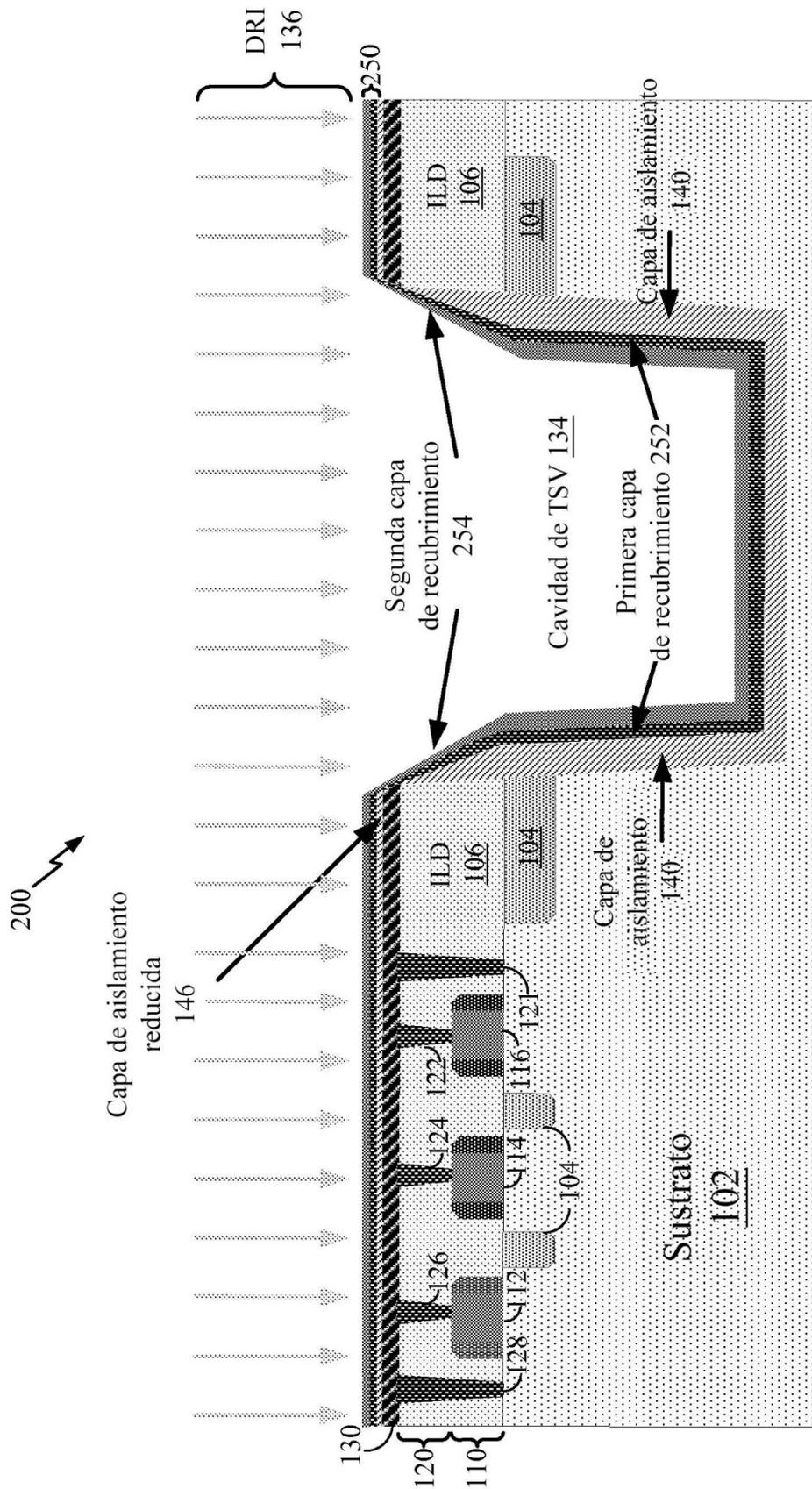
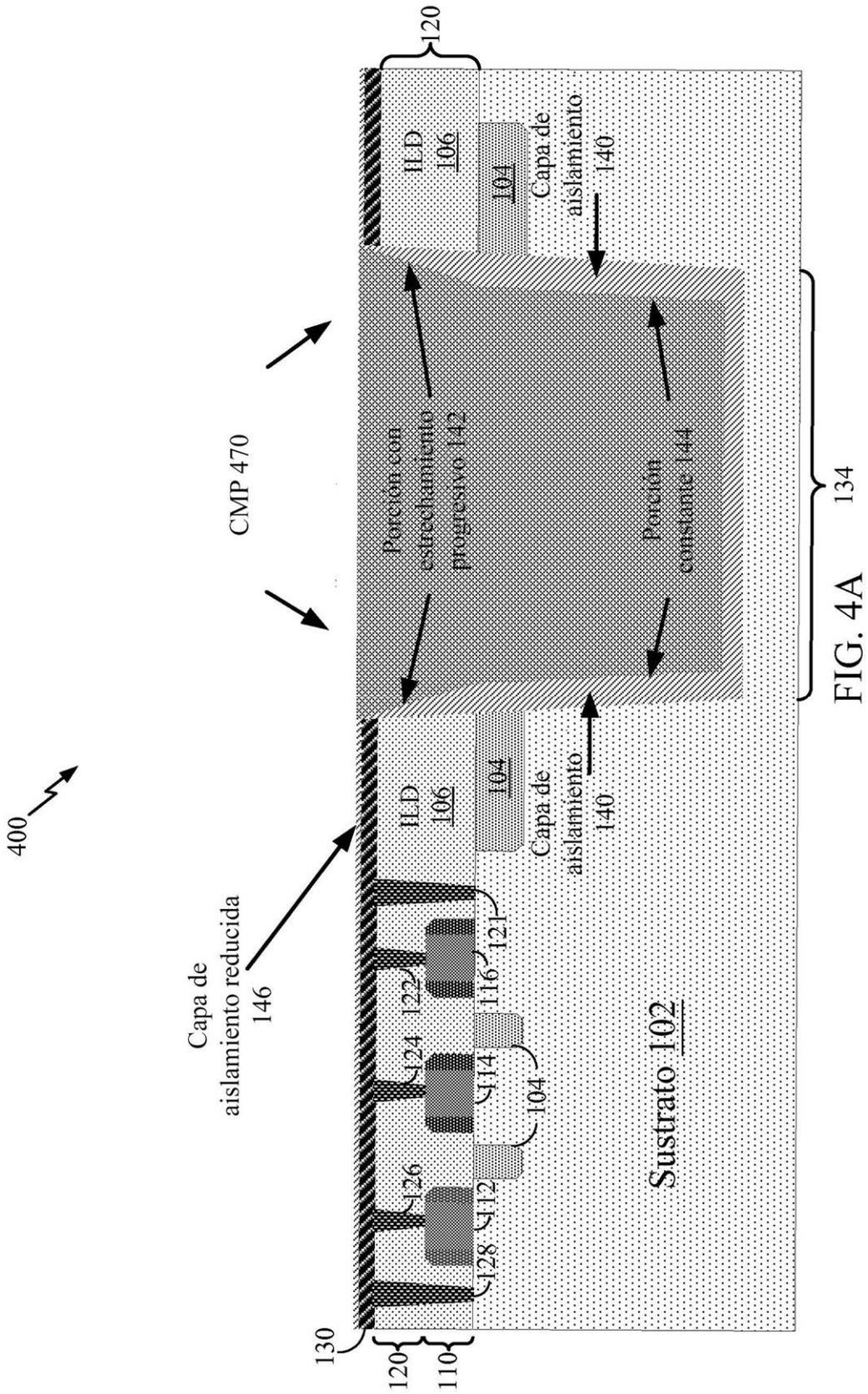
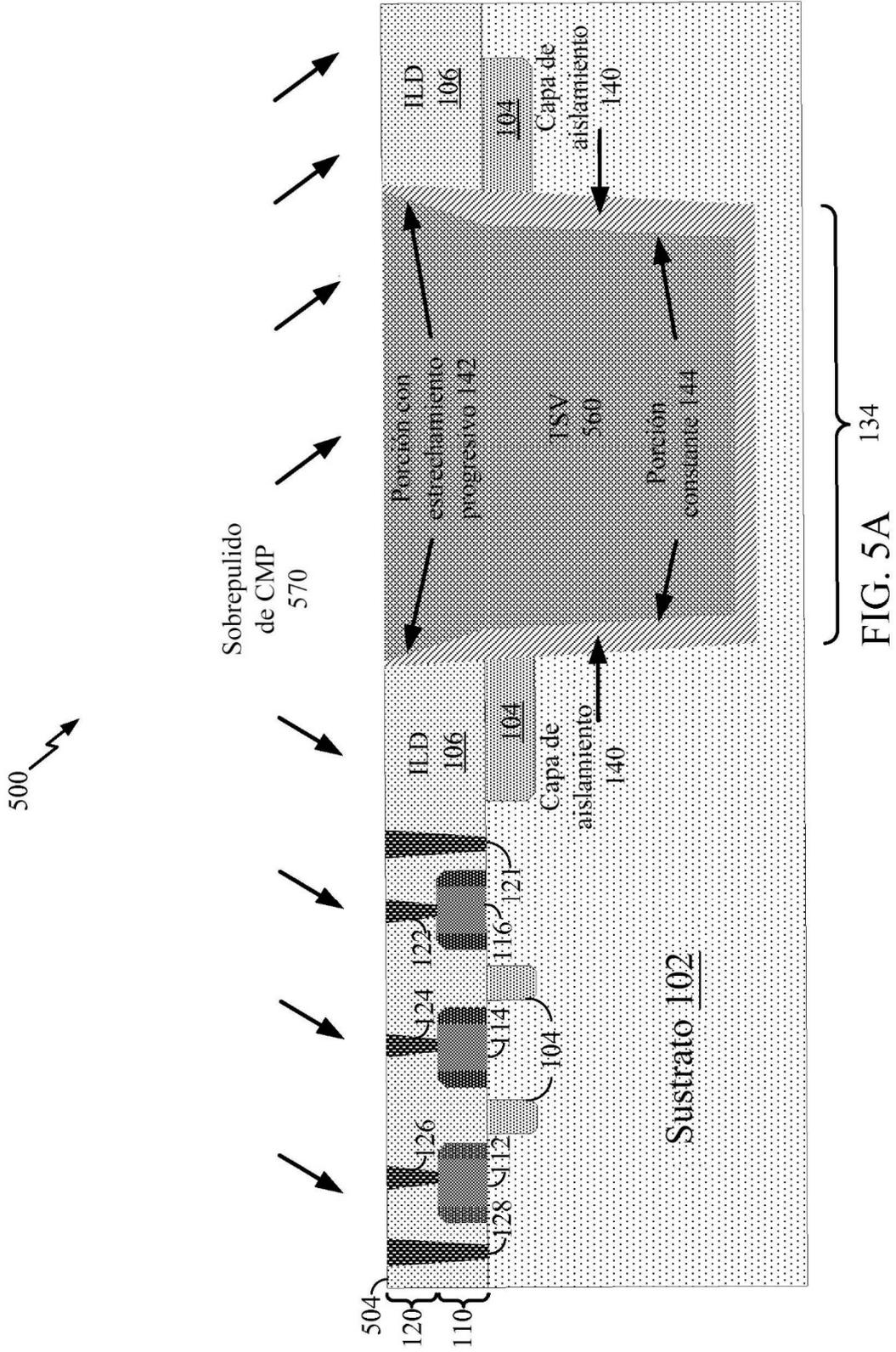
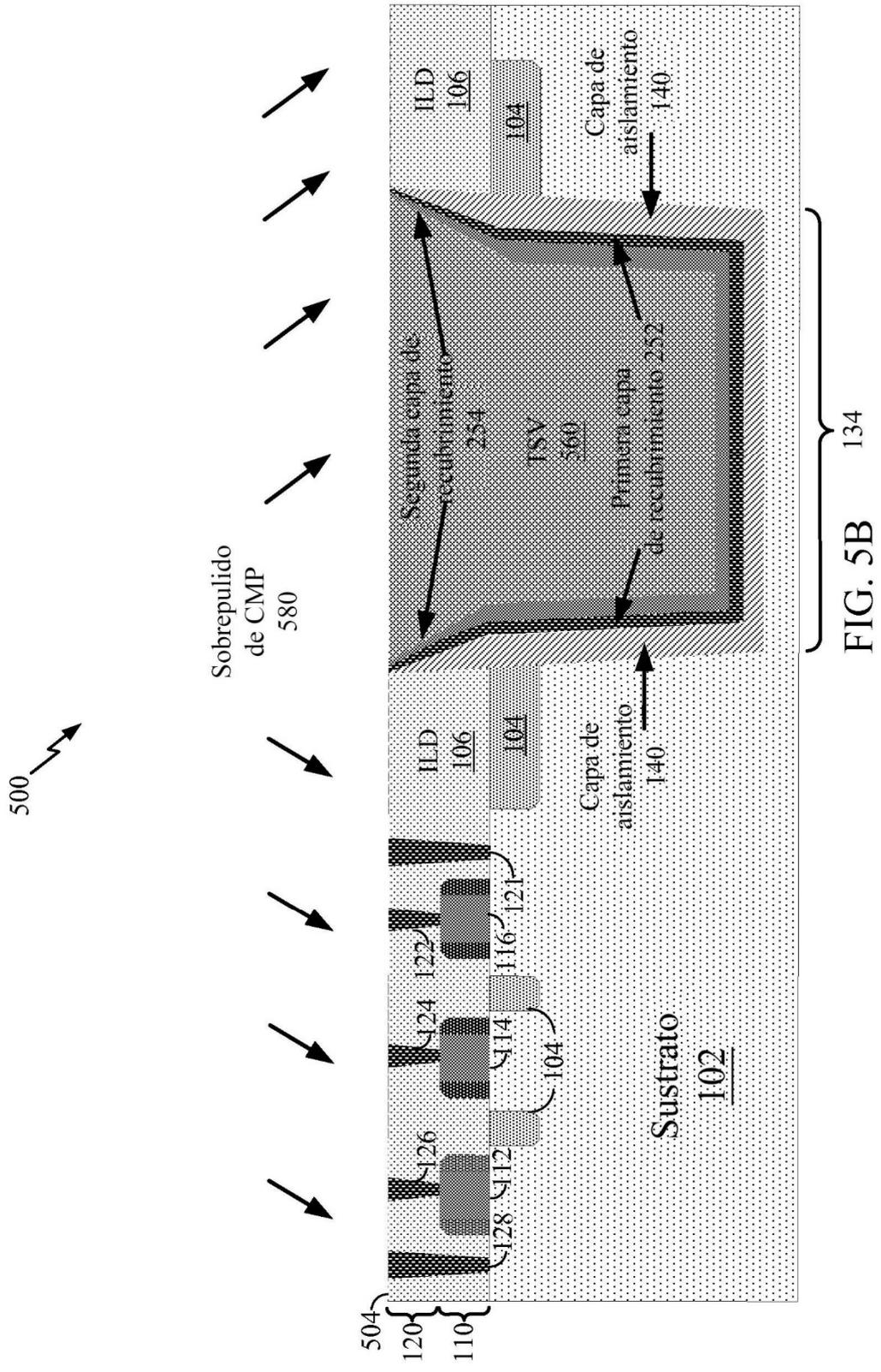


FIG. 2C







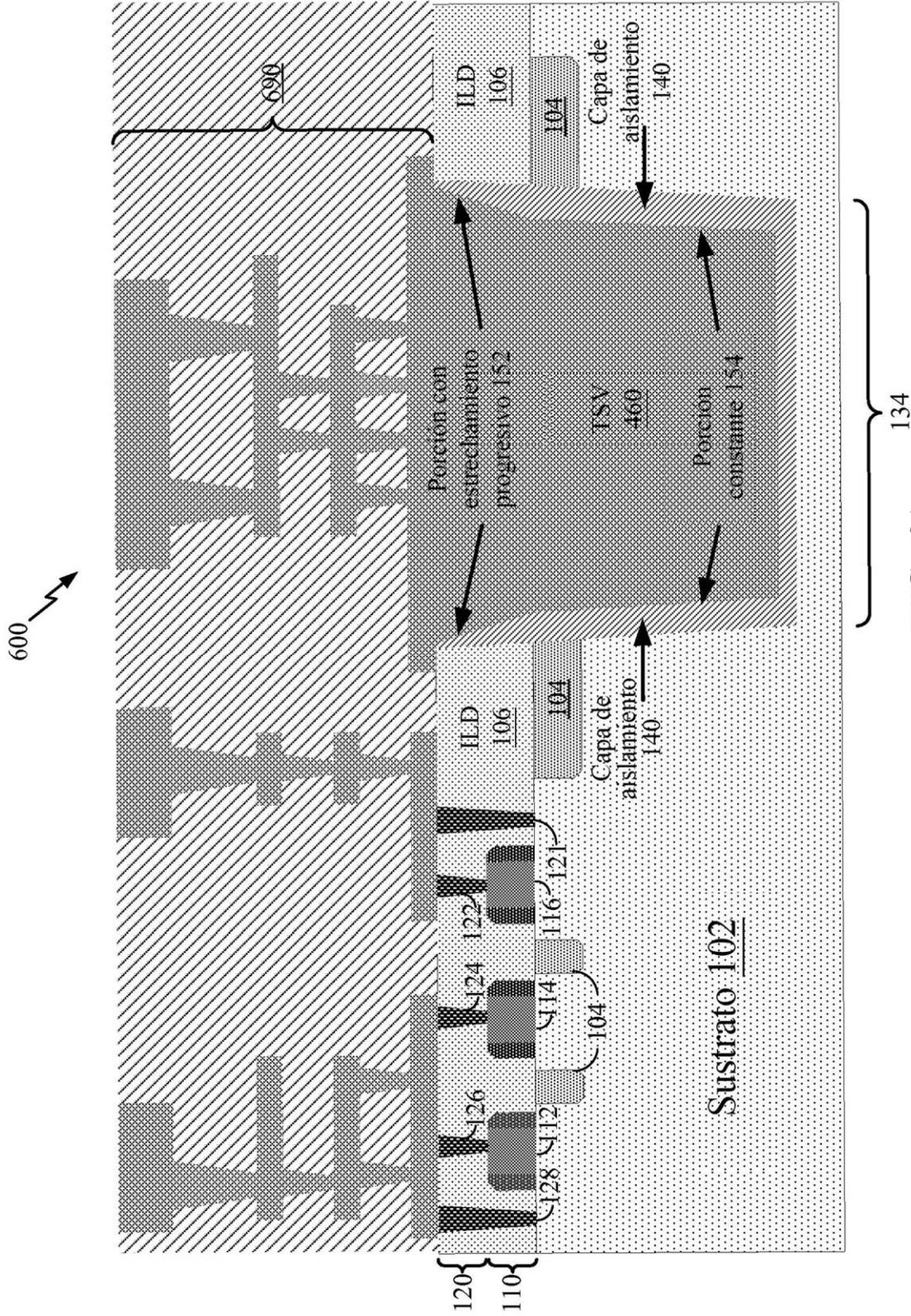


FIG. 6A

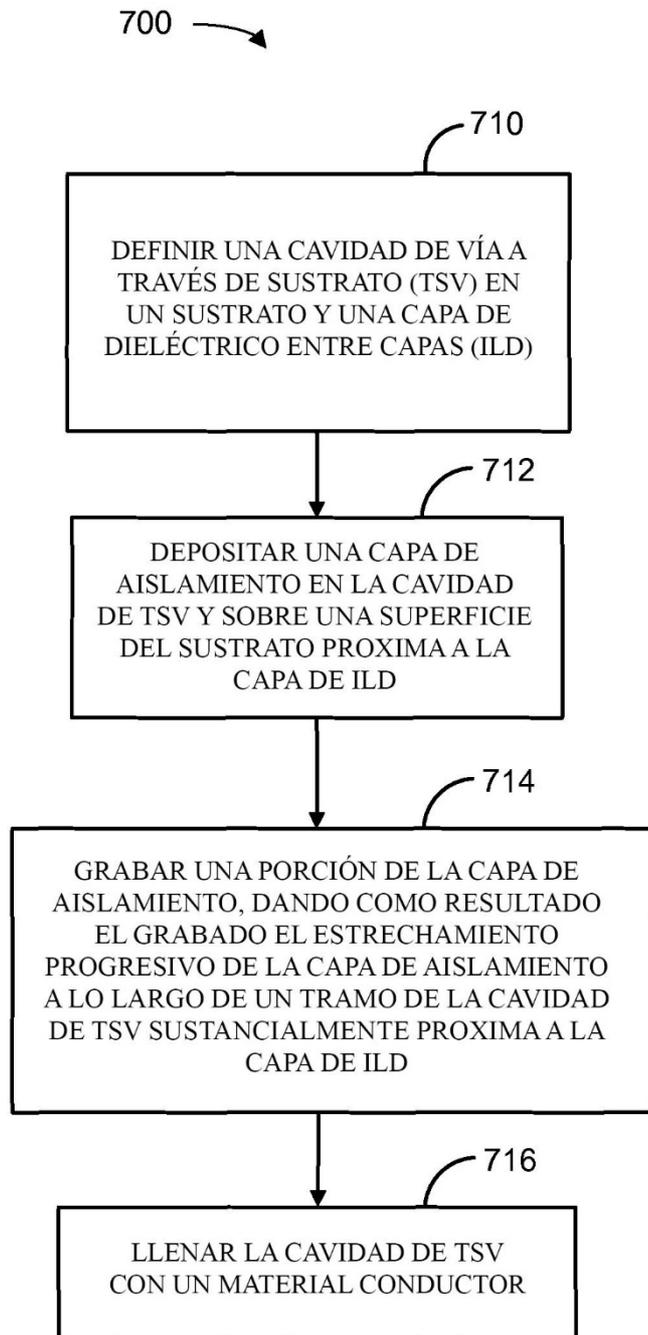


FIG. 7

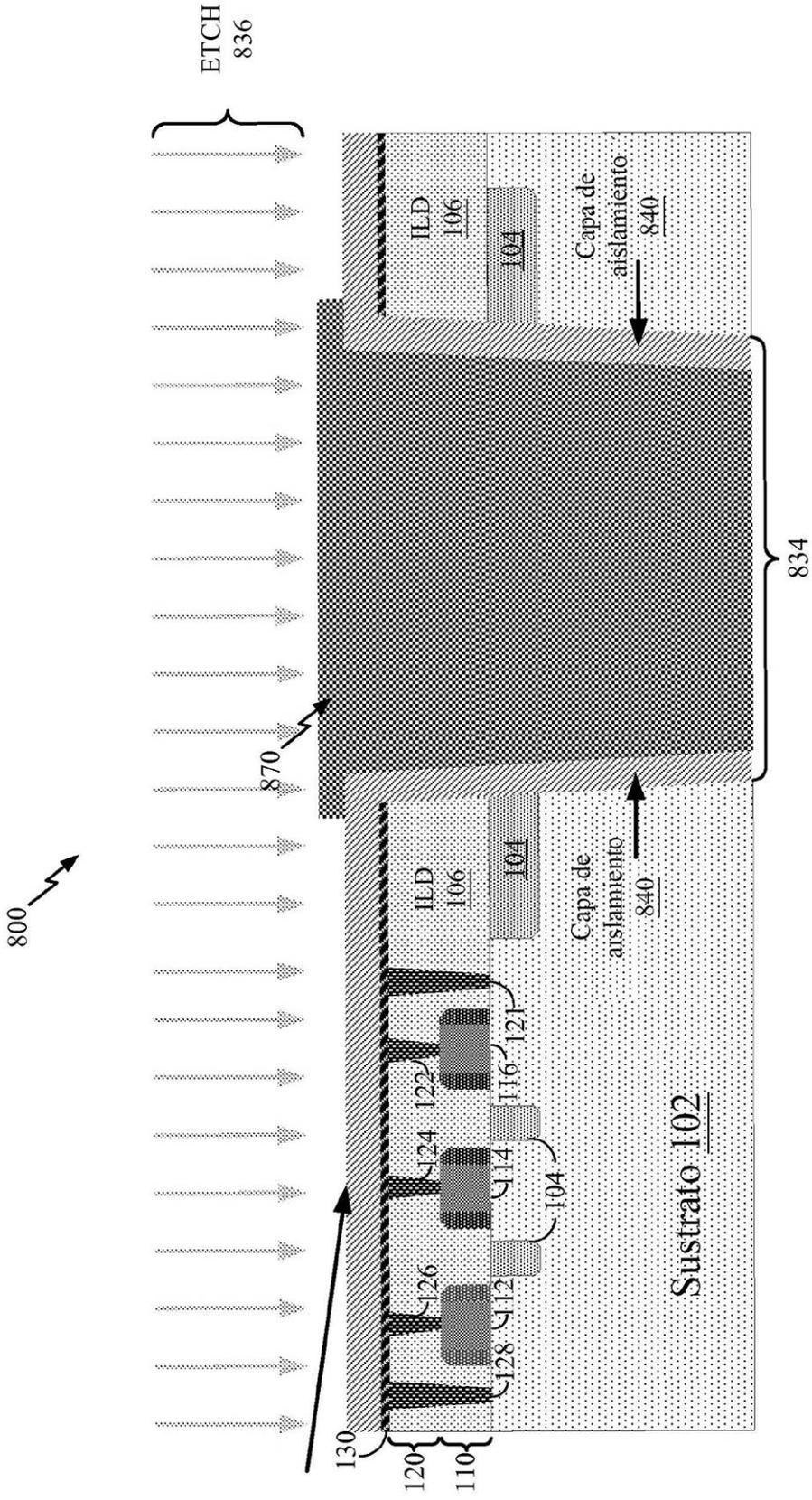


FIG. 8

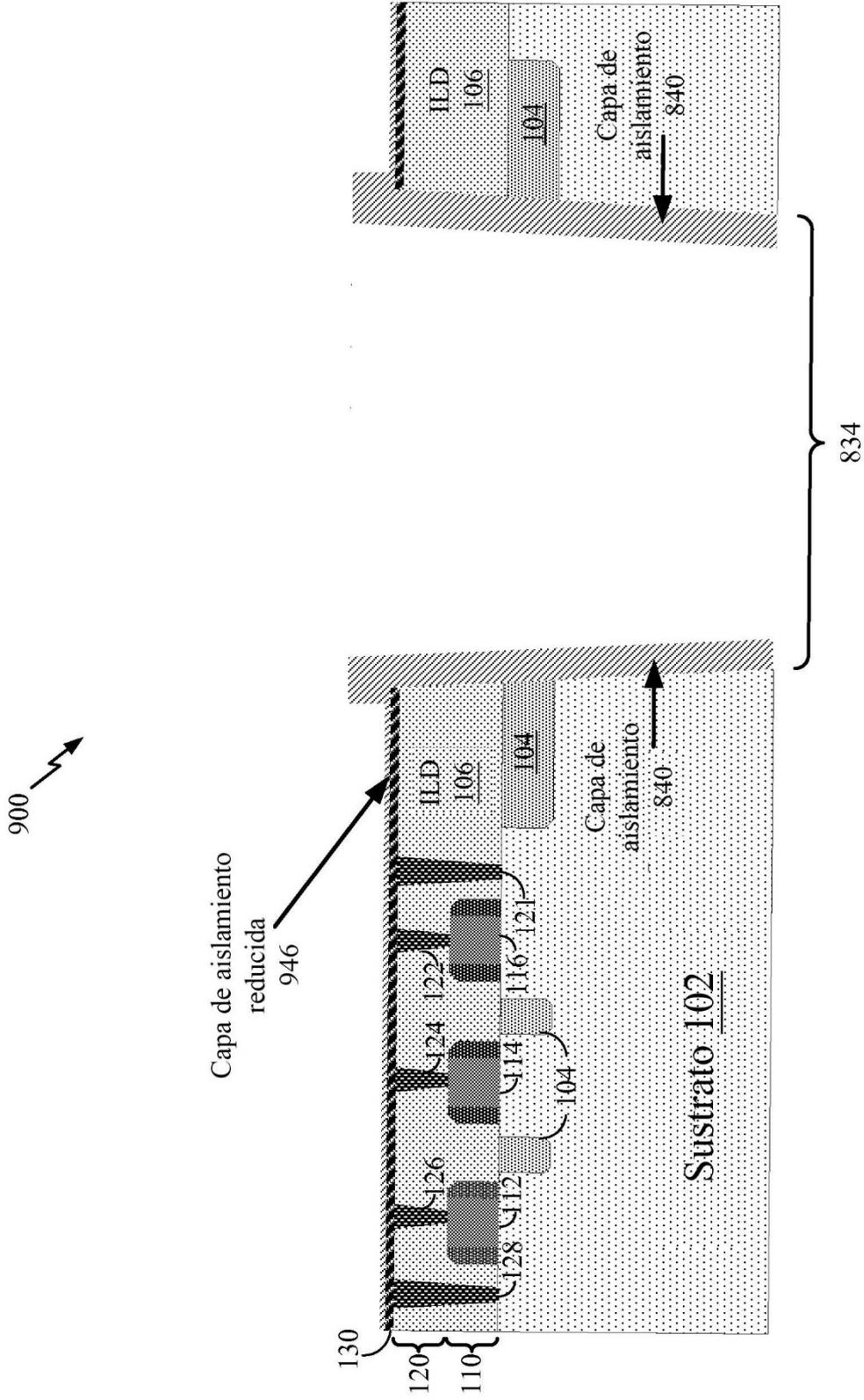


FIG. 9

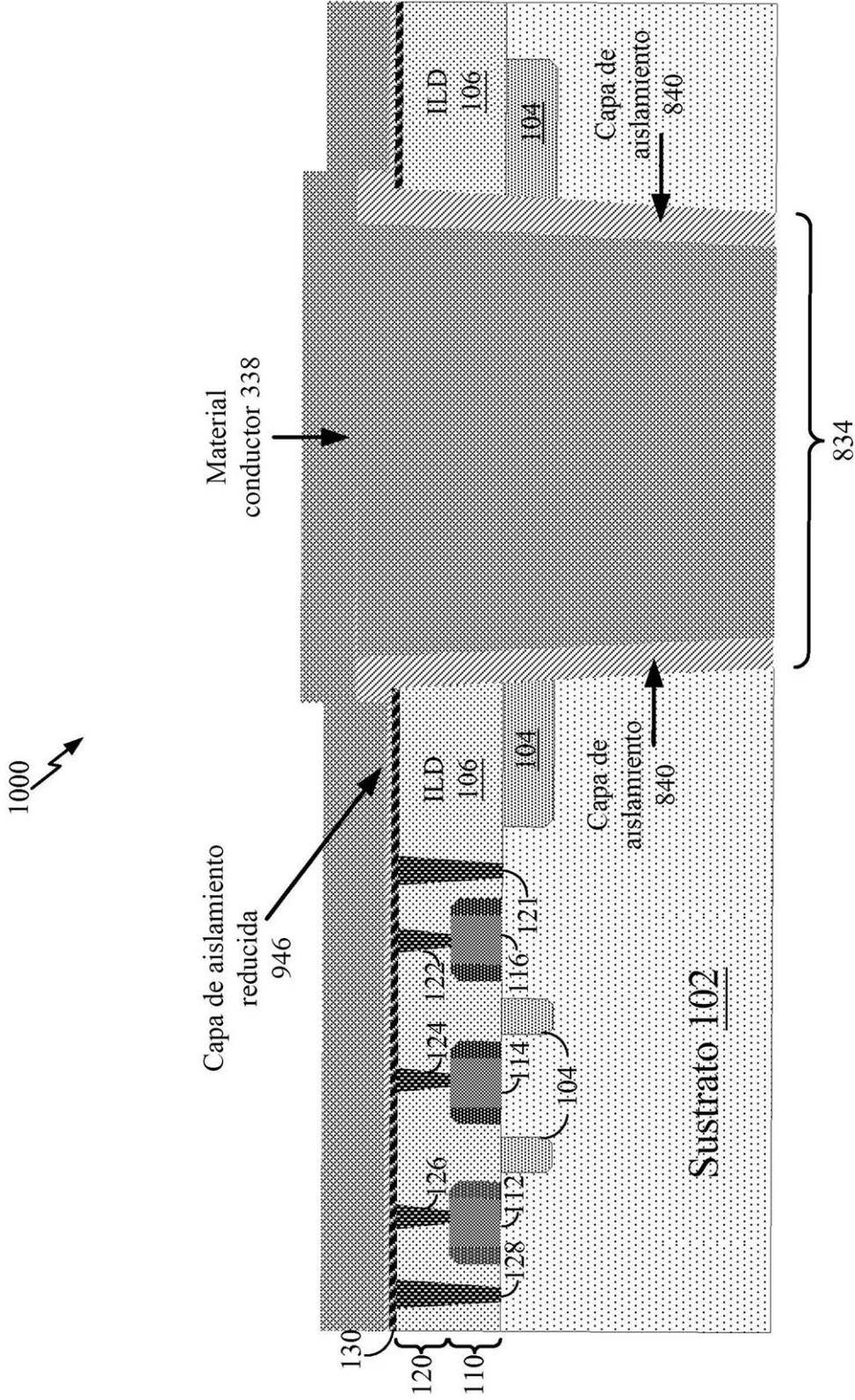


FIG. 10

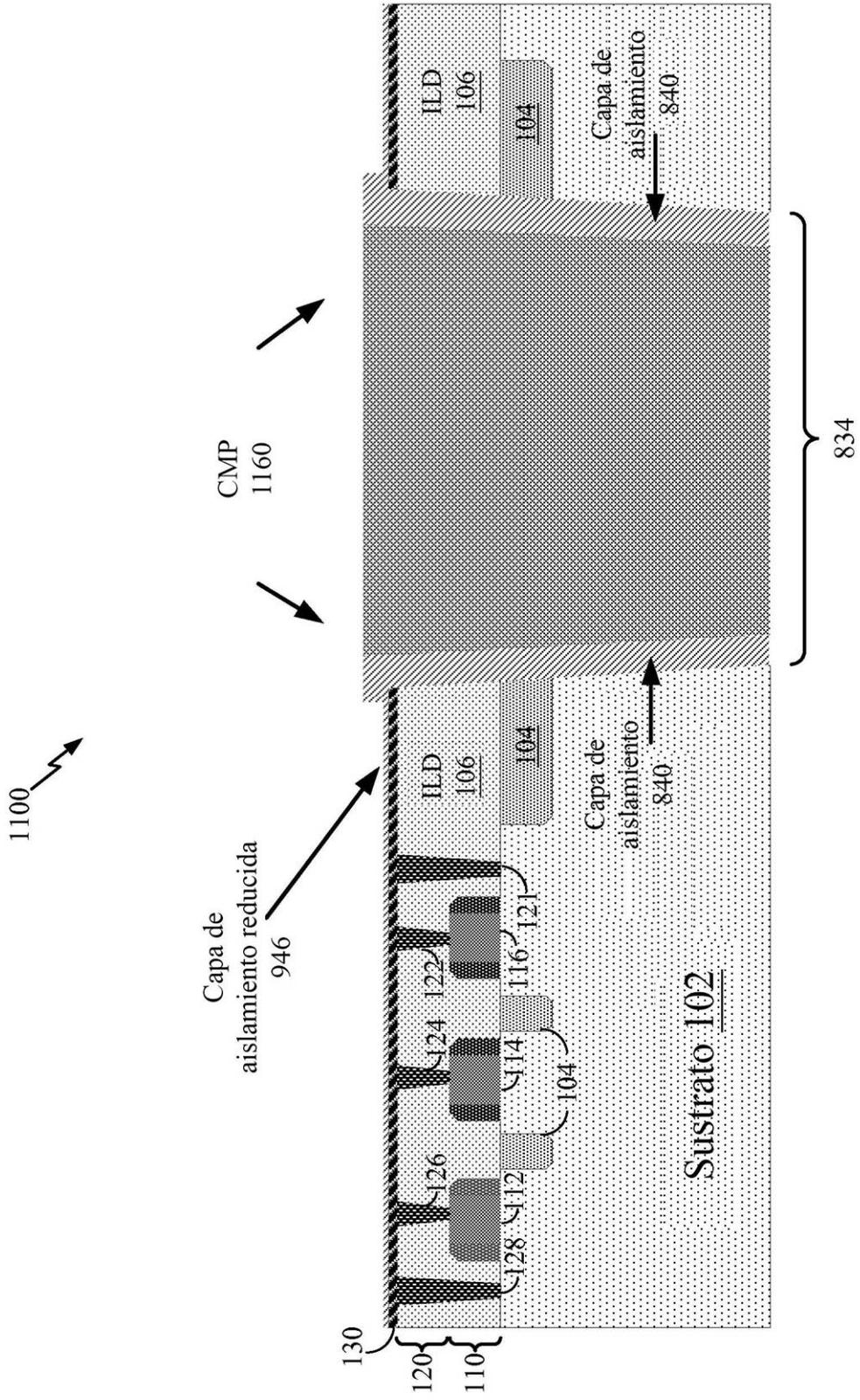


FIG. 11

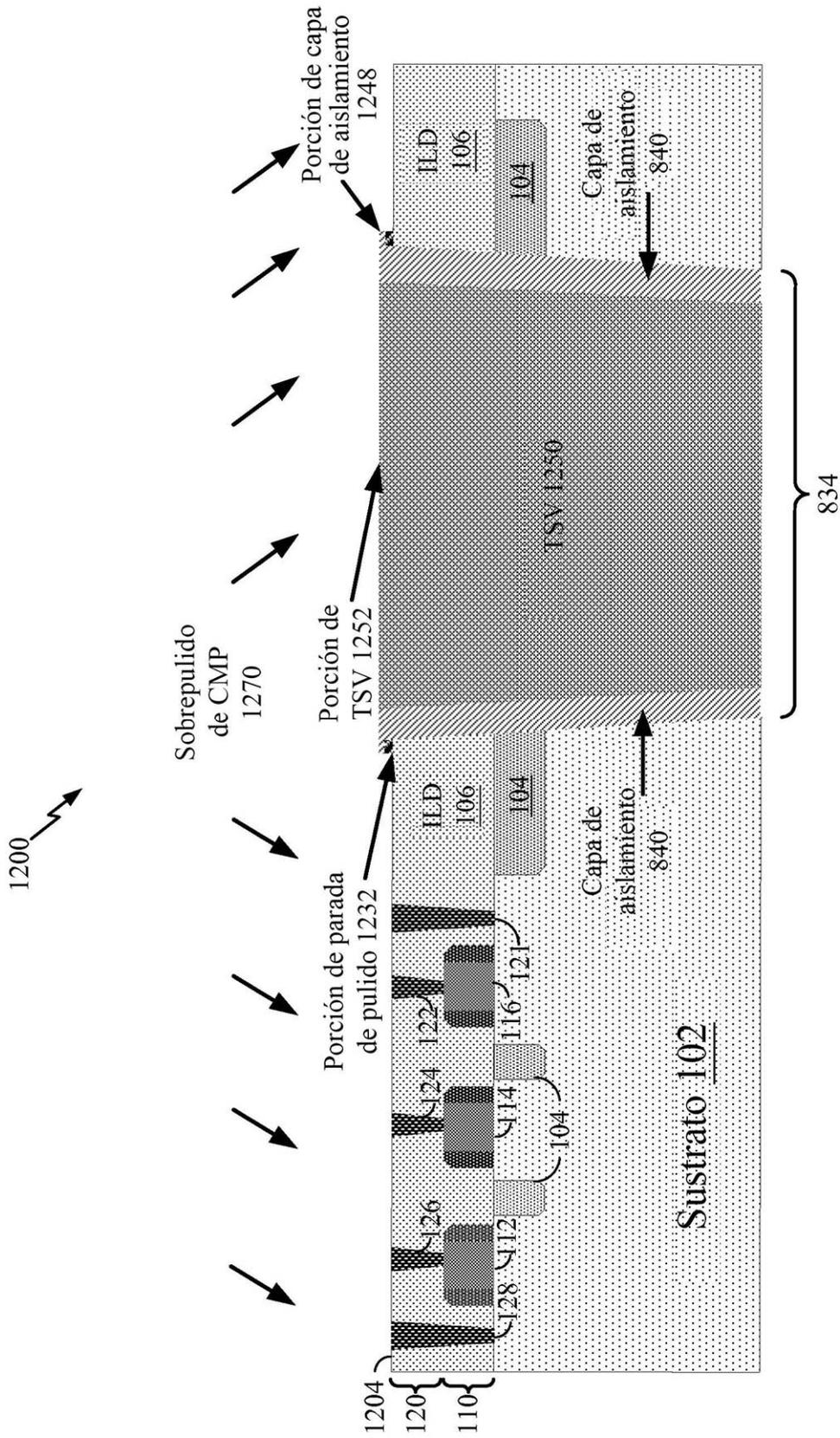


FIG. 12

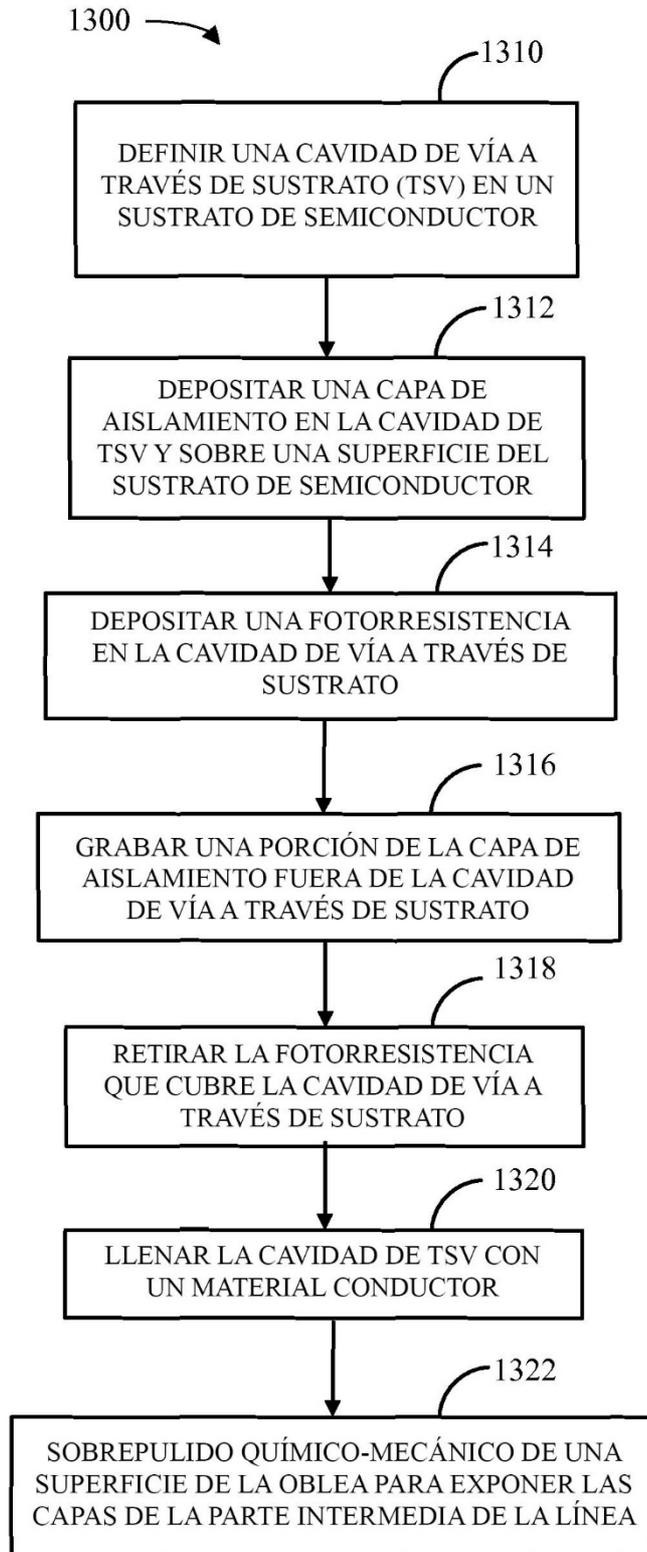


FIG. 13

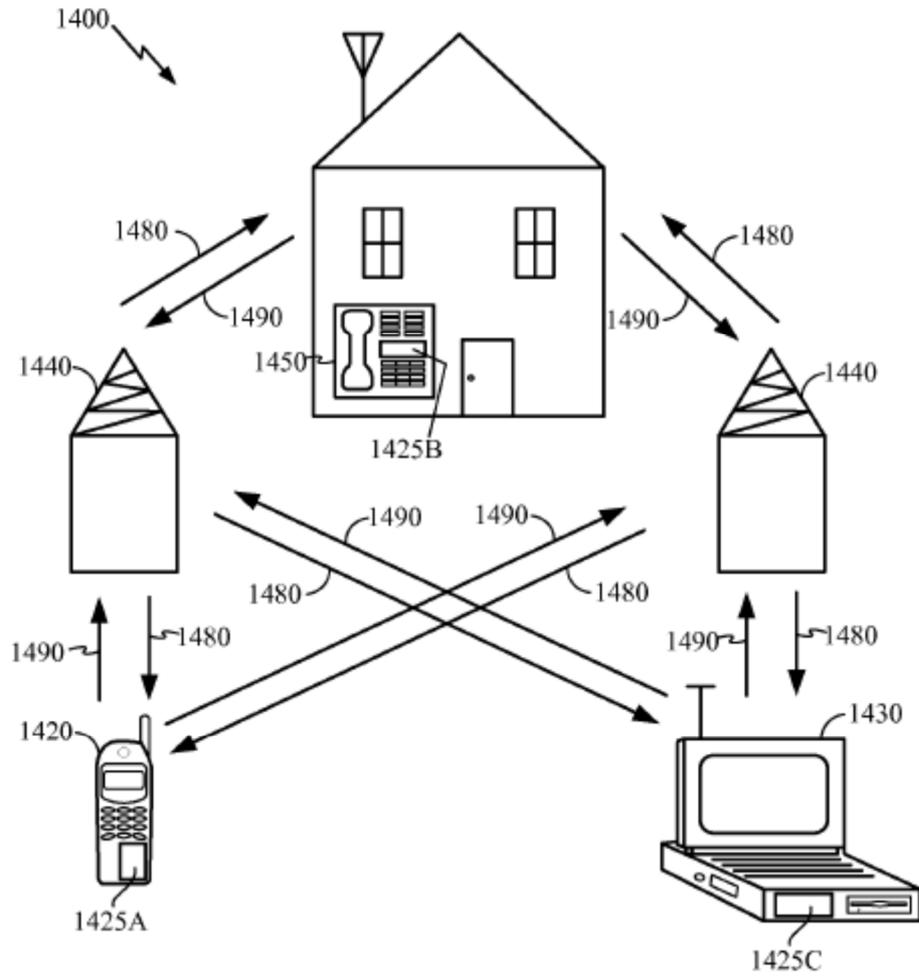


FIG. 14