

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁷ G11C 8/00	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년08월26일 10-0510490 2005년08월19일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2002-0051630 2002년08월29일	(65) 공개번호 (43) 공개일자	10-2004-0020171 2004년03월09일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 이재형
 경기도수원시팔달구영통동롯데아파트946-1710

 김규현
 경기도수원시팔달구영통동한신아파트946-1710

(74) 대리인 리엔목특허법인

심사관 : 황은택

(54) 부분적으로 제어되는 지연 동기 루프를 구비하는 반도체메모리 장치

요약

부분적으로 제어되는 지연 동기 루프를 구비하는 반도체 메모리 장치가 개시된다. 본 발명에 따른 반도체 메모리 장치는 지연 동기 루프 및 제어 신호 발생부를 구비하는 것을 특징으로 한다. 제어 신호 발생부는 반도체 메모리 장치의 동작 모드를 선택하는 제 1 내지 제 5 모드 선택 신호에 응답하여 상기 지연 동기 루프를 부분적으로 턴 온 또는 턴 오프 시키는 제 1 제어 신호 및 제 2 제어 신호를 발생한다. 상기 제 1 또는 제 2 제어 신호가 활성화되면 상기 지연 동기 루프 중 상기 제 1 또는 제 2 제어 신호가 인가되는 부분은 턴 오프 된다. 또한 상기 제 1 또는 제 2 제어 신호가 비활성화 되면 상기 지연 동기 루프 중 상기 제 1 또는 제 2 제어 신호가 인가되는 부분은 턴 온 된다. 상기 제 1 모드 선택 신호가 활성화되면 상기 제 2 제어 신호만이 활성화된다. 상기 제 2 모드 선택 신호가 활성화되면 상기 제 1 제어 신호 및 상기 제 2 제어 신호가 모두 비활성화 된다. 상기 제 3 내지 제 5 모드 선택 신호들 중 하나라도 활성화되면 상기 제 1 제어 신호 및 상기 제 2 제어 신호가 모두 활성화된다.

본 발명에 따른 반도체 메모리 장치는 내부에 구비되는 지연 동기 루프를 부분적으로 턴 온 또는 턴 오프 시킴으로써 소비 전류를 절약할 수 있는 장점이 있다.

대표도

도 1

명세서

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 본 발명의 제 1 실시예에 따른 반도체 메모리 장치를 나타내는 블록도이다.

도 2는 도 1의 제어 신호 발생부를 나타내는 도면이다.

도 3은 본 발명의 제 2 실시예에 따른 반도체 메모리 장치를 나타내는 블록도이다.

도 4는 도 3의 부분적으로 제어되는 지연 동기 루프의 첫 번째 예를 나타내는 도면이다.

도 5는 도 3의 부분적으로 제어되는 지연 동기 루프의 두 번째 예를 나타내는 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로서, 특히, 부분적으로 턴 온 또는 턴 오프 되는 지연 동기 루프를 구비하는 반도체 메모리 장치에 관한 것이다.

지연 동기 루프(delay locked loop)는 외부 클럭 신호를 수신하고 동일한 위상을 가지는 내부 클럭 신호를 출력하는 회로이다. 그런데, 반도체 메모리 장치 중 DDR SDRAM(Double Data Rate Synchronous Dynamic Random Access Memory : 이하 DDR SDRAM)과 같이 여러 가지 동작 모드에서 동작되는 반도체 메모리 장치는 소비 전류를 줄이기 위하여 지연 동기 루프의 동기 시간(lock time)과 동작 속도에 따라 지연 동기 루프를 턴 온 시키거나 턴 오프 시킬 수 있다.

처음에 DDR SDRAM 이 턴 온 되면, 지연 동기 루프는 일정한 시간 후에 외부 클럭 신호에 동기 된다. 이 후, 파워 다운 모드(power down mode)에서 반도체 메모리 장치의 소비 전류를 줄이기 위하여 지연 동기 루프를 턴 오프 시킬 수 있다.

그러나 다시 지연 동기 루프가 턴 온 될 경우, 외부 클럭 신호의 위상에 지연 동기 루프의 출력 신호의 위상이 동기 되어야 하지만, 지연 동기 루프의 출력 신호의 위상이 동기 되는 데에는 시간이 걸린다. 따라서, 소비 전류를 줄이기 위하여 자유롭게 지연 동기 루프를 턴 온 또는 턴 오프 하기 어려운 문제가 있다.

이러한 문제를 해결하기 위하여 지연 동기 루프를 턴 오프 시키기 전에 지연 동기 루프의 동기 정보를 저장하고, 이 후에 다시 지연 동기 루프를 턴 온 시킬 경우 저장된 동기 정보를 이용하여 지연 동기 루프가 새롭게 처음부터 동작되지 않고도 외부 클럭 신호의 위상과 동일한 위상을 가지는 신호를 출력시킬 수 있는 방법이 제안된 바 있다.

그러나, 이 경우에도 지연 동기 루프의 동작 주파수에 따라 지연 동기 루프 자체의 지연에 의하여 지연 동기 루프의 출력이 제한될 수 있으므로, 반도체 메모리 장치의 동작 모드별로 지연 동기 루프의 동작이 제어되어야 하는 문제가 있다.

또한 반도체 메모리 장치의 동작 모드에 따라 지연 동기 루프를 턴 온 또는 턴 오프 할 경우 지연 동기 루프 전체를 턴 온 시키거나 턴 오프 시키는데, 이러한 방법은 지연 동기 루프의 불필요한 부분까지 함께 턴 온 또는 턴 오프 시키게 되므로 반도체 메모리 장치의 전체 소비 전류를 증가시키는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자하는 기술적 과제는, 반도체 메모리 장치의 동작 모드에 따라 지연 동기 루프의 동작을 부분적으로 턴 온 또는 턴 오프 시키는 반도체 메모리 장치를 제공하는데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 제 1 실시예에 따른 반도체 메모리 장치는 지연 동기 루프 및 제어 신호 발생부를 구비하는 것을 특징으로 한다.

제어 신호 발생부는 반도체 메모리 장치의 동작 모드를 선택하는 제 1 내지 제 5 모드 선택 신호에 응답하여 상기 지연 동기 루프를 부분적으로 턴 온 또는 턴 오프 시키는 제 1 제어 신호 및 제 2 제어 신호를 발생한다.

상기 제 1 또는 제 2 제어 신호가 활성화되면 상기 지연 동기 루프 중 상기 제 1 또는 제 2 제어 신호가 인가되는 부분은 턴 오프 된다. 또한 상기 제 1 또는 제 2 제어 신호가 비활성화 되면 상기 지연 동기 루프 중 상기 제 1 또는 제 2 제어 신호가 인가되는 부분은 턴 온 된다.

상기 제 1 모드 선택 신호가 활성화되면 상기 제 2 제어 신호만이 활성화된다. 상기 제 2 모드 선택 신호가 활성화되면 상기 제 1 제어 신호 및 상기 제 2 제어 신호가 모두 비활성화 된다. 상기 제 3 내지 제 5 모드 선택 신호들 중 하나라도 활성화되면 상기 제 1 제어 신호 및 상기 제 2 제어 신호가 모두 활성화된다.

상기 제어 신호 발생부는 상기 제 3 내지 제 5 모드 선택 신호를 반전 논리합 하는 제 1 반전 논리합 수단, 상기 제 3 및 제 4 모드 선택 신호를 반전 논리합 하는 제 2 반전 논리합 수단, 상기 제 5 및 상기 제 1 모드 선택 신호를 반전 논리합 하는 제 3 반전 논리합 수단, 상기 제 2 반전 논리합 수단의 출력 및 상기 제 3 반전 논리합 수단의 출력을 반전 논리합 하는 제 4 반전 논리합 수단, 상기 제 1 반전 논리합 수단의 출력 및 상기 제 2 모드 선택 신호를 반전 논리합 하여 상기 제 1 제어 신호를 출력하는 제 5 반전 논리합 수단 및 상기 제 4 반전 논리합 수단의 출력 및 상기 제 2 모드 선택 신호를 반전 논리합 하여 상기 제 2 제어 신호를 출력하는 제 6 반전 논리합 수단을 구비하는 것을 특징으로 한다.

상기 제 1 모드 선택 신호가 활성화되면 상기 반도체 메모리 장치는 액티브 파워 다운(Active-Power-Down) 모드의 상태를 의미하며, 상기 제 2 모드 선택 신호가 활성화되면 상기 반도체 메모리 장치는 액티브 스탠드 바이(Active-Standby) 모드의 상태를 의미하며, 상기 제 3 모드 선택 신호가 활성화되면 상기 반도체 메모리 장치는 프리 차지(Precharge) 모드의 상태를 의미하며, 상기 제 4 모드 선택 신호가 활성화되면 상기 반도체 메모리 장치는 프리 차지 파워 다운(Precharge-Power-Down) 모드의 상태를 의미하며, 상기 제 5 모드 선택 신호가 활성화되면 상기 반도체 메모리 장치는 셀프 리프레시(Self-Refresh) 모드의 상태를 의미하는 것을 특징으로 한다.

상기 기술적 과제를 달성하기 위한 본 발명의 제 2 실시예에 따른 반도체 메모리 장치는 지연 동기 루프, 모드 선택 신호 발생부 및 제어 신호 발생부를 구비하는 것을 특징으로 한다.

모드 선택 신호 발생부는 반도체 메모리 장치의 동작을 제어하는 동작 제어 신호들에 응답하여 상기 반도체 메모리 장치의 동작 모드를 선택하는 제 1 내지 제 5 모드 선택 신호를 발생한다.

제어 신호 발생부는 제 1 내지 제 5 모드 선택 신호에 응답하여 상기 지연 동기 루프를 부분적으로 턴 온 또는 턴 오프 시키는 제 1 제어 신호 및 제 2 제어 신호를 발생한다.

상기 제 3 내지 제 5 모드 선택 신호들 중 하나라도 활성화되면 상기 제 1 제어 신호 및 상기 제 2 제어 신호는 활성화된다. 상기 제 1 모드 선택 신호가 활성화되면 상기 제 2 제어 신호만이 활성화된다. 상기 제 2 모드 선택 신호가 활성화되면 상기 제 1 제어 신호 및 상기 제 2 제어 신호가 모두 비활성화 된다.

상기 지연 동기 루프는 입력 버퍼부, 제 1 지연부, 제 2 지연부, 출력부 및 보상 피드백 부를 구비하는 것을 특징으로 한다.

입력 버퍼부는 외부 클럭 신호를 수신한다. 제 1 및 제 2 지연부는 상기 입력 버퍼부의 출력 신호의 위상을 소정의 내부 클럭 신호의 위상과 비교하고, 상기 비교 결과에 응답하여 상기 입력 버퍼부의 출력 신호를 지연시키며, 제 1 및 제 2 지연부(들)는 직렬 연결된다.

출력부는 상기 제 2 지연부의 출력 신호를 수신하여 출력한다. 보상 피드백 부는 상기 제 2 지연부의 출력 신호가 상기 출력부에서 지연되는 시간과 동일한 시간만큼 상기 제 2 지연부의 출력 신호를 지연시켜 상기 내부 클럭 신호로서 출력한다.

상기 제 1 제어 신호 및 상기 제 2 제어 신호가 모두 활성화되면 상기 입력 버퍼부, 상기 제 1 및 제 2 지연부, 상기 출력부 및 상기 보상 피드백 부는 모두 턴 오프 된다. 상기 제 1 제어 신호 및 상기 제 2 제어 신호가 모두 비활성화 되면 상기 입력 버퍼부, 상기 제 1 및 제 2 지연부, 상기 출력부 및 상기 보상 피드백 부는 모두 턴 온 된다.

상기 제 2 제어 신호만 활성화되면 상기 제 2 지연부, 상기 보상 피드백 부 및 상기 출력부는 턴 오프 되고, 상기 입력 버퍼부 및 상기 제 1 지연부는 모두 턴 온 된다. 상기 제 2 제어 신호만 활성화되면 상기 제 1 지연부, 상기 제 2 지연부, 상기 보상 피드백 부 및 상기 출력부는 턴 오프 되고, 상기 입력 버퍼부는 턴 온 된다.

상기 제어 신호 발생부는 상기 제 3 내지 제 5 모드 선택 신호를 반전 논리합 하는 제 1 반전 논리합 수단, 상기 제 3 및 제 4 모드 선택 신호를 반전 논리합 하는 제 2 반전 논리합 수단, 상기 제 5 및 상기 제 1 모드 선택 신호를 반전 논리합 하는 제 3 반전 논리합 수단, 상기 제 2 반전 논리합 수단의 출력 및 상기 제 3 반전 논리합 수단의 출력을 반전 논리합 하는 제 4 반전 논리합 수단, 상기 제 1 반전 논리합 수단의 출력 및 상기 제 2 모드 선택 신호를 반전 논리합 하여 상기 제 1 제어 신호를 출력하는 제 5 반전 논리합 수단 및 상기 제 4 반전 논리합 수단의 출력 및 상기 제 2 모드 선택 신호를 반전 논리합 하여 상기 제 2 제어 신호를 출력하는 제 6 반전 논리합 수단을 구비하는 것을 특징으로 한다.

상기 제 1 모드 선택 신호가 활성화되면 상기 반도체 메모리 장치는 액티브 파워 다운(Active-Power-Down) 모드의 상태를 의미하며, 상기 제 2 모드 선택 신호가 활성화되면 상기 반도체 메모리 장치는 액티브 스탠드 바이(Active-Standby) 모드의 상태를 의미하며, 상기 제 3 모드 선택 신호가 활성화되면 상기 반도체 메모리 장치는 프리 차지(Precharge) 모드의 상태를 의미하며, 상기 제 4 모드 선택 신호가 활성화되면 상기 반도체 메모리 장치는 프리 차지 파워 다운(Precharge-Power-Down) 모드의 상태를 의미하며, 상기 제 5 모드 선택 신호가 활성화되면 상기 반도체 메모리 장치는 셀프 리프레시(Self-Refresh) 모드의 상태를 의미하는 것을 특징으로 한다.

상기 동작 제어 신호들은 /CS(Chip Select), /CAS(Column Address Strobe), /RAS(Row Address Strobe), /WE(Write Enable), CKE(Clock Enable) 신호이다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 1은 본 발명의 제 1 실시예에 따른 반도체 메모리 장치를 나타내는 블록도이다.

도 2는 도 1의 제어 신호 발생부를 나타내는 도면이다.

본 발명의 제 1 실시예에 따른 반도체 메모리 장치(100)는 지연 동기 루프(120) 및 제어 신호 발생부(110)를 구비한다.

제어 신호 발생부(110)는 반도체 메모리 장치(100)의 동작 모드를 선택하는 제 1 내지 제 5 모드 선택 신호(3P, 3N, 2N, 2P, 6R)에 응답하여 지연 동기 루프(120)를 부분적으로 턴 온 또는 턴 오프 시키는 제 1 제어 신호(CTRLS1) 및 제 2 제어 신호(CTRLS2)를 발생한다. 지연 동기 루프(120)는 몇 개의 블록(130, 140)으로 나뉘어져 있다.

제 1 내지 제 5 모드 선택 신호(3P, 3N, 2N, 2P, 6R)는 반도체 메모리 장치의 동작을 제어하는 동작 제어 신호(미도시)들에 응답하여 상기 반도체 메모리 장치의 동작 모드를 선택한다.

좀더 설명하면, 제 1 모드 선택 신호(3P)가 활성화되면 반도체 메모리 장치(100)는 액티브 파워 다운(Active-Power-Down) 모드의 상태를 의미하며, 제 2 모드 선택 신호(3N)가 활성화되면 반도체 메모리 장치(100)는 액티브 스탠드 바이(Active-Standby) 모드의 상태를 의미하며, 제 3 모드 선택 신호(2N)가 활성화되면 반도체 메모리 장치(100)는 프리 차지(Precharge) 모드의 상태를 의미하며, 제 4 모드 선택 신호(2P)가 활성화되면 반도체 메모리 장치(100)는 프리 차지 파워 다운(Precharge-Power-Down) 모드의 상태를 의미하며, 제 5 모드 선택 신호(6R)가 활성화되면 반도체 메모리 장치(100)는 셀프 리프레시(Self-Refresh) 모드의 상태를 의미한다.

제 1 모드 선택 신호(3P)가 활성화되면 제 2 제어 신호(CTRLS2)만이 활성화된다. 제 2 모드 선택 신호(3N)가 활성화되면 제 1 제어 신호(CTRLS1) 및 제 2 제어 신호(CTRLS2)가 모두 비활성화 된다. 제 3 내지 제 5 모드 선택 신호(2N, 2P, 6R)들 중 하나라도 활성화되면 제 1 제어 신호(CTRLS1) 및 제 2 제어 신호(CTRLS1)가 모두 활성화된다.

이러한 기능을 하는 제어 신호 발생부(110)는 제 3 내지 제 5 모드 선택 신호(2N, 2P, 6R)를 반전 논리합 하는 제 1 반전 논리합 수단(IOR1), 제 3 및 제 4 모드 선택 신호(2N, 2P)를 반전 논리합 하는 제 2 반전 논리합 수단(IOR2), 제 5 및 상기

제 1 모드 선택 신호(6R, 3P)를 반전 논리합 하는 제 3 반전 논리합 수단(IOR3), 제 2 반전 논리합 수단(IOR2)의 출력 및 제 3 반전 논리합 수단(IOR3)의 출력을 반전 논리합 하는 제 4 반전 논리합 수단(IOR4), 제 1 반전 논리합 수단(IOR1)의 출력 및 제 2 모드 선택 신호(3N)를 반전 논리합 하여 제 1 제어 신호(CTRLS1)를 출력하는 제 5 반전 논리합 수단(IOR5) 및 제 4 반전 논리합 수단(IOR4)의 출력 및 제 2 모드 선택 신호(3N)를 반전 논리합 하여 제 2 제어 신호(CTRLS2)를 출력하는 제 6 반전 논리합 수단(IOR6)을 구비한다.

제 1 또는 제 2 제어 신호(CTRLS1, CTRLS2)가 활성화되면 지연 동기 루프(120) 중 제 1 또는 제 2 제어 신호(CTRLS1, CTRLS2)가 인가되는 부분은 턴 오프 된다. 또한 제 1 또는 제 2 제어 신호(CTRLS1, CTRLS2)가 비활성화 되면 지연 동기 루프(120) 중 제 1 또는 제 2 제어 신호(CTRLS1, CTRLS2)가 인가되는 부분은 턴 온 된다.

이하, 도 1 및 도 2를 참조하여 본 발명의 제 1 실시예에 따른 반도체 메모리 장치의 동작이 상세히 설명된다.

반도체 메모리 장치(100)는 액티브 스탠드 바이 모드, 액티브 파워 다운 모드, 프리 차지 모드, 프리 차지 파워 다운 모드, 셀프 리프레시 모드 등의 동작 모드를 구비한다. 반도체 메모리 장치(100)로 전원 전압이 인가되면, 프리 차지 모드와 액티브 스탠드 바이 모드를 거친 후 독출 동작이 이루어진다. 독출 동작이 끝나면 다시 프리 차지 모드로 돌아간다.

프리 차지 모드에서 액티브 스탠드 바이 모드로 동작모드가 이동되기 전에 반도체 메모리 장치(100)는 셀프 리프레시 모드 또는 프리 차지 파워 다운 모드를 거칠 수 있다. 또한 액티브 스탠드 바이 모드에서 액티브 파워 다운 모드로 이동될 수도 있다.

제 1 모드 선택 신호(3P)가 활성화되면 반도체 메모리 장치(100)는 액티브 파워 다운(Active-Power-Down) 모드의 상태임을 의미한다. 제 2 모드 선택 신호(3N)가 활성화되면 반도체 메모리 장치(100)는 액티브 스탠드 바이 (Active-Standby) 모드의 상태임을 의미한다. 제 3 모드 선택 신호(2N)가 활성화되면 반도체 메모리 장치(100)는 프리 차지(Precharge) 모드의 상태임을 의미한다. 제 4 모드 선택 신호(2P)가 활성화되면 반도체 메모리 장치(100)는 프리 차지 파워 다운(Precharge-Power-Down) 모드의 상태임을 의미한다. 제 5 모드 선택 신호(6R)가 활성화되면 반도체 메모리 장치(100)는 셀프 리프레시 (Self-Refresh) 모드의 상태임을 의미한다.

여기서, 각각의 모드 선택 신호(3P, 3N, 2N, 2P, 6R)가 하이 레벨로 될 경우 활성화되는 것으로 설명한다. 도 2를 참조하면, 제 1 모드 선택 신호(3P)가 활성화되면 제 2 제어 신호(CTRLS2)만이 활성화된다. 제 2 모드 선택 신호(3N)가 활성화되면 제 1 제어 신호(CTRLS1) 및 제 2 제어 신호(CTRLS2)가 모두 비활성화 된다. 제 3 내지 제 5 모드 선택 신호(2N, 2P, 6R)들 중 하나라도 활성화되면 제 1 제어 신호(CTRLS1) 및 제 2 제어 신호(CTRLS2)가 모두 활성화된다.

도 2에 도시된 제어 신호 발생부(110)는 하나의 실시예 일 뿐이며 제어 신호 발생부(110)의 구성이 도 2에 도시된 것에 한정되는 것은 아니다.

반도체 메모리 장치(100)의 프리 차지 모드, 프리 차지 파워 다운 모드, 셀프 리프레시 모드에서는 지연 동기 루프(120)가 항상 턴 오프 될 수 있다. 독출 동작 모드에서 지연 동기 루프(120)는 항상 턴 온 상태이다. 액티브 스탠드 바이 모드와 액티브 파워 다운 모드에서 지연 동기 루프(120)는 경우에 따라 턴 온 될 수도 있고 턴 오프 될 수도 있다.

제 1 또는 제 2 제어 신호(CTRLS1, CTRLS2)가 활성화되면 지연 동기 루프(120) 중 제 1 또는 제 2 제어 신호(CTRLS1, CTRLS2)가 인가되는 부분은 턴 오프 된다. 또한 제 1 또는 제 2 제어 신호(CTRLS1, CTRLS2)가 비활성화 되면 지연 동기 루프(120) 중 제 1 또는 제 2 제어 신호(CTRLS1, CTRLS2)가 인가되는 부분은 턴 온 된다.

제 1 제어 신호(CTRLS1) 및 제 2 제어 신호(CTRLS2)가 모두 활성화되면 제 1 제어 신호(CTRLS1) 및 제 2 제어 신호(CTRLS2)가 인가되는 지연 동기 루프(120)의 복수개의 블록들(130, 140)은 턴 오프 된다.

따라서, 반도체 메모리 장치(100)의 프리 차지 모드, 프리 차지 파워 다운 모드, 셀프 리프레시 모드를 나타내는 제 3 내지 제 5 모드 선택 신호(2N, 2P, 6R)가 활성화될 경우 제 1 제어 신호(CTRLS1) 및 제 2 제어 신호(CTRLS2)가 모두 활성화되도록 하고, 제 1 제어 신호(CTRLS1) 및 제 2 제어 신호(CTRLS2)가 지연 동기 루프(120)의 모든 블록들(130, 140)로 인가되도록 하면 반도체 메모리 장치(100)의 프리 차지 모드, 프리 차지 파워 다운 모드, 셀프 리프레시 모드에서 지연 동기 루프(120)를 모두 턴 오프 시킬 수 있다.

제 1 제어 신호(CTRLS1) 또는 제 2 제어 신호(CTRLS2)가 비활성화 된다면, 비활성화 된 제 1 제어 신호(CTRLS1) 또는 제 2 제어 신호(CTRLS2)가 인가되는 지연 동기 루프(100)의 블록들(130, 140)은 턴 온 된다.

따라서, 반도체 메모리 장치(100)의 액티브 스탠드 바이 모드를 나타내는 제 2 모드 선택 신호(3N)가 활성화될 경우 제 1 제어 신호(CTRLS1) 및 제 2 제어 신호(CTRLS2)가 모두 비활성화 되도록 하고, 제 1 제어 신호(CTRLS1) 및 제 2 제어 신호(CTRLS2)가 지연 동기 루프(120)의 모든 블록들(130, 140)로 인가되도록 하면 반도체 메모리 장치(100)의 액티브 스탠드 바이 모드에서 지연 동기 루프(120)를 모두 턴 온 시킬 수 있다.

제 2 제어 신호(CTRLS2)만이 활성화된다면, 활성화 된 제 2 제어 신호(CTRLS2)가 인가되는 지연 동기 루프(120)의 블록들은 턴 오프 된다.

따라서, 반도체 메모리 장치(100)의 액티브 파워 다운 모드를 나타내는 제 2 모드 선택 신호(3N)가 활성화될 경우 제 2 제어 신호(CTRLS2)가 활성화 되도록 하고, 제 2 제어 신호(CTRLS2)가 지연 동기 루프(120)의 일부 블록들로 인가되도록 하면 반도체 메모리 장치(100)의 액티브 파워 다운 모드에서 지연 동기 루프(120)의 일부 블록은 턴 온 시키고 나머지 블록은 턴 오프 시킬 수 있다.

즉, 지연 동기 루프(120)의 일정한 블록에 제 2 제어 신호(CTRLS2)를 인가함으로써 반도체 메모리 장치(100)의 액티브 파워 다운 모드에서 부분적으로만 지연 동기 루프(120)를 턴 오프 시킬 수 있다.

물론, 제 1 및 제 2 제어 신호(CTRLS1, CTRLS2)를 지연 동기 루프(120)의 어떠한 블록으로 인가하는가에 따라 부분적으로 턴 온 또는 턴 오프 되는 블록이 달라질 수 있다. 따라서 본 발명에 의하여 반도체 메모리 장치(100)의 동작 모드에 따라 지연 동기 루프(120)를 부분적으로 턴 온 또는 턴 오프 시킬 수 있어서 반도체 메모리 장치(100)의 소비 전류를 줄일 수 있다.

도 3은 본 발명의 제 2 실시예에 따른 반도체 메모리 장치를 나타내는 블록도이다.

도 4는 도 3의 부분적으로 제어되는 지연 동기 루프의 첫 번째 예를 나타내는 도면이다.

도 5는 도 3의 부분적으로 제어되는 지연 동기 루프의 두 번째 예를 나타내는 도면이다.

도 3을 참조하면, 본 발명의 제 2 실시예에 따른 반도체 메모리 장치(300)는 지연 동기 루프(320), 모드 선택 신호 발생부(305) 및 제어 신호 발생부(310)를 구비한다.

모드 선택 신호 발생부(305)는 반도체 메모리 장치(300)의 동작을 제어하는 동작 제어 신호들(/CS, /CAS, /RAS, /WE, CKE)에 응답하여 반도체 메모리 장치(300)의 동작 모드를 선택하는 제 1 내지 제 5 모드 선택 신호(3P, 3N, 2N, 2P, 6R)를 발생한다.

동작 제어 신호들은 /CS(Chip Select), /CAS(Column Address Strobe), /RAS(Row Address Strobe), /WE(Write Enable), CKE(Clock Enable) 신호이다.

제어 신호 발생부(310)는 제 1 내지 제 5 모드 선택 신호(3P, 3N, 2N, 2P, 6R)에 응답하여 지연 동기 루프(320)를 부분적으로 턴 온 또는 턴 오프 시키는 제 1 제어 신호(CTRLS1) 및 제 2 제어 신호(CTRLS2)를 발생한다.

좀더 설명하면, 제 1 모드 선택 신호(3P)가 활성화되면 반도체 메모리 장치(300)는 액티브 파워 다운(Active-Power-Down) 모드의 상태임을 의미하며, 제 2 모드 선택 신호(3N)가 활성화되면 반도체 메모리 장치(300)는 액티브 스탠드 바이 (Active-Standby) 모드의 상태임을 의미하며, 제 3 모드 선택 신호(2N)가 활성화되면 반도체 메모리 장치(300)는 프리 차지(Precharge) 모드의 상태임을 의미하며, 제 4 모드 선택 신호(2P)가 활성화되면 반도체 메모리 장치(300)는 프리 차지 파워 다운(Precharge-Power-Down) 모드의 상태임을 의미하며, 제 5 모드 선택 신호(6R)가 활성화되면 반도체 메모리 장치(300)는 셀프 리프레시 (Self-Refresh) 모드의 상태임을 의미한다.

제 1 모드 선택 신호(3P)가 활성화되면 제 2 제어 신호(CTRLS2)만이 활성화된다. 제 2 모드 선택 신호(3N)가 활성화되면 제 1 제어 신호(CTRLS1) 및 제 2 제어 신호(CTRLS2)가 모두 비활성화 된다. 제 3 내지 제 5 모드 선택 신호(2N, 2P, 6R)들 중 하나라도 활성화되면 제 1 제어 신호(CTRLS1) 및 제 2 제어 신호(CTRLS2)가 모두 활성화된다.

이러한 기능을 하는 제어 신호 발생부(310)는 제 3 내지 제 5 모드 선택 신호(2N, 2P, 6R)를 반전 논리합 하는 제 1 반전 논리합 수단(IOR1), 제 3 및 제 4 모드 선택 신호(2N, 2P)를 반전 논리합 하는 제 2 반전 논리합 수단(IOR2), 제 5 및 상기

제 1 모드 선택 신호(6R, 3P)를 반전 논리합 하는 제 3 반전 논리합 수단(IOR3), 제 2 반전 논리합 수단(IOR2)의 출력 및 제 3 반전 논리합 수단(IOR3)의 출력을 반전 논리합 하는 제 4 반전 논리합 수단(IOR4), 제 1 반전 논리합 수단(IOR1)의 출력 및 제 2 모드 선택 신호(3N)를 반전 논리합 하여 제 1 제어 신호(CTRLS1)를 출력하는 제 5 반전 논리합 수단(IOR5) 및 제 4 반전 논리합 수단(IOR4)의 출력 및 제 2 모드 선택 신호(3N)를 반전 논리합 하여 제 2 제어 신호(CTRLS2)를 출력하는 제 6 반전 논리합 수단(IOR6)을 구비한다.

도 4 및 도 5를 참조하면, 지연 동기 루프(400, 500)는 입력 버퍼부(410, 510), 제 1 지연부(420, 520), 제 2 지연부(430, 530), 출력부(440, 540) 및 보상 피드백 부(450, 550)를 구비하는 것을 특징으로 한다.

도 4와 도 5의 구성이 동일하므로 도 4를 기준으로 설명한다. 입력 버퍼부(410)는 외부 클럭 신호(ECK)를 수신한다. 제 1 및 제 2 지연부(420, 430)는 입력 버퍼부(410)의 출력 신호의 위상을 소정의 내부 클럭 신호(ICK)의 위상과 비교하고, 비교 결과에 응답하여 입력 버퍼부(410)의 출력 신호를 지연시키며, 제 1 및 제 2 지연부(420, 430)는 직렬 연결된다.

출력부(440)는 제 2 지연부(430)의 출력 신호를 수신하여 출력한다. 보상 피드백 부(450)는 제 2 지연부(430)의 출력 신호가 출력부(440)에서 지연되는 시간과 동일한 시간만큼 제 2 지연부(430)의 출력 신호를 지연시켜 내부 클럭 신호(ICK)로서 출력한다.

제 1 제어 신호(CTRLS1) 및 제 2 제어 신호(CTRLS2)가 모두 활성화되면 입력 버퍼부(410), 제 1 및 제 2 지연부(420, 430), 출력부(440) 및 보상 피드백 부(450)는 모두 턴 오프 된다. 제 1 제어 신호(CTRLS1) 및 제 2 제어 신호(CTRLS2)가 모두 비활성화 되면 입력 버퍼부(410), 제 1 및 제 2 지연부(420, 430), 출력부(440) 및 보상 피드백 부(450)는 모두 턴 온 된다.

도 4에서, 제 2 제어 신호(CTRLS2)만 활성화되면 제 2 지연부(430), 보상 피드백 부(450) 및 출력부(440)는 턴 오프 되고, 입력 버퍼부(410) 및 제 1 지연부(420)는 모두 턴 온 된다.

도 5에서, 제 2 제어 신호(CTRLS2)만 활성화되면 제 1 지연부(520), 제 2 지연부(530), 보상 피드백 부(550) 및 출력부(540)는 턴 오프 되고, 입력 버퍼부(510)는 턴 온 된다.

이하 도 3 내지 도 5를 참조하여 본 발명의 제 2 실시예에 따른 반도체 메모리 장치의 동작이 상세히 설명된다.

도 3의 반도체 메모리 장치(300)는 도 1의 반도체 메모리 장치(100)에 모드 선택 신호 발생부(305)를 더 구비한다. 따라서 모드 선택 신호 발생부(305)에 대하여 먼저 설명한다.

모드 선택 신호 발생부(305)는 반도체 메모리 장치(300)의 동작을 제어하는 동작 제어 신호들(/CS, /CAS, /RAS, /WE, CKE)에 응답하여 반도체 메모리 장치(300)의 동작 모드를 선택하는 제 1 내지 제 5 모드 선택 신호(3P, 3N, 2N, 2P, 6R)를 발생한다. 동작 제어 신호들은 /CS(Chip Select), /CAS(Column Address Strobe), /RAS(Row Address Strobe), /WE(Write Enable), CKE(Clock Enable) 신호이다.

동작 제어 신호들(/CS, /CAS, /RAS, /WE, CKE)을 조합하여 반도체 메모리 장치(300)의 동작 상태를 나타내는 제 1 내지 제 5 모드 선택 신호(3P, 3N, 2N, 2P, 6R)를 발생하는 것은 본 발명의 기술분야에서 통상의 지식을 가진 자라면 알 수 있으므로 상세한 설명은 생략한다.

제어 신호 발생부(310)의 회로 구성은 도 2에 나타난 것과 동일하다. 따라서 제 1 내지 제 5 모드 선택 신호(3P, 3N, 2N, 2P, 6R)와 제 1 및 제 2 제어 신호(CTRLS1, CTRLS2)의 대응관계도 제 1 실시예에 따른 반도체 메모리 장치(100)와 동일하다.

지연 동기 루프(320)는 부분적으로 턴 온 또는 턴 오프시키기 위하여 복수개의 블록(330, 340)으로 나뉠 수 있다. 도 4를 참조하면, 본 발명에서 지연 동기 루프(400)는 입력 버퍼부(410), 제 1 지연부(420), 제 2 지연부(430), 출력부(440) 및 보상 피드백 부(450)로 나뉜다. 그러나 이러한 구성 요소로 나누는 방법에만 한정되는 것은 아니다.

입력 버퍼부(410)는 외부 클럭 신호(ECK)를 수신한다. 제 1 및 제 2 지연부(420, 430)는 입력 버퍼부(410)의 출력 신호의 위상을 소정의 내부 클럭 신호(ICK)의 위상과 비교하고, 비교 결과에 응답하여 입력 버퍼부(410)의 출력 신호를 지연시킨다. 제 1 및 제 2 지연부(420, 430)는 직렬 연결된다.

예를 들면, 제 1 지연부(410) 및 제 2 지연부(420)는 지연 동기 루프에 일반적으로 구비되는 가변 지연 라인(variable delay line)일 수 있다. 제 1 지연부(420)는 입력되는 외부 클럭 신호(ECK)를 큰 지연 시간 단위로 지연시키는 부분이고 제 2 지연부(430)는 입력되는 외부 클럭 신호(ECK)를 미세한 지연 시간 단위로 지연시키는 부분이다.

출력부(440)는 제 2 지연부(430)의 출력 신호를 수신하여 출력한다. 출력부(440)에서 출력되는 신호가 반도체 메모리 장치(300)의 다른 회로에서 기준 클럭으로서 사용된다. 보상 피드백 부(450)는 제 2 지연부(430)의 출력 신호가 출력부(440)에서 지연되는 시간과 동일한 시간만큼 제 2 지연부(430)의 출력 신호를 지연시켜 내부 클럭 신호(ICK)로서 출력한다. 그래야만 출력부(440)에서 출력되는 신호가 외부 클럭 신호(ECK)와 위상이 동기 될 수 있기 때문이다.

도 4를 참조하면, 지연 동기 루프(400)가 복수개의 블록들(410 ~ 450)로 나뉘고 제 1 제어 신호(CTRLS1) 및 제 2 제어 신호(CTRLS2)가 대응되는 블록들로 인가된다.

도 4에서, 제 1 제어 신호(CTRLS1)는 입력 버퍼부(410) 및 제 1 지연부(420)로 인가된다. 제 2 제어 신호(CTRLS2)는 제 2 지연부(430), 출력부(440) 및 보상 피드백 부(450)로 인가된다.

반도체 메모리 장치(300)가 프리 차지 모드, 프리 차지 파워 다운 모드 및 셀프 리프레시 모드 중 하나의 모드일 경우, 즉 제 3 내지 제 5 모드 선택 신호 중 하나의 신호라도 활성화되면 제 1 제어 신호(CTRLS1) 및 제 2 제어 신호(CTRLS2)가 모두 활성화된다.

제 1 제어 신호(CTRLS1) 및 제 2 제어 신호(CTRLS2)가 모두 활성화되면 입력 버퍼부(410), 제 1 및 제 2 지연부(420, 430), 출력부(440) 및 보상 피드백 부(450)는 모두 턴 오프 된다.

반도체 메모리 장치(300)가 액티브 스탠드 바이 모드일 경우, 즉 제 2 모드 선택 신호(3N)가 활성화되면 제 1 제어 신호(CTRLS1) 및 제 2 제어 신호(CTRLS2)가 모두 비활성화 된다.

제 1 제어 신호(CTRLS1) 및 제 2 제어 신호(CTRLS2)가 모두 비활성화 되면 입력 버퍼부(410), 제 1 및 제 2 지연부(420, 430), 출력부(440) 및 보상 피드백 부(450)는 모두 턴 온 된다.

반도체 메모리 장치(300)가 액티브 파워 다운 모드일 경우, 즉 제 1 모드 선택 신호(3P)가 활성화되면 제 2 제어 신호(CTRLS2)만 활성화된다.

제 2 제어 신호(CTRLS2)만 활성화되면, 제 2 제어 신호(CTRLS2)가 인가되는 제 2 지연부(430), 보상 피드백 부(450) 및 출력부(440)는 턴 오프 되고, 제 1 제어 신호(CTRLS1)가 인가되는 입력 버퍼부(410) 및 제 1 지연부(420)는 모두 턴 온 된다.

만일, 도 5와 같이 제 2 제어 신호(CTRLS2)가 제 1 지연부(520), 제 2 지연부(530), 보상 피드백 부(550) 및 출력부(540)로 인가된다면, 반도체 메모리 장치(300)가 액티브 파워 다운 모드일 경우 제 1 지연부(520), 제 2 지연부(530), 보상 피드백 부(550) 및 출력부(540)는 턴 오프 되고, 입력 버퍼부(510)는 턴 온 된다.

종래에는 반도체 메모리 장치가 액티브 스탠드 바이 모드이거나 액티브 파워 다운 모드일 경우를 구분하지 않고 지연 동기 루프를 모두 턴 온 시켰다. 그러나 본 발명을 이용하면 액티브 스탠드 바이 모드에서만 지연 동기 루프를 턴 온 시키고 액티브 파워 다운 모드에서는 지연 동기 루프의 일부분을 선택적으로 턴 오프 시킬 수 있다. 도 4 및 도 5에서 제 2 제어 신호(CTRLS2)의 인가에 의해서 지연 동기 루프(400, 500)의 일부가 턴 오프 되는 것은 단순한 예시일 뿐이며, 턴 오프 되는 부분은 반도체 메모리 장치(300)의 사용자가 선택적으로 결정할 수 있다.

이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따른 반도체 메모리 장치는 내부에 구비되는 지연 동기 루프를 부분적으로 턴 온 또는 턴 오프 시킴으로써 소비 전류를 절약할 수 있는 장점이 있다.

(57) 청구의 범위

청구항 1.

삭제

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

삭제

청구항 7.

삭제

청구항 8.

삭제

청구항 9.

지연 동기 루프 ;

반도체 메모리 장치의 동작을 제어하는 동작 제어 신호들에 응답하여 상기 반도체 메모리 장치의 동작 모드를 선택하는 제 1 내지 제 5 모드 선택 신호를 발생하는 모드 선택 신호 발생부 ; 및

제 1 내지 제 5 모드 선택 신호에 응답하여 상기 지연 동기 루프를 부분적으로 턴 온 또는 턴 오프 시키는 제 1 제어 신호 및 제 2 제어 신호를 발생하는 제어 신호 발생부를 구비하고,

상기 지연 동기 루프는,

외부 클럭 신호를 수신하는 입력 버퍼부 ;

상기 입력 버퍼부의 출력 신호의 위상을 소정의 내부 클럭 신호의 위상과 비교하고, 상기 비교 결과에 응답하여 상기 입력 버퍼부의 출력 신호를 지연시키는 직렬 연결되는 제 1 및 제 2 지연부 ;

상기 제 2 지연부의 출력 신호를 수신하여 출력하는 출력부 ; 및

상기 제 2 지연부의 출력 신호가 상기 출력부에서 지연되는 시간과 동일한 시간만큼 상기 제 2 지연부의 출력 신호를 지연시켜 상기 내부 클럭 신호로서 출력하는 보상 피드백 부를 구비하며,

상기 제 1 제어 신호 및 상기 제 2 제어 신호가 모두 활성화되면 상기 입력 버퍼부, 상기 제 1 및 제 2 지연부, 상기 출력부 및 상기 보상 피드백 부는 모두 턴 오프 되고,

상기 제 1 제어 신호 및 상기 제 2 제어 신호가 모두 비활성화 되면 상기 입력 버퍼부, 상기 제 1 및 제 2 지연부, 상기 출력부 및 상기 보상 피드백 부는 모두 턴 온 되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 10.

제 9항에 있어서, 상기 제 3 내지 제 5 모드 선택 신호들 중 하나라도 활성화되면,

상기 제 1 제어 신호 및 상기 제 2 제어 신호는 활성화되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 11.

제 9항에 있어서, 상기 제 1 모드 선택 신호가 활성화되면,

상기 제 2 제어 신호만이 활성화되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 12.

제 9항에 있어서, 상기 제 2 모드 선택 신호가 활성화되면,

상기 제 1 제어 신호 및 상기 제 2 제어 신호가 모두 비활성화 되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

삭제

청구항 16.

제 9항에 있어서, 상기 제 2 제어 신호만 활성화되면,

상기 제 2 지연부, 상기 보상 피드백 부 및 상기 출력부는 턴 오프 되고, 상기 입력 버퍼부 및 상기 제 1 지연부는 모두 턴 온 되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 17.

제 9항에 있어서, 상기 제 2 제어 신호만 활성화되면,

상기 제 1 지연부, 상기 제 2 지연부, 상기 보상 피드백 부 및 상기 출력부는 턴 오프 되고, 상기 입력 버퍼부는 턴 온 되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 18.

제 9항에 있어서, 상기 제어 신호 발생부는,

상기 제 3 내지 제 5 모드 선택 신호를 반전 논리합 하는 제 1 반전 논리합 수단 ;

상기 제 3 및 제 4 모드 선택 신호를 반전 논리합 하는 제 2 반전 논리합 수단 ;

상기 제 5 및 상기 제 1 모드 선택 신호를 반전 논리합 하는 제 3 반전 논리합 수단 ;

상기 제 2 반전 논리합 수단의 출력 및 상기 제 3 반전 논리합 수단의 출력을 반전 논리합 하는 제 4 반전 논리합 수단 ;

상기 제 1 반전 논리합 수단의 출력 및 상기 제 2 모드 선택 신호를 반전 논리합 하여 상기 제 1 제어 신호를 출력하는 제 5 반전 논리합 수단 ; 및

상기 제 4 반전 논리합 수단의 출력 및 상기 제 2 모드 선택 신호를 반전 논리합 하여 상기 제 2 제어 신호를 출력하는 제 6 반전 논리합 수단을 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 19.

제 9항에 있어서,

상기 제 1 모드 선택 신호가 활성화되면 상기 반도체 메모리 장치는 액티브 파워 다운(Active-Power-Down) 모드의 상태임을 의미하며,

상기 제 2 모드 선택 신호가 활성화되면 상기 반도체 메모리 장치는 액티브 스탠드 바이(Active-Standby) 모드의 상태임을 의미하며,

상기 제 3 모드 선택 신호가 활성화되면 상기 반도체 메모리 장치는 프리 차지(Precharge) 모드의 상태임을 의미하며,

상기 제 4 모드 선택 신호가 활성화되면 상기 반도체 메모리 장치는 프리 차지 파워 다운(Precharge-Power-Down) 모드의 상태임을 의미하며,

상기 제 5 모드 선택 신호가 활성화되면 상기 반도체 메모리 장치는 셀프 리프레시(Self-Refresh) 모드의 상태임을 의미하는 것을 특징으로 하는 반도체 메모리 장치.

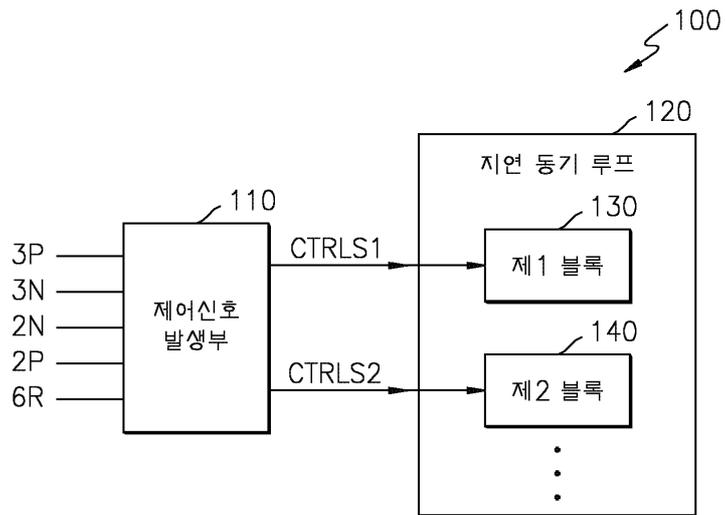
청구항 20.

제 9항에 있어서, 상기 동작 제어 신호들은,

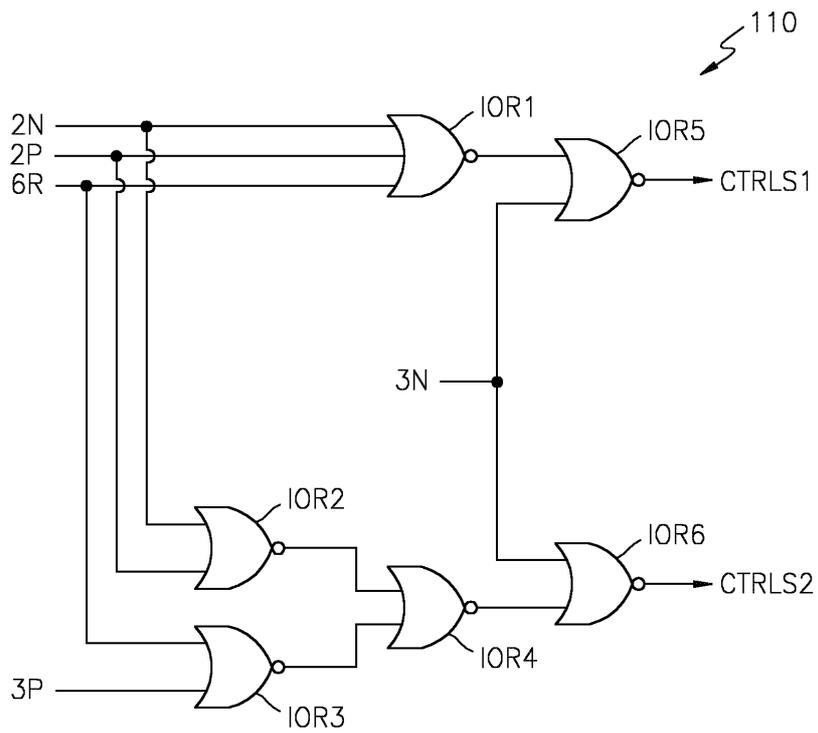
/CS(Chip Select), /CAS(Column Address Strobe), /RAS(Row Address Strobe), /WE(Write Enable), CKE(Clock Enable) 신호인 것을 특징으로 하는 반도체 메모리 장치.

도면

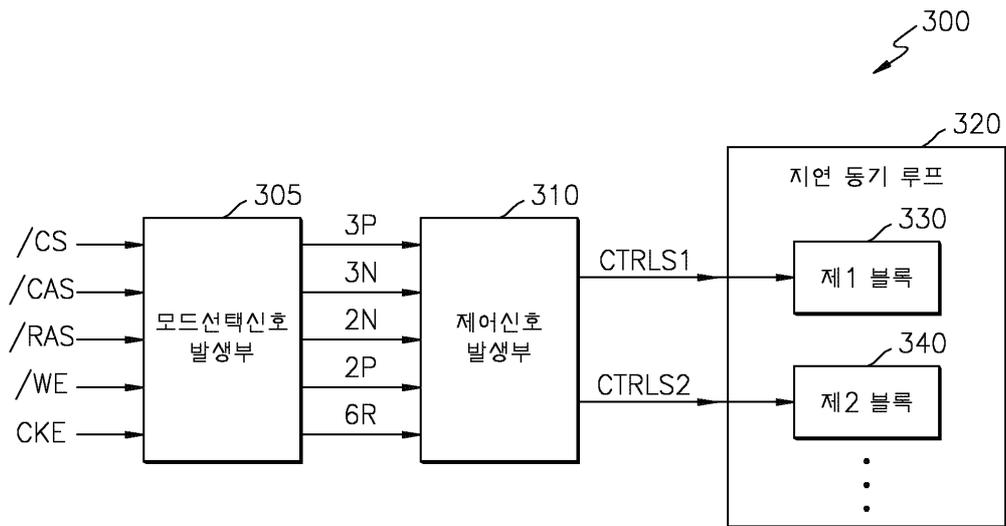
도면1



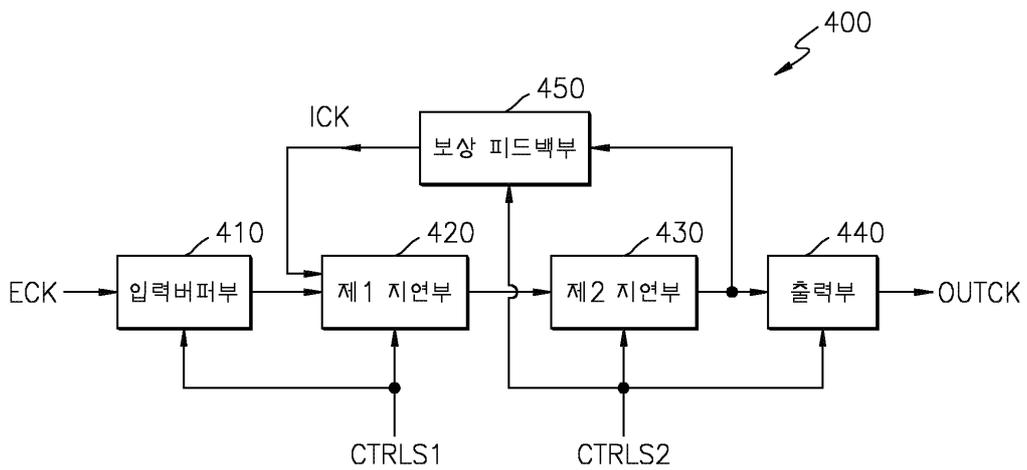
도면2



도면3



도면4



도면5

