



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년03월04일
(11) 등록번호 10-1019150
(24) 등록일자 2011년02월24일

(51) Int. Cl.

H05K 3/42 (2006.01) H05K 3/06 (2006.01)

(21) 출원번호 10-2008-0062649

(22) 출원일자 2008년06월30일

심사청구일자 2008년06월30일

(65) 공개번호 10-2010-0002672

(43) 공개일자 2010년01월07일

(56) 선행기술조사문헌

JP2003309356 A*

JP10173337 A*

KR100704920 B1

KR1020010050954 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전기주식회사

경기도 수원시 영통구 매탄동 314

(72) 발명자

강명삼

경기도 화성시 반송동 74번지 우림필유타운하우스 115동303호

(74) 대리인

특허법인이지

전체 청구항 수 : 총 8 항

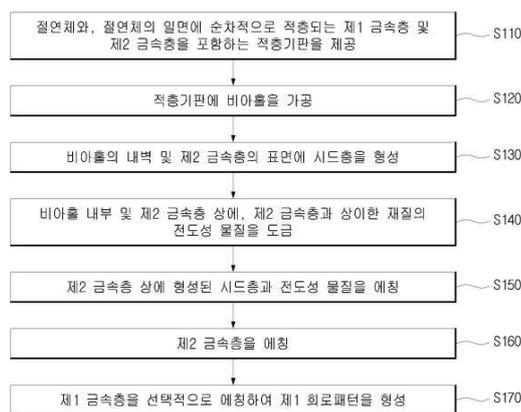
심사관 : 김중희

(54) 비아-온-패드 구조를 갖는 인쇄회로기판 제조방법

(57) 요약

비아-온-패드 구조를 갖는 인쇄회로기판 제조방법이 개시된다. 상기 제조방법은, 절연체와, 상기 절연체의 양면에 각각 순차적으로 적층되는 제1 금속층 및 제2 금속층을 포함하는 적층기판을 제공하는 단계; 상기 적층기판의 상면으로부터 비아홀을 가공하는 단계; 상기 절연체의 양면에 적층된 제2 금속층을 모두 에칭하는 단계; 상기 비아홀의 내벽 및 상기 절연층의 양면에 적층된 제1 금속층 모두의 표면에 시드층을 형성하는 단계; 상기 제1 금속층 상에 패터닝 된 도금레지스트를 형성하는 단계; 상기 비아홀 내부 및 상기 시드층 상에, 전도성 물질을 도금하는 단계; 상기 도금레지스트를 모두 제거하는 단계; 및 플래시 에칭을 통해 상기 시드층과 상기 제1 금속층의 일부를 에칭하는 단계를 포함한다.

대표도 - 도8



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

절연체와, 상기 절연체의 양면에 각각 순차적으로 적층되는 제1 금속층 및 제2 금속층을 포함하는 적층기판을 제공하는 단계;

상기 적층기판의 상면으로부터 비아홀을 가공하는 단계; - 이 때, 상기 비아홀은 상기 절연체의 하면에 적층된 제1 금속층 및 제2 금속층에 의해 차폐됨 -

상기 절연체의 양면에 적층된 제2 금속층을 모두 에칭하는 단계;

상기 비아홀의 내벽 및 상기 절연체의 양면에 적층된 제1 금속층 모두의 표면에 시드층을 형성하는 단계;

상기 제1 금속층 상에 패터닝 된 도금레지스트를 형성하는 단계; - 이 때, 상기 절연체의 상면에 적층된 제1 금속층 상에는 비아랜드에 상응하도록 패터닝된 도금레지스트가 형성되고, 상기 절연체의 하면에 적층된 제1 금속층 상에는 패드에 상응하도록 패터닝된 도금레지스트가 형성되며, 상기 패드는 상기 제1 금속층 중 상기 비아홀을 차폐한 부분 상에 형성됨 -

상기 비아홀 내부 및 상기 시드층 상에, 전도성 물질을 도금하는 단계; - 이 때, 상기 비아홀 내부에는 비아가 형성되며, 상기 절연체의 하면에 적층된 제1 금속층 중 상기 비아홀을 차폐한 부분 상에는 상기 비아와 직접 연결되는 패드가 형성되어 비아-온-패드(VOP, via on pad) 구조가 구현됨 -

상기 도금레지스트를 모두 제거하는 단계; 및

플래시 에칭을 통해 상기 시드층과 상기 제1 금속층의 일부를 에칭하는 단계를 포함하는, 비아-온-패드 구조를 갖는 인쇄회로기판 제조방법.

청구항 7

제6항에 있어서,

상기 제1 금속층과 상기 전도성 물질은 구리(Cu)를 포함하는 물질로 이루어지고,

상기 제2 금속층은 니켈(Ni), 알루미늄(Al), 크롬(Cr) 중 적어도 어느 하나를 포함하는 물질로 이루어지는 것을 특징으로 하는, 비아-온-패드 구조를 갖는 인쇄회로기판 제조방법.

청구항 8

제6항에 있어서,

상기 적층기판의 타면에는 표면에 제2 회로패턴이 형성된 회로기판이 적층되는 것을 특징으로 하는, 비아-온-패드 구조를 갖는 인쇄회로기판 제조방법.

청구항 9

제6항에 있어서,

상기 도금하는 단계는,

상기 비아홀 내부에 상기 전도성 물질이 충전(充填)되도록 수행되는 것을 특징으로 하는, 비아-온-패드 구조를 갖는 인쇄회로기판 제조방법.

청구항 10

절연체와, 상기 절연체의 양면에 각각 순차적으로 적층되는 제1 금속층 및 제2 금속층을 포함하는 적층기판을 제공하는 단계;

상기 적층기판의 상면으로부터 비아홀을 가공하는 단계; - 이 때, 상기 비아홀은 상기 절연체의 하면에 적층된 제1 금속층 및 제2 금속층에 의해 차폐됨 -

상기 비아홀의 내벽 및 상기 절연체의 상하측에 위치한 제2 금속층 모두의 표면에 시드층을 형성하는 단계;

상기 제2 금속층 상에 패터닝 된 도금레지스트를 형성하는 단계; - 이 때, 상기 절연체의 상측에 위치한 제2 금속층 상에는 비아랜드에 상응하도록 패터닝된 도금레지스트가 형성되고, 상기 절연체의 하측에 위치한 제2 금속층 상에는 패드에 상응하도록 패터닝된 도금레지스트가 형성되며, 상기 패드는 상기 제2 금속층 중 상기 비아홀을 차폐한 부분 상에 형성됨 -

상기 비아홀 내부 및 상기 시드층 상에, 전도성 물질을 도금하는 단계; - 이 때, 상기 비아홀 내부에는 비아가 형성되며, 상기 절연체의 하측에 위치한 제2 금속층 중 상기 비아홀을 차폐한 부분 상에는 상기 비아와 직접 연결되는 패드가 형성되어 비아-온-패드(VOP, via on pad) 구조가 구현됨 -

상기 도금레지스트를 모두 제거하는 단계;

플래시 에칭을 통해 상기 시드층의 일부를 에칭하는 단계;

상기 제2 금속층의 일부를 에칭하는 단계; 및

상기 제1 금속층의 일부를 에칭하는 단계를 포함하는, 비아-온-패드 구조를 갖는 인쇄회로기판 제조방법.

청구항 11

제10항에 있어서,

상기 제1 금속층과 상기 전도성 물질은 구리(Cu)를 포함하는 물질로 이루어지고,

상기 제2 금속층은 니켈(Ni), 알루미늄(Al), 크롬(Cr) 중 적어도 어느 하나를 포함하는 물질로 이루어지는 것을 특징으로 하는, 비아-온-패드 구조를 갖는 인쇄회로기판 제조방법.

청구항 12

제10항에 있어서,

상기 적층기판의 타면에는 표면에 제2 회로패턴이 형성된 회로기판이 적층되는 것을 특징으로 하는, 비아-온-패드 구조를 갖는 인쇄회로기판 제조방법.

청구항 13

제10항에 있어서,

상기 도금하는 단계는,

상기 비아홀 내부에 상기 전도성 물질이 충전(充填)되도록 수행되는 것을 특징으로 하는, 비아-온-패드 구조를 갖는 인쇄회로기판 제조방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 인쇄회로기판 제조방법에 관한 것으로서, 보다 상세하게는 비아-온-패드 구조를 갖는 인쇄회로기판 제조방법에 관한 것이다.

배경 기술

[0002] 현재 경성(rigid) 기판을 제작함에 있어서, 코어재료로 동박적층판(CCL, Copper Clad Laminate)이 일반적으로 사용되고 있으며, 이러한 동박적층판 위에 층을 쌓아 나가는 방법으로 다층기판이 제작되고 있다. 여기서, 동박적층판이란, 도 1에 도시된 바와 같이, 유리섬유 등이 보강된 절연체(1)의 양면에 동박(2)이 형성된 형태의 재료를 의미한다.

[0003] 최근 들어, 가볍고, 얇고, 많은 기능을 구현하는 휴대용 전자제품에 대한 수요가 증가하면서, 얇으면서 고밀도를 구현하는 인쇄회로기판에 대한 요구 역시 증가하고 있는 실정이다.

[0004] 이와 같은 점을 고려하여, 고밀도 회로를 구현하기 위한 방법으로 시드층을 이용한 도금법이 널리 사용되고 있다.

[0005] 도 1 내지 도 7은 종래기술에 따른 인쇄회로기판 제조방법을 나타내는 흐름도이며, 도 1 내지 도 7을 참조하면, 절연체(1), 동박(2), 비아홀(3), 시드층(4), 도금레지스트(5), 비아(6), 패턴(7, 8)이 도시되어 있다. 이러한 종래기술에 따른 인쇄회로기판 제조방법에 대해 간략히 설명하면 다음과 같다.

[0006] 우선, 도 1에 도시된 바와 같이 절연체(1)의 양면에 동박(2)이 형성된 형태의 동박적층판을 준비한 다음, 도 2에 도시된 바와 같이 비아홀(3)을 가공한다. 비아홀(3)을 가공하는 방법으로는 기계적인 드릴 또는 레이저 드릴을 이용한 가공방법 등이 이용된다.

[0007] 그리고 나서, 도 3에 도시된 바와 같이, 비아홀(3)의 내벽 및 동박(2)의 표면에 시드층(4)을 형성한 다음, 도 4에 도시된 바와 같이 도금레지스트(5)를 형성하고, 도 5에 도시된 바와 같이 전해도금을 수행한다.

[0008] 이 후, 도 6에 도시된 바와 같이 도금레지스트(5)를 제거하고, 도 7에 도시된 바와 같이 플래시에칭을 통하여 시드층(4)의 일부를 제거함으로써, 소정의 비아(6) 및 패턴(7, 8)이 형성된 인쇄회로기판을 제조할 수 있게 된다.

[0009] 그런데, 이러한 종래기술에 따르면, 비아(6) 및 패턴(7, 8) 형성을 위한 도금 시, 도금되는 물질의 두께 차이가 발생하게 되는 문제가 있다. 이러한 도금 물질의 두께 차이는, 도 2에 도시된 바와 같이 비아홀(3)을 가공하는 과정에서 아래쪽 동박(2)이 손상되는 경우 더욱 크게 나타나게 된다.

[0010] 또한, 시드층(4) 제거 시, 시드층(4)이 잔류하지 않도록 하기 위해 과도한 에칭을 수행하게 되는 경우가 있어, 패턴의 두께 편차는 더욱 심하게 발생할 염려가 있게 된다. 이로 인해, 수요자가 요구하는 두께의 패턴을 형성하는 데에 어려움이 발생하게 된다.

발명의 내용

해결 하고자하는 과제

[0011] 본 발명은 신뢰성 있는 고밀도 인쇄회로기판을 제조하는 방법을 제공하는 것이다.

과제 해결수단

[0012] 본 발명의 일 측면에 따르면, 절연체와, 절연체의 일면에 순차적으로 적층되는 제1 금속층 및 제2 금속층을 포함하는 적층기판을 제공하는 단계; 적층기판에 비아홀을 가공하는 단계; 비아홀의 내벽 및 제2 금속층의 표면에 시드층을 형성하는 단계; 비아홀 내부 및 제2 금속층 상에, 제2 금속층과 상이한 재질의 전도성 물질을 도금하는 단계; 제2 금속층 상에 형성된 시드층과 전도성 물질을 에칭하는 단계; 제2 금속층을 에칭하는 단계; 및 제1

금속층을 선택적으로 에칭하여 제1 회로패턴을 형성하는 단계를 포함하는 인쇄회로기판 제조방법을 제공할 수 있다.

[0013] 본 발명의 다른 측면에 따르면, 절연체와, 절연체의 일면에 순차적으로 적층되는 제1 금속층 및 제2 금속층을 포함하는 적층기판을 제공하는 단계; 적층기판에 비아홀을 가공하는 단계; 제2 금속층을 에칭하는 단계; 비아홀의 내벽 및 제1 금속층의 표면에 시드층을 형성하는 단계; 제1 금속층 상에 패터닝 된 도금레지스트를 형성하는 단계; 비아홀 내부 및 시드층 상에, 전도성 물질을 도금하는 단계; 도금레지스트를 제거하는 단계; 및 시드층과 제1 금속층의 일부를 에칭하는 단계를 포함하는 인쇄회로기판 제조방법을 제공할 수 있다.

[0014] 또한, 본 발명의 또 다른 측면에 따르면, 절연체와, 절연체의 일면에 순차적으로 적층되는 제1 금속층 및 제2 금속층을 포함하는 적층기판을 제공하는 단계; 적층기판에 비아홀을 가공하는 단계; 비아홀의 내벽 및 제2 금속층의 표면에 시드층을 형성하는 단계; 제2 금속층 상에 패터닝 된 도금레지스트를 형성하는 단계; 비아홀 내부 및 시드층 상에, 전도성 물질을 도금하는 단계; 도금레지스트를 제거하는 단계; 시드층의 일부를 에칭하는 단계; 제2 금속층의 일부를 에칭하는 단계; 및 제1 금속층의 일부를 에칭하는 단계를 포함하는 인쇄회로기판 제조방법을 제공할 수 있다.

[0015] 상기한 본 발명의 여러 측면에 따른 인쇄회로기판 제조방법들은 다음과 같은 특징들을 가질 수 있다.

[0016] 예를 들면, 제1 금속층과 전도성 물질은 구리(Cu)를 포함하는 물질로 이루어지고, 제2 금속층은 니켈(Ni), 알루미늄(Al), 크롬(Cr) 중 적어도 어느 하나를 포함하는 물질로 이루어질 수 있다.

[0017] 한편, 적층기판은 절연체에 적층된 제1 금속층에, 제2 금속층에 상응하는 물질을 도금함으로써 제조될 수 있으며, 적층기판의 타면에는 표면에 제2 회로패턴이 형성된 회로기판이 적층될 수도 있다.

[0018] 또한, 도금하는 단계는, 비아홀 내부에 전도성 물질이 충전(充填)되도록 수행될 수 있다.

[0019]

효 과

[0020] 본 발명의 바람직한 실시예에 따르면, 이원화된 금속층을 구비한 적층기판을 이용하고, 에칭공정을 이원화 함으로써, 신뢰성 있는 고밀도 인쇄회로기판을 제조할 수 있다.

발명의 실시를 위한 구체적인 내용

[0021] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다.

[0022] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0023] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0024] 이하, 본 발명에 따른 인쇄회로기판 제조방법의 바람직한 실시예를 첨부도면을 참조하여 상세히 설명하기로 하며, 첨부 도면을 참조하여 설명함에 있어, 동일하거나 대응하는 구성 요소는 동일한 도면번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0025] 도 8은 본 발명의 제1 실시예에 따른 인쇄회로기판 제조방법을 나타내는 순서도이고, 도 9 내지 도 21은 본 발명의 제1 실시예에 따른 인쇄회로기판 제조방법을 나타내는 흐름도이다. 도 9 내지 도 21을 참조하면, 절연체(11), 제1 금속층(12), 패턴(12a, 12b), 제2 금속층(13), 비아홀(15a), 비아(15), 시드층(16), 도금층(17), 에칭레지스트(18), 회로기판(20), 패턴(21, 23), 비아(22)가 도시되어 있다.

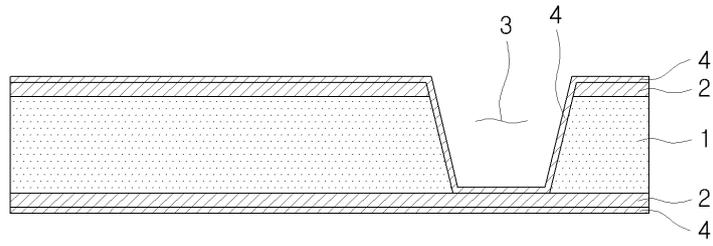
[0026] 우선, 도 10에 도시된 바와 같이, 절연체(11)와, 절연체(11)에 순차적으로 적층되는 제1 금속층(12) 및 제2 금

속층(13)을 포함하는 적층기판을 제공한다(S210). 즉, 금속층이 이원화 되어 있는 형태의 적층기판을 준비하는 것이다. 이를 위해, 도 9에 도시된 바와 같이 절연체(11)에 제1 금속층(12)이 부착되어 있는 형태의 자재에 전해도금을 수행함으로써 제2 금속층(13)을 형성하는 방법을 이용할 수 있다. 이 밖에, 필름 타입의 제2 금속층을 제1 금속층에 부착하는 방법을 이용할 수도 있음은 물론이다.

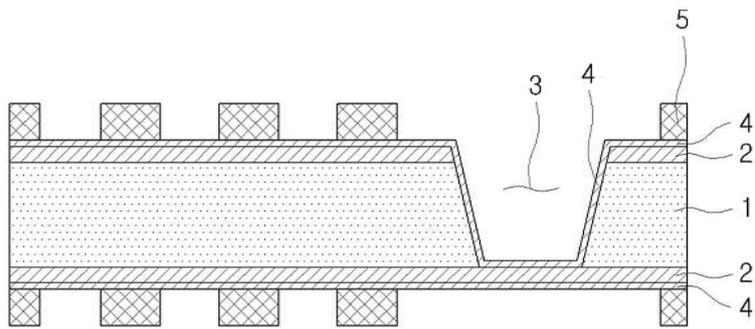
- [0027] 한편, 제1 금속층(12)과 제2 금속층(13)은 서로 다른 재질로 이루어진다. 예를 들면, 제1 금속층(12)은 구리를 주된 재질로 하여 이루어지며, 제2 금속층(13)은 니켈(Ni), 알루미늄(Al), 크롬(Cr) 중 적어도 어느 하나를 주된 재질로 하여(예를 들면, 숄폰산 니켈) 이루어질 수 있다.
- [0028] 이렇게 이원화된 금속층을 갖는 적층기판에, 도 11에 도시된 바와 같이, 비아홀(15a)을 가공한다(S120). 비아홀(15a)을 가공하기 위하여, CO₂ 레이저와 같은 레이저 드릴을 이용할 수도 있고, 경우에 따라 기계적인 드릴을 이용할 수도 있다.
- [0029] 그리고 나서, 도 12에 도시된 바와 같이, 비아홀(15a)의 내벽 및 제2 금속층(13)의 표면에 시드층(16)을 형성한 다음(S130), 도 13에 도시된 바와 같이, 비아홀(15a) 내부 및 제2 금속층(13) 상에, 제2 금속층(13)과 상이한 재질의 전도성 물질을 도금한다(S140).
- [0030] 시드층(16)을 형성하기 위하여, 화학동도금과 같은 무전해 도금을 이용할 수 있다. 상술한 바와 같이 제2 금속층(13)이 숄폰산 니켈로 이루어지는 경우, 시드층(16)과 전도성 물질로는 제1 금속층(12)과 같이 구리를 이용할 수 있다.
- [0031] 그 다음으로, 도 14에 도시된 바와 같이, 제2 금속층(13) 상에 형성된 시드층(16)과 전도성 물질, 즉 도금층(17)을 에칭한다(S150). 니켈 재질의 제2 금속층(13)이 아래에 배치된 상태에서, 구리 재질의 도금층(17) 및 시드층(16)에 대해 에칭을 수행하게 되면, 해당 에칭액이 니켈(Ni), 알루미늄(Al), 크롬(Cr) 등과 같은 재질의 제2 금속층(13)에는 영향을 주지 못하므로, 제2 금속층(13)은 에칭장벽(etch-stop)으로서의 기능을 수행할 수 있게 된다.
- [0032] 그 결과, 제2 금속층(13)의 아래에 위치한 제1 금속층(12)은 에칭액으로부터 아무런 영향을 받지 않을 수 있어, 도 14에 도시된 바와 같이, 패턴은 아직 형성되지 않은 상태에서 비아(15)가 먼저 형성되는 구조를 구현할 수 있게 된다.
- [0033] 그리고 나서, 도 15에 도시된 바와 같이, 제2 금속층(13)을 에칭한다(S160). 제1 금속층(12)은 제2 금속층(13)과 서로 다른 재질로 이루어지므로, 에칭액을 도포하여 제2 금속층(13)을 제거하는 과정에서, 제1 금속층(12)은 해당 에칭액으로부터 영향을 받지 않을 수 있다.
- [0034] 이 후, 도 16에 도시된 바와 같이, 제1 금속층(12) 상에 패터닝 된 에칭레지스트(18)를 형성하고 제1 금속층(12)을 선택적으로 에칭함으로써 제1 회로패턴(12a, 12b)을 형성할 수 있게 된다(S170).
- [0035] 이상에서 설명한 바와 같이, 본 실시예는 도금을 이용하여 비아(15)를 먼저 형성하고, 이후 에칭을 이용하여 패턴(12a, 12b)을 형성함으로써, 균일한 두께의 패턴을 갖는 고밀도 인쇄회로기판(20)을 제조할 수 있게 된다.
- [0036] 한편, 도 9 내지 도 17에서는 2층 구조의 인쇄회로기판(20)을 제조하는 방법을 제시하였으나, 이 밖에도 도 18 내지 도 21에 도시된 바와 같은 다층 인쇄회로기판을 제조할 수도 있다.
- [0037] 즉, 도 19에 도시된 바와 같이, 절연체(11)의 하면에는 소정의 비아(22)와 패턴(21, 23)이 형성된 회로기판(20)이 적층되고, 절연체(11)의 상면에는 상술한 바와 같은 제1 금속층(12)과 제2 금속층(13)이 순차적으로 적층되는 구조를 이용하여 인쇄회로기판을 제조할 수도 있는 것이다.
- [0038] 이러한 구조를 구현하기 위하여, 도 18에 도시된 바와 같이, 회로기판(20)의 상면에 절연체(11)와 제1 금속층(12)을 순차/일괄 적층한 후, 제1 금속층(12) 상에 전해도금을 수행함으로써 제2 금속층(13)을 형성하는 방법을 이용할 수도 있다. 이 밖에, 필름 타입의 제2 금속층을 제1 금속층에 부착하는 방법을 이용할 수도 있음은 물론이다.
- [0039] 이 후의 과정은 상술한 바와 동일하다. 즉, 도 20에 도시된 바와 같이 비아홀(15a)을 가공한 다음, 상술한 S130 내지 S170의 단계를 수행함으로써, 도 21에 도시된 바와 같은 구조의 인쇄회로기판을 제조할 수 있게 된다.
- [0040] 다음으로, 본 발명의 제2 실시예에 따른 인쇄회로기판 제조방법에 대해 설명하도록 한다.

- [0041] 도 22는 본 발명의 제2 실시예에 따른 인쇄회로기판 제조방법을 나타내는 순서도이고, 도 23 내지 도 29는 본 발명의 제2 실시예에 따른 인쇄회로기판 제조방법을 나타내는 흐름도이다. 도 23 내지 도 29를 참조하면, 절연체(31), 제1 금속층(32), 제2 금속층(33), 비아(35), 비아홀(35a), 시드층(36), 도금레지스트(37), 패턴(38), 패드(39)가 도시되어 있다.
- [0042] 우선, 도 23에 도시된 바와 같이, 절연체(31)와, 절연체(31)의 일면에 순차적으로 적층되는 제1 금속층(32) 및 제2 금속층(33)을 포함하는 적층기판을 준비한 다음(S210), CO₂ 레이저를 이용하여 비아홀(35a)을 가공한다(220). 본 실시예에 따르면, 하부의 제1 금속층(32) 아래에 제2 금속층(33)이 형성됨으로써, 제1 금속층(32)을 보강하는 구조를 가지므로, CO₂ 레이저를 이용하여 비아홀(35a)을 가공하는 과정에서, 하부의 제1 금속층(32)이 손상되는 현상을 최소화할 수 있게 된다.
- [0043] 이 후, 도 24에 도시된 바와 같이, 제2 금속층(33)을 제거한다(S230). 제2 금속층(33)을 제거하는 방법으로는 화학적인 에칭을 이용할 수 있다. 상술한 바와 같이 제2 금속층(33)과 제1 금속층(32)은 서로 상이한 재질로 이루어지므로, 제2 금속층(33)을 제거하기 위한 에칭액을 이용하여 제2 금속층(33)을 제거하는 과정에서 제1 금속층(33)은 손상을 입지 않을 수 있게 된다.
- [0044] 그 다음, 도 25에 도시된 바와 같이 제1 금속층(32)의 표면 및 비아홀(35a)의 내벽에 시드층(36)을 형성하고(S240), 도 26에 도시된 바와 같이 형성하고자 하는 패턴에 상응하도록 패터닝 된 도금레지스트(37)를 형성한 다음(S250), 도 27에 도시된 바와 같이 전도성 물질을 도금함으로써, 비아랜드와 같은 패턴(38) 및 패드(39)를 형성한다(S260).
- [0045] 이 후, 도 28에 도시된 바와 같이 도금레지스트(37)를 제거하고(S270), 도 29에 도시된 바와 같이 플래시에칭을 통하여 시드층(36) 및 제1 금속층(32)의 일부를 제거하게 되면(S280), 패드(39)와 비아(35)가 직접 연결되는 VOP(via on pad) 구조를 갖는 인쇄회로기판을 완성할 수 있게 된다.
- [0046] 다음으로, 본 발명의 제3 실시예에 따른 인쇄회로기판 제조방법에 대해 설명하도록 한다. 도 30은 본 발명의 제3 실시예에 따른 인쇄회로기판 제조방법을 나타내는 순서도이고, 도 31 내지 도 38은 본 발명의 제3 실시예에 따른 인쇄회로기판 제조방법을 나타내는 흐름도이다. 도 31 내지 도 38을 참조하면, 절연체(31), 제1 금속층(32), 제2 금속층(33), 비아(35), 비아홀(35a), 시드층(36), 도금레지스트(37), 패턴(38), 패드(39)가 도시되어 있다.
- [0047] 앞서 설명한 제2 실시예에서는 CO₂ 레이저를 이용한 비아홀(35a) 가공 후, 제2 금속층(33)을 제거한 다음 시드층(36)을 형성하는 방법을 제시하였으나, 본 실시예에서는 제2 금속층(33)을 제거하지 않고 시드층(36)을 형성하는 방법을 제시한다.
- [0048] 즉, 도 31에 도시된 바와 같이 절연체(31)와, 절연체(31)의 일면에 순차적으로 적층되는 제1 금속층(32) 및 제2 금속층(33)을 포함하는 적층기판에 비아홀(35a)을 가공한 다음(S310, S320), 도 32에 도시된 바와 같이 제2 금속층(33)의 표면 및 비아홀(35a)의 내벽에 시드층(36)을 형성할 수 있는 것이다(S330).
- [0049] 그리고 나서, 도 33에 도시된 바와 같이 제2 금속층(33) 상에 도금레지스트(37)를 형성하고(S340), 도 34에 도시된 바와 같이 전도성 물질을 도금한 다음(S350), 도 35에 도시된 바와 같이 도금레지스트(37)를 제거한다(S360).
- [0050] 다만, 이 경우, 제2 금속층(33)이 잔존하므로, 도 36에 도시된 바와 같이 플래시에칭을 통해 시드층(36)을 제거한 후(S370), 도 37에 도시된 바와 같이 제2 금속층(33)의 일부를 제거한 다음(S380), 도 38에 도시된 바와 같이 금속층(34)의 일부를 마저 제거하는 방법을 통해 VOP 구조를 갖는 인쇄회로기판을 제조할 수 있다(S390).
- [0051] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.
- [0052] 전술한 실시예 외의 많은 실시예들이 본 발명의 특허청구범위 내에 존재한다.

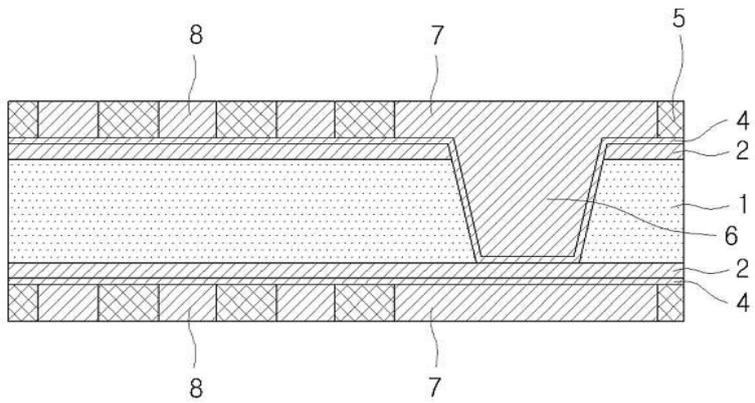
도면3



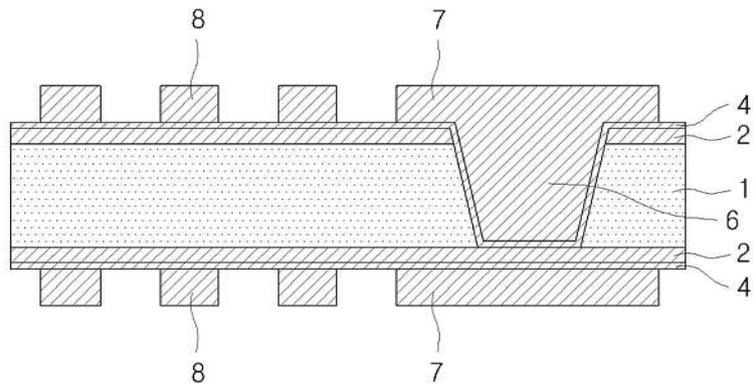
도면4



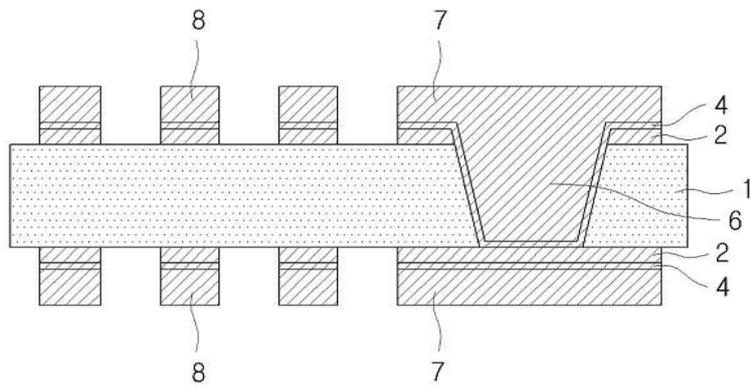
도면5



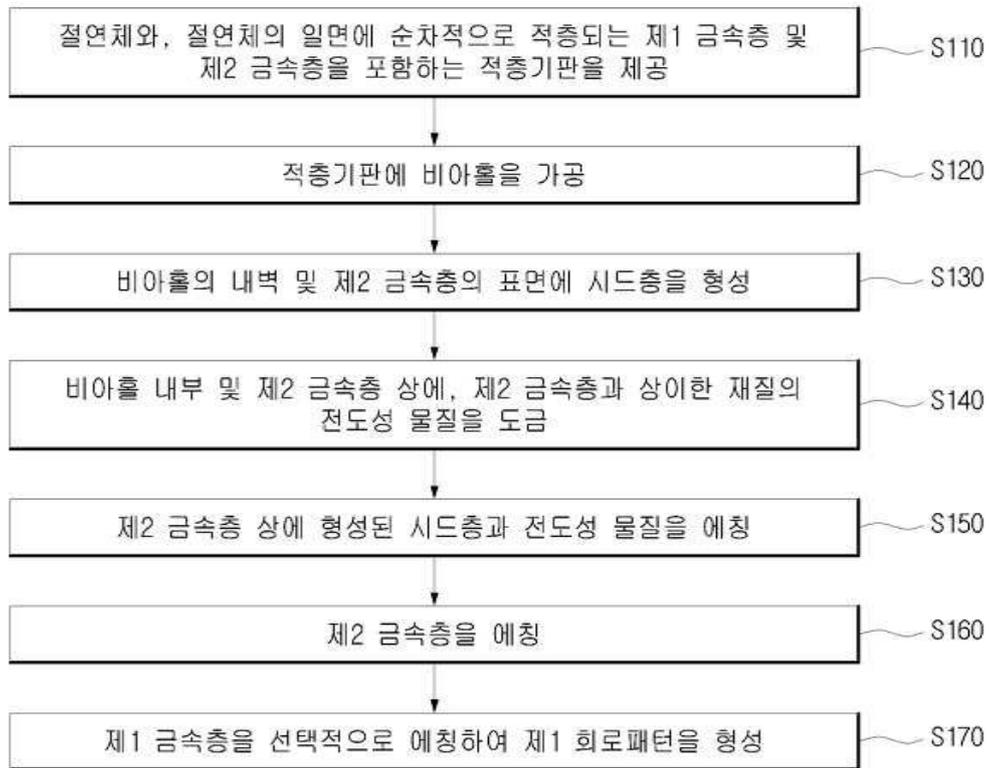
도면6



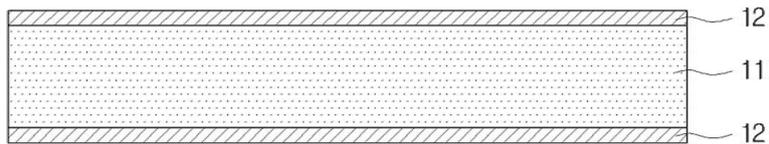
도면7



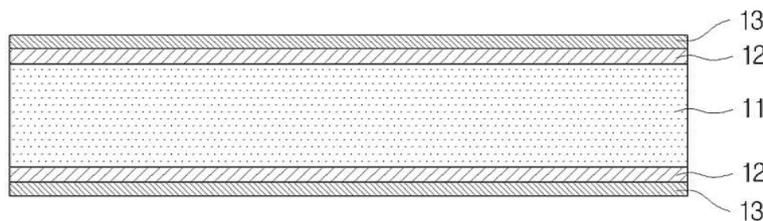
도면8



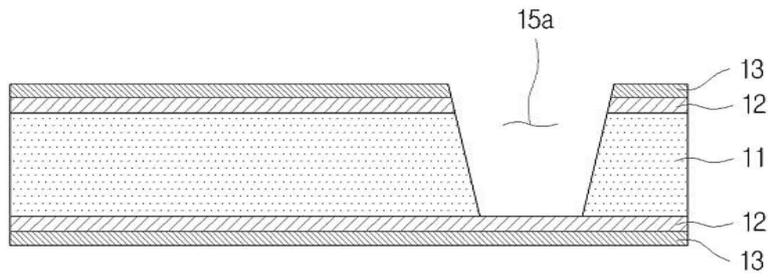
도면9



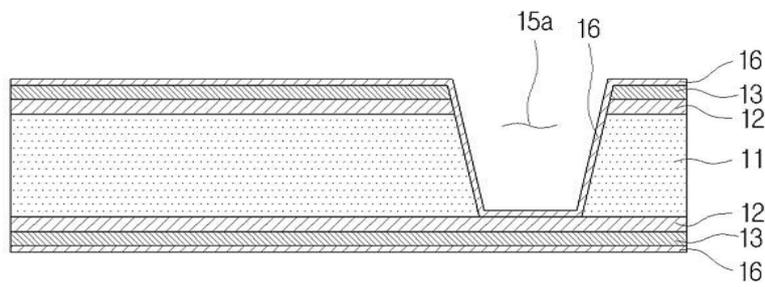
도면10



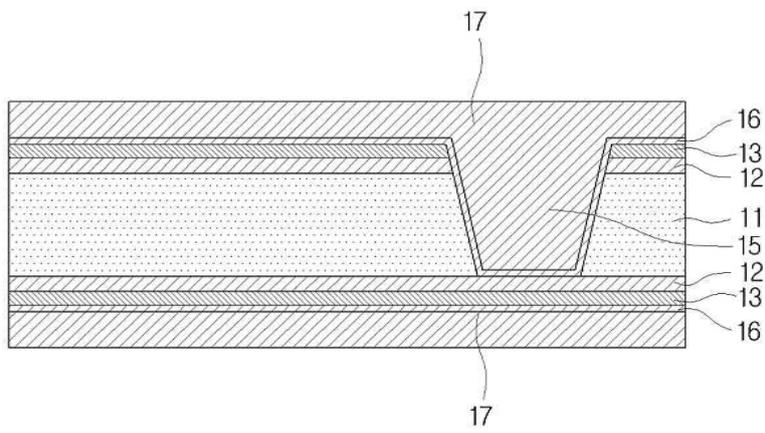
도면11



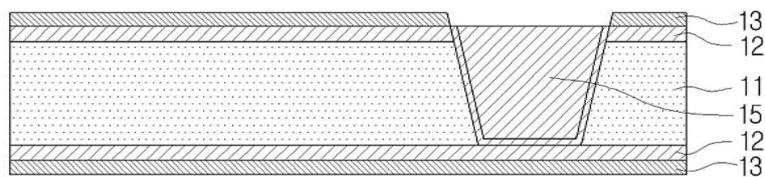
도면12



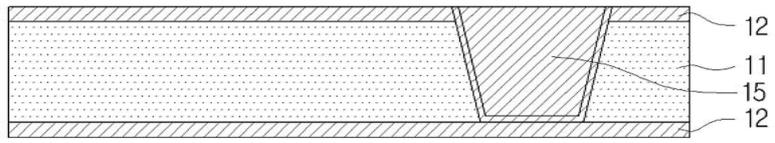
도면13



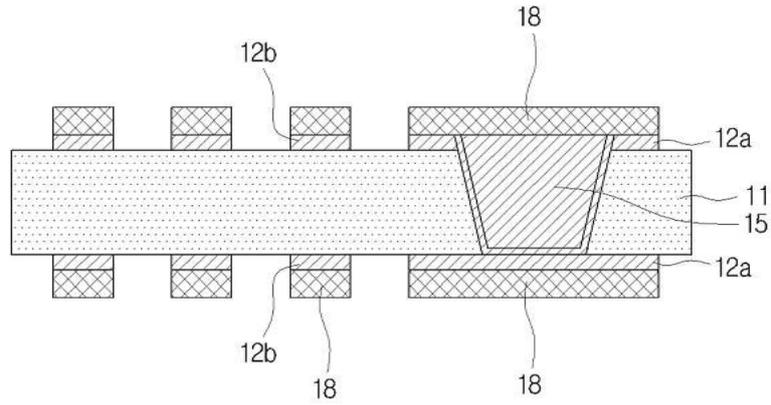
도면14



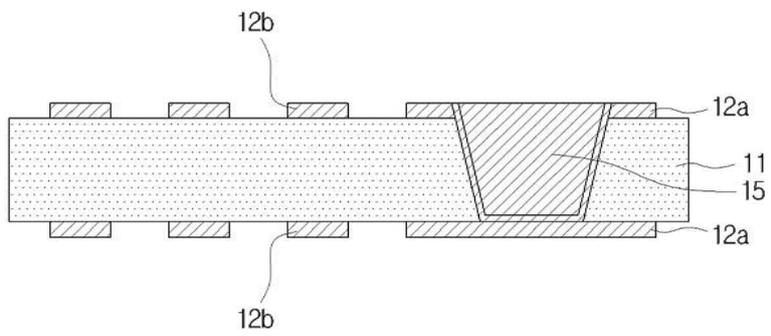
도면15



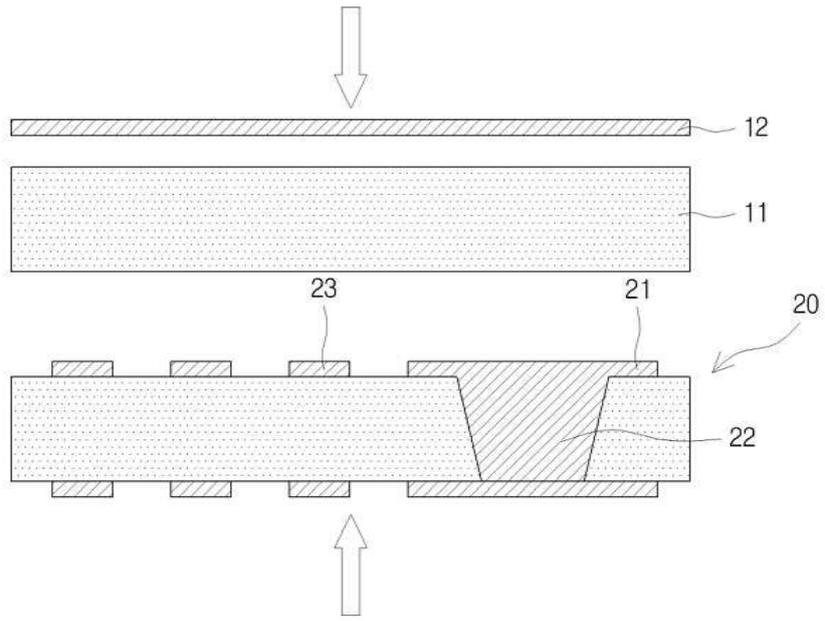
도면16



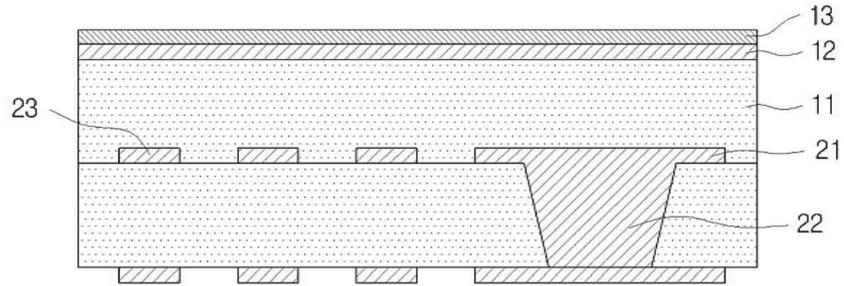
도면17



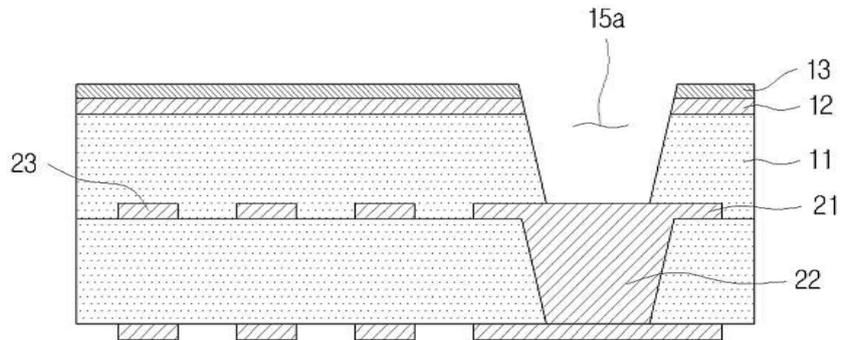
도면18



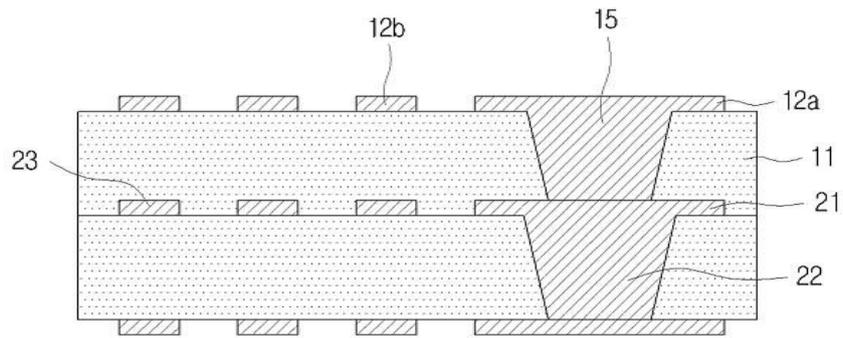
도면19



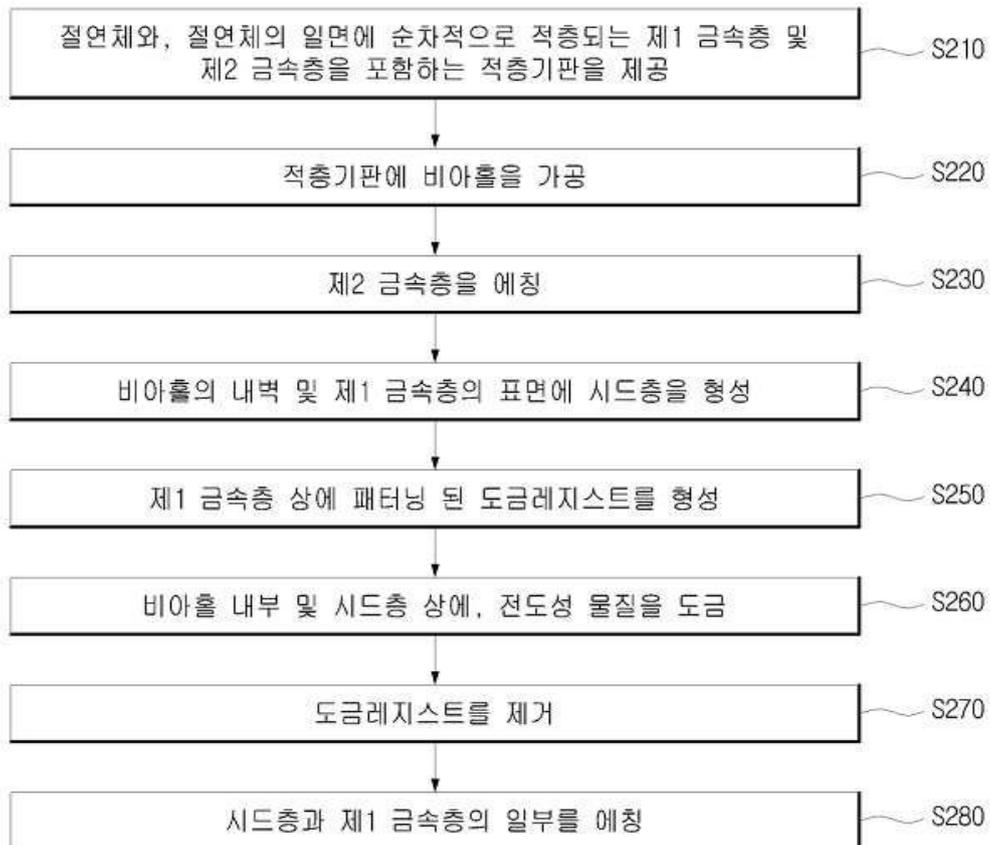
도면20



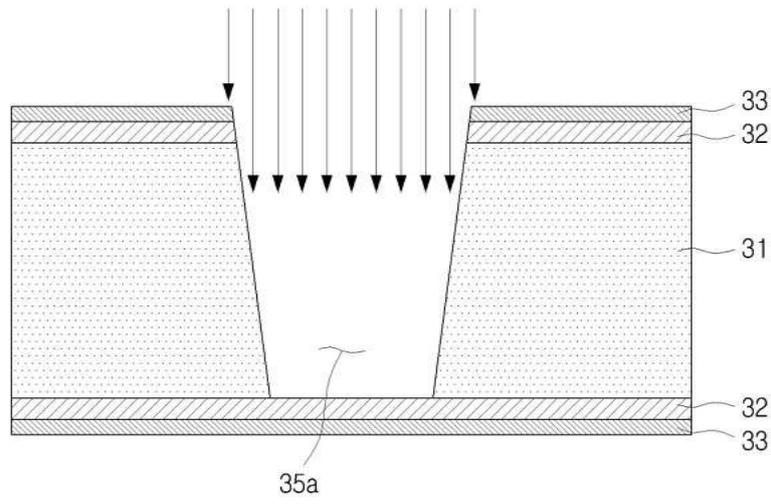
도면21



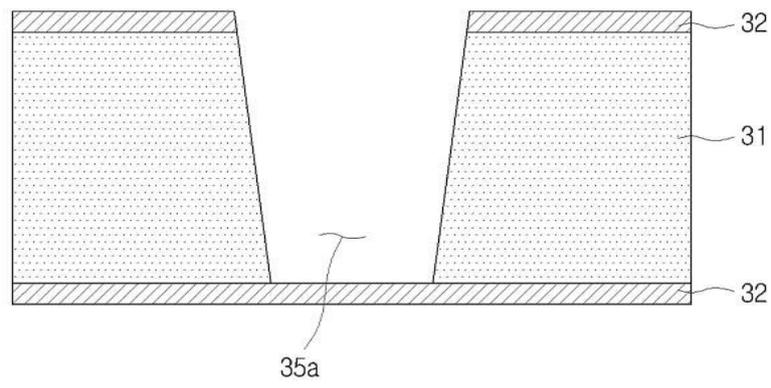
도면22



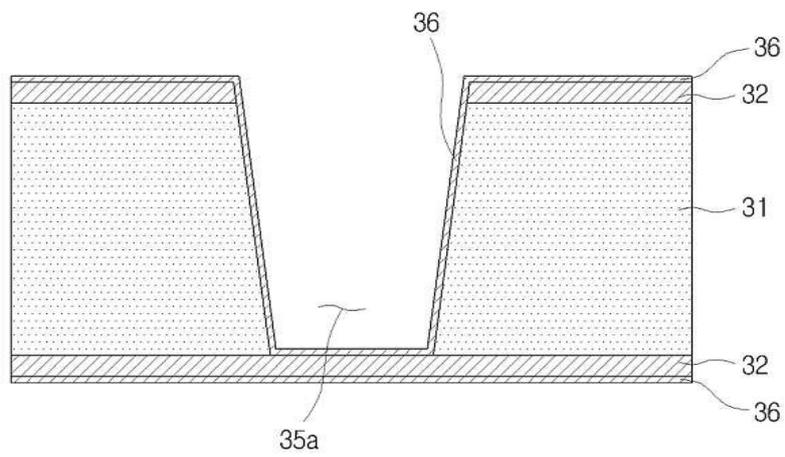
도면23



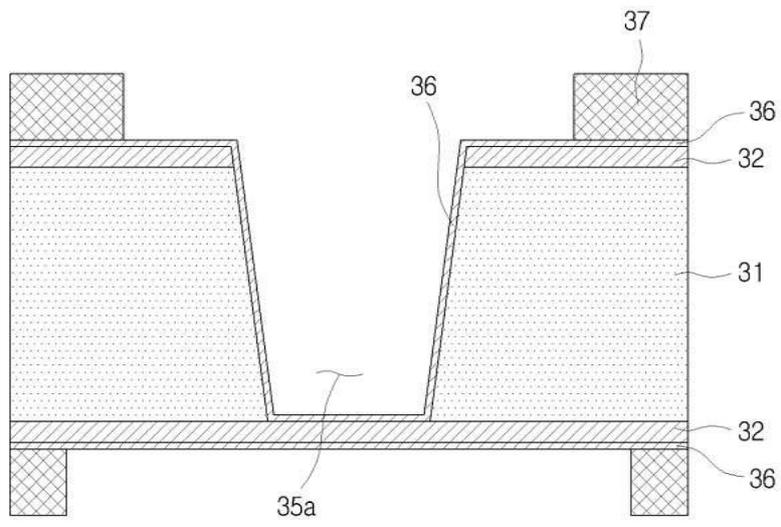
도면24



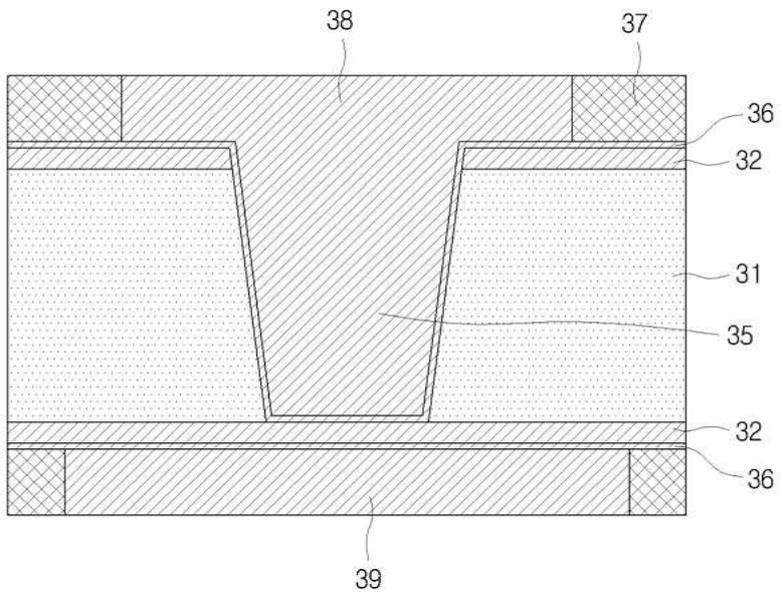
도면25



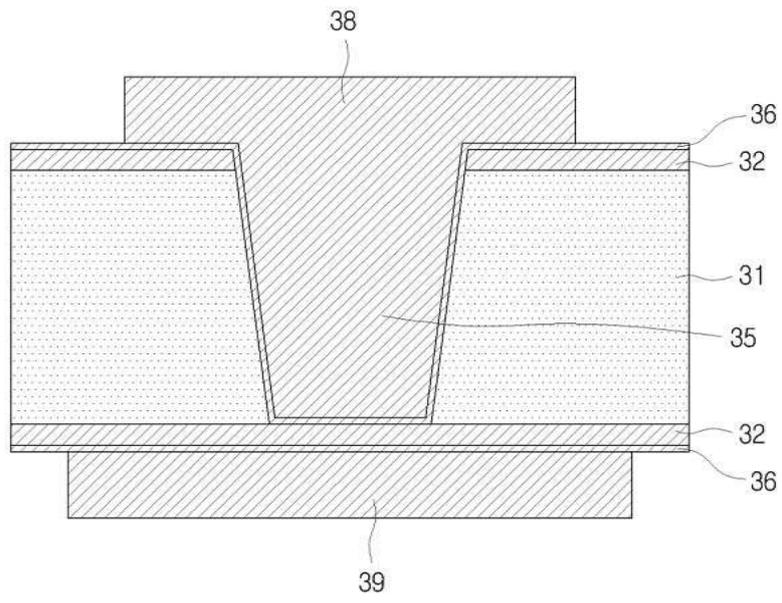
도면26



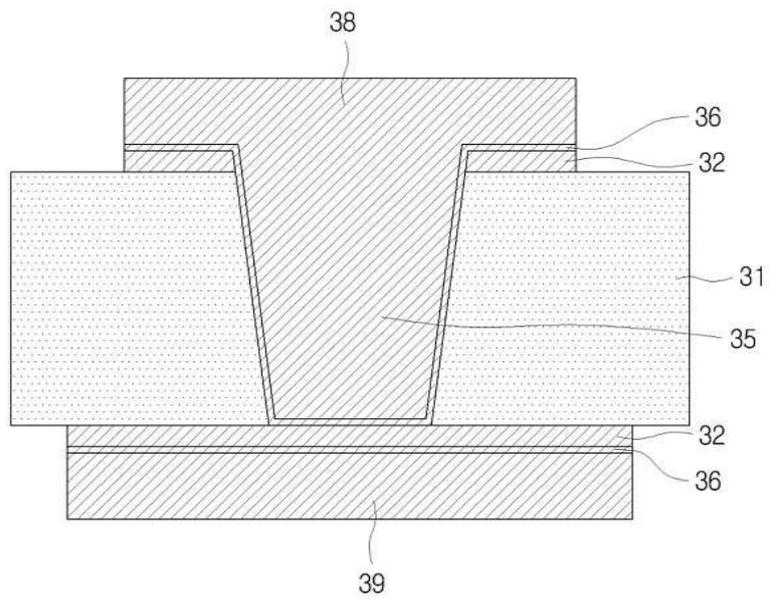
도면27



도면28



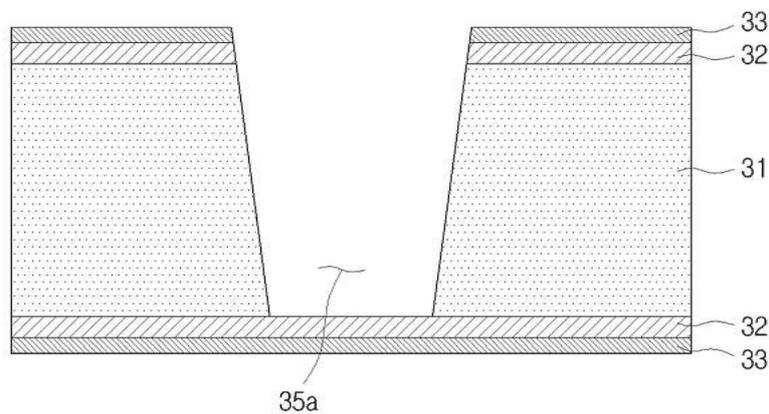
도면29



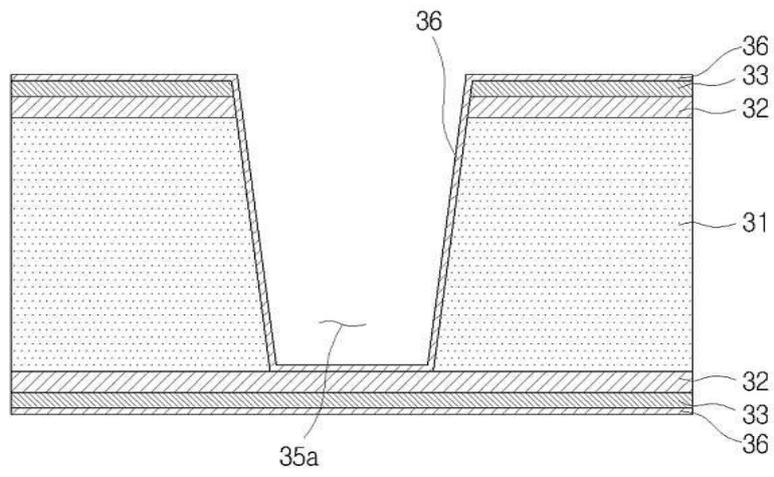
도면30



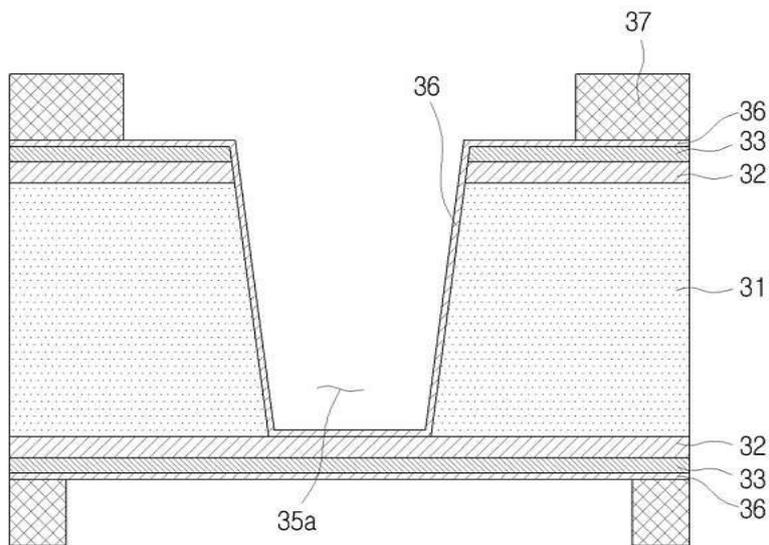
도면31



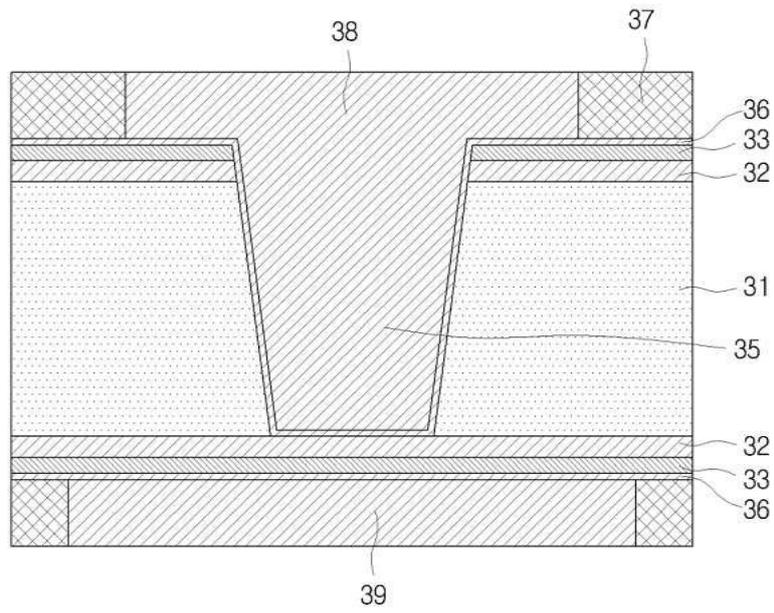
도면32



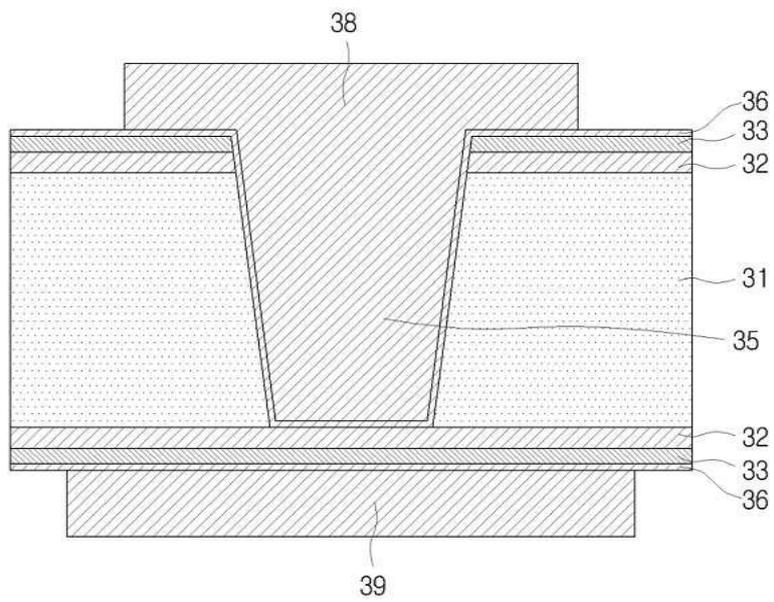
도면33



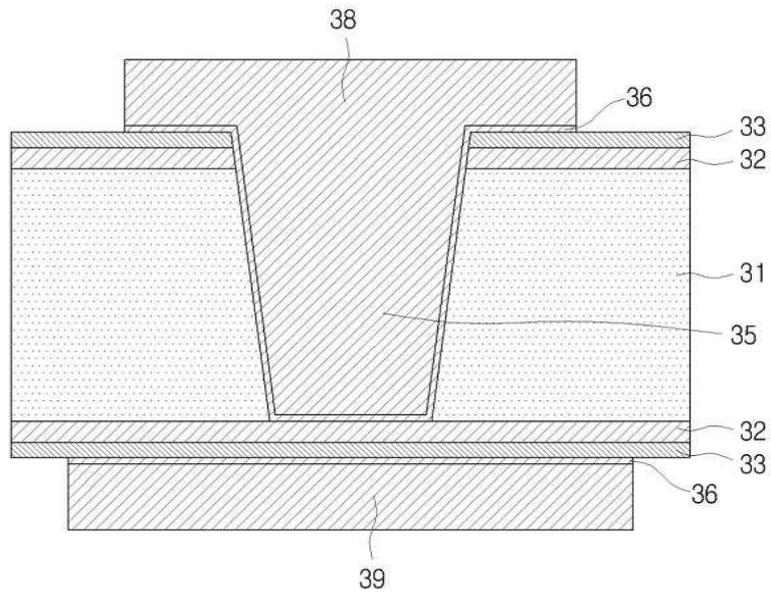
도면34



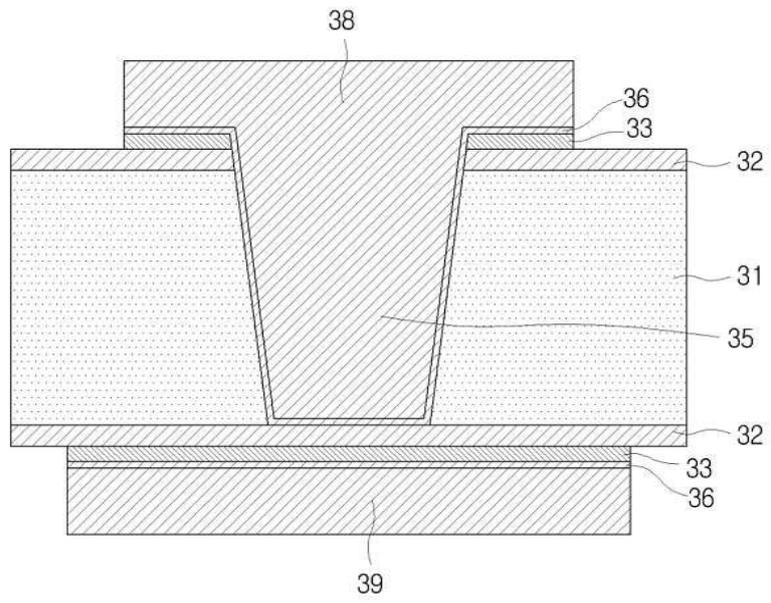
도면35



도면36



도면37



도면38

