

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 11/401 (2006.01) G11C 11/406 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년08월31일 10-0618858 2006년08월25일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2004-0069096 2004년08월31일	(65) 공개번호 (43) 공개일자	10-2006-0020286 2006년03월06일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 최성호
 경기 수원시 권선구 권선동 유원아파트 607동 703호

 이윤상
 경기도 용인시 구성면 마북리 연원마을 LG아파트 107동 502호

(74) 대리인 리앤목특허법인
 이혜영

심사관 : 장호근

(54) 리프레쉬 수행 시 리프레쉬 할 बैं크의 개수를 가변할 수있는 반도체 메모리 장치 및 그 리프레쉬 방법

요약

반도체 메모리 장치의 리프레쉬 동작에서 리프레쉬 대상이 되는 메모리 बैं크를 지정하는 어드레스를 생성하는 방법에서, बैं크 어드레스뿐만 아니라 리프레쉬 동작 시 별도의 활용이 없었던 제어 어드레스를 이용하여 반도체 메모리 장치의 리프레쉬 동작 시 리프레쉬 대상이 되는 메모리 बैं크의 수를 가변 시킬 수 있다. 따라서, 시스템의 전체적인 동작 시간 동안에 반도체 메모리 장치의 리프레쉬에 할당되는 시간을 좀 더 줄이거나 변화시킬 수 있어 반도체 시스템의 전체적인 성능을 개선시킬 수 있다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 일반적인 반도체 메모리 시스템의 리프레쉬 수행을 나타내는 블록도이다.

도 2는 본 발명에 따른 반도체 메모리 시스템의 리프레쉬 수행을 나타내는 블록도이다.

도 3은 도 2의 리프레쉬 제어 블록의 구성을 나타낸 블록도이다.

도 4는 본 발명에 따른 일 실시예에서 리프레쉬 동작을 나타내는 타이밍도이다.

도 5는 본 발명이 다른 실시예에 따른 반도체 메모리 시스템의 리프레쉬 수행을 나타내는 블록도이다.

도 6은 도 5의 리프레쉬 제어 블록의 구성을 나타낸 블록도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로, 구체적으로는, 반도체 메모리 장치에서 리프레쉬 동작 시 리프레쉬를 수행할 बैं크의 수를 가변시킬 수 있는 DRAM 및 DRAM의 리프레쉬 방법에 관한 것이다.

다이내믹 랜덤 액세스 메모리 장치(DRAM)는 그 특성상 주기적으로 메모리 장치내의 각각의 메모리 셀을 주기적으로 리프레쉬(refresh)를 실행하여야 하며, 메모리 용량이 커질수록 리프레쉬에 걸리는 시간은 길어지고, 리프레쉬를 수행할 때에는 리프레쉬를 수행하는 메모리 बैं크는 다른 동작을 수행할 수 없다.

또한, 반도체 메모리 장치가 모든 메모리 बैं크를 한꺼번에 리프레쉬를 수행할 때에는 반도체 메모리 장치는 다른 동작을 전혀 수행할 수 없고, 또한 모든 메모리 बैं크를 동시에 리프레쉬함으로써 반도체 메모리 장치의 전체적인 속도가 느려질 수 있다.

따라서, 일반적으로 반도체 메모리 장치가 다수개의 메모리 बैं크를 포함하고 있는 경우에는 각각의 메모리 बैं크를 하나씩 리프레쉬한다. 이때, 리프레쉬를 수행할 메모리 बैं크를 지정할 필요성이 존재하고, 이를 위해 외부의 메모리 컨트롤러에서 리프레쉬를 수행할 메모리 बैं크를 지정하는 बैं크 어드레스를 생성한다. 이때 생성된 बैं크 어드레스는 반도체 메모리 장치의 बैं크 어드레스 입력단을 통해 입력되어 리프레시 동작을 제어한다.

도 1은 일반적인 반도체 메모리 시스템의 리프레쉬 수행을 나타내는 블록도이다.

도 1을 참조하면, 리프레쉬를 수행하는 반도체 메모리 시스템은 메모리 컨트롤러(101) 및 다수개의 DRAM(103)으로 구성된다. 메모리 컨트롤러(101)는 DRAM(103)이 리프레쉬를 수행하도록 리프레쉬 수행 명령(command) 신호와 리프레쉬를 수행할 बैं크 어드레스(bank address)를 DRAM(103)으로 출력한다. DRAM(103)은 다수개의 메모리 बैं크(111, 113, 115, 117), बैं크 어드레스 버퍼(121), 명령 버퍼(123), 명령 디코더(125), 리프레쉬 주기 보장 지연회로(127) 및 리프레쉬 제어 블록(129)을 포함한다.

메모리 बैं크(111, 113, 115, 117)는 다수개의 메모리 셀로 구성되어 데이터를 저장하며, 데이터의 방전을 방지하기 위해 주기적으로 리프레쉬를 수행할 필요가 있다. 도 1의 종래 기술에서는 리프레쉬 제어 블록(129)에 의해 선택된 하나의 메모리 बैं크만 리프레쉬되며 다른 메모리 बैं크는 다른 동작을 수행하게 된다. 명령 버퍼(123)는 메모리 컨트롤러(101)에서 출력된 리프레쉬 관련 명령을 포함한 명령 신호를 입력받아 저장한다. 명령 디코더(123)는 명령 신호를 디코딩하여 해석하는 기능을 한다. 리프레쉬 주기 보장 지연 회로(127)는 명령 디코더(125)에서 리프레쉬 시작 신호를 입력받고, 상기 리프레쉬 시작 신호가 인가된 후 메모리 बैं크의 리프레쉬가 완료될 충분한 지연 시간 후에 리프레쉬 끝 신호를 리프레쉬 제어 블록(129)으로 출력한다. 리프레쉬 제어 블록(129)은 बैं크 어드레스 버퍼(121)에서 출력된 बैं크 어드레스와 명령 디코더(125)에서 출력된 리프레쉬 시작 명령에 응답하여 리프레쉬를 수행할 메모리 बैं크의 워드 라인(W/L)을 인에이블 시켜 리프레쉬를 수행하고, 리프레쉬 주기 보장 지연회로(127)에서 출력된 리프레쉬 끝 신호에 응답하여 해당 메모리 बैं크의 리프레쉬를 완료한다.

DRAM 장치에서의 बैं크 어드레스를 위한 입력 핀의 수는 고정되어 있다. 만일 하나의 DRAM 안에 메모리 बैं크가 도 1에 도시된 바와 같이 4개가 포함되어 있으면, बैं크 어드레스 핀은 2개로 구성되어, 각 어드레스의 신호에 따라 4개의 메모리 बैं크 중 하나를 지정할 수 있다.

이러한, 뱅크 어드레스를 이용한 리프레쉬 어드레스 설정 방법은, 특정한 하나의 메모리 뱅크만을 지정하기 때문에, 리프레쉬 뱅크의 개수를 가변시킬 수 없었다. 또한, 하나의 메모리 뱅크만을 선택해서 리프레쉬를 수행하기 때문에 전체 메모리 뱅크를 리프레쉬하기 위해서는 DRAM의 리프레쉬에 필요한 시간이 늘어나게 된다. 그리고, 메모리 용량이 커질수록 리프레쉬에 소비되는 시간이 길어져 반도체 메모리 시스템에서의 다른 동작 즉 판독 및 기록 동작에 필요한 시간을 늘일 수 없는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 리프레쉬가 수행되는 메모리 뱅크의 수를 가변시킬 수 있는 반도체 메모리 장치를 제공하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는, 리프레쉬가 수행되는 동안 사용되지 않았던 제어 어드레스를 이용하여 리프레쉬를 수행할 메모리 뱅크를 지정할 수 있는 반도체 메모리 장치를 제공하는 것이다.

발명의 구성 및 작용

상술한 바와 같은 본 발명의 목적을 달성하기 위해, 본 발명의 특징에 의하면, 반도체 메모리 장치는, 다수의 메모리 뱅크, 상기 반도체 메모리 장치 외부의 메모리 컨트롤러에서 인가되는 제어 어드레스를 입력받아 임시 저장하기 위한 제어 어드레스 버퍼, 및 리프레쉬 동작의 수행을 나타내는 리프레쉬 시작 신호에 응답하며, 리프레쉬 동작에서 리프레쉬를 수행할 각 메모리 뱅크에 대한 정보를 갖는 제어 어드레스를 상기 제어 어드레스 버퍼로부터 입력받아, 상기 메모리 뱅크의 리프레쉬를 제어하는 리프레쉬 제어 블록을 포함한다.

바람직하게는, 상기 반도체 메모리 장치는, 리프레쉬 할 뱅크를 지정하는 뱅크 어드레스를 입력받아 임시 저장하기 위한 뱅크 어드레스 버퍼를 더 포함하고, 상기 리프레쉬 제어 블록은 상기 제어 어드레스와 상기 뱅크 어드레스에 응답하여 리프레쉬 할 뱅크와 리프레쉬 할 뱅크의 수를 제어한다. 상기 제어 어드레스는 상기 반도체 메모리 장치가 리프레쉬를 수행할 때는 리프레쉬 할 뱅크들을 지정하며, 상기 반도체 메모리 장치가 리프레쉬를 수행하지 않을 때는 상기 반도체 메모리 장치의 메모리 어드레스를 지정할 수 있다.

바람직하게는, 상기 리프레쉬 제어 블록은, 상기 제어 어드레스 신호, 리프레쉬 시작 신호 및 리프레쉬 끝 신호를 입력받아 소정의 뱅크에 대한 리프레쉬를 제어하는 뱅크 리프레쉬 제어부를 포함할 수 있다. 상기 제어 어드레스 버퍼에서 출력되는 제어 어드레스 라인의 수는 상기 리프레쉬 제어 블록에 대응되는 뱅크의 수와 동일하다.

일 실시예에서, 상기 뱅크 리프레쉬 제어부는 상기 각 제어 어드레스 신호와 상기 리프레쉬 시작 신호를 NAND 연산하기 위한 다수개의 NAND 게이트, 및 상기 NAND 게이트의 출력 신호와 상기 리프레쉬 끝 신호를 NOR 연산하여 각 메모리 뱅크의 리프레쉬 제어 신호를 출력하기 위한 다수개의 NOR 게이트를 포함한다.

바람직하게는, 상기 리프레쉬 제어 블록은, 상기 뱅크 어드레스 버퍼에서 출력된 뱅크 어드레스를 디코딩하여 각 뱅크를 지정하기 하는 제2 뱅크 어드레스를 출력하기 위한 뱅크 어드레스 디코더, 상기 제어 어드레스 신호 및 상기 제2 뱅크 어드레스 신호를 입력받아 상기 제어 어드레스 신호 및 상기 제2 뱅크 어드레스 신호에 응답하여 리프레쉬 할 뱅크를 선택하는 뱅크 선택 신호를 출력하는 뱅크 선택부, 및 상기 뱅크 선택 신호, 리프레쉬 시작 신호 및 리프레쉬 끝 신호를 입력받아 소정의 뱅크에 대한 리프레쉬를 제어하는 뱅크 리프레쉬 제어부를 포함한다.

일 실시예에서, 뱅크 선택부는 상기 제어 어드레스 및 상기 제2 뱅크 어드레스의 OR 연산을 통해 리프레쉬 할 뱅크를 지정할 수 있다.

상기 반도체 메모리 장치는 DRAM 일 수 있다. 또한, 상기 제어 어드레스 신호는 칼럼 어드레스 신호 및/또는 로우 어드레스 신호일 수 있다.

본 발명의 특징을 달성하기 위한 본 발명의 다른 특징에 의하면, 반도체 메모리 시스템은, 다수의 메모리 뱅크로 구성되고, 리프레쉬 명령 및 제어 어드레스에 응답하여 리프레쉬 동작의 수행을 나타내는 상기 리프레쉬 명령에 응답하여, 리프레쉬 동작에서 리프레쉬를 수행할 각 메모리 뱅크에 대한 정보를 갖는 제어 어드레스를 상기 제어 어드레스 버퍼로부터 입력받

아, 상기 메모리 뱅크의 리프레쉬를 제어하는 리프레쉬 제어 블록을 포함하는 반도체 메모리 장치, 다수개의 메모리 장치들로 리프레쉬 명령을 발생하고 리프레쉬 할 뱅크를 지정하기 위한 제어 어드레스를 생성하기 위한 메모리 컨트롤러를 포함한다.

바람직하게는, 상기 반도체 메모리 시스템은, 상기 메모리 컨트롤러에서 출력된 상기 제어 어드레스를 임시 저장하기 위한 제어 어드레스 버퍼를 더 포함하고, 상기 제어 어드레스 버퍼는 입력된 상기 제어 어드레스를 대응하는 메모리 뱅크와 연결한다.

삭제

바람직하게는, 상기 메모리 컨트롤러는 리프레쉬를 수행할 특정 메모리 뱅크를 지정하는 뱅크 어드레스를 생성하고, 상기 반도체 메모리 장치는, 리프레쉬 할 뱅크를 지정하는 뱅크 어드레스를 입력받아 임시 저장하기 위한 뱅크 어드레스 버퍼를 더 포함하고, 상기 리프레쉬 제어 블록은 상기 제어 어드레스와 상기 뱅크 어드레스에 응답하여 리프레쉬 할 뱅크와 리프레쉬 할 뱅크의 수를 제어한다.

더욱 바람직하게는, 상기 메모리 컨트롤러는 특정한 하나의 메모리 뱅크를 리프레쉬하도록 명령하는 경우에는 특정 메모리 뱅크를 지정하는 뱅크 어드레스를 생성하고, 모든 메모리 뱅크 또는 다수개의 메모리 뱅크를 리프레쉬하도록 명령하는 경우에는 다수개 및/또는 모든 메모리 뱅크를 지정하는 제어 어드레스를 생성한다.

바람직하게는, 상기 리프레쉬 제어 블록은, 상기 제어 어드레스 신호, 리프레쉬 시작 신호 및 리프레쉬 끝 신호를 입력받아 소정의 뱅크에 대한 리프레쉬를 제어하는 뱅크 리프레쉬 제어부를 포함한다.

더욱 바람직하게는, 상기 리프레쉬 제어 블록은, 상기 뱅크 어드레스 버퍼에서 출력된 뱅크 어드레스를 디코딩하여 각 뱅크를 지정하기 하는 제2 뱅크 어드레스를 출력하기 위한 뱅크 어드레스 디코더, 상기 제어 어드레스 신호 및 상기 제2 뱅크 어드레스 신호를 입력받아 상기 제어 어드레스 신호 및 상기 제2 뱅크 어드레스 신호에 응답하여 리프레쉬 할 뱅크를 선택하는 뱅크 선택 신호를 출력하는 뱅크 선택부, 및 상기 뱅크 선택 신호, 리프레쉬 시작 신호 및 리프레쉬 끝 신호를 입력받아 소정의 뱅크에 대한 리프레쉬를 제어하는 뱅크 리프레쉬 제어부를 포함한다.

상기 제어 어드레스는 상기 반도체 메모리 장치가 리프레쉬를 수행할 때는 리프레쉬 할 뱅크들을 지정하며, 상기 반도체 메모리 장치가 리프레쉬를 수행하지 않을 때는 상기 반도체 메모리 장치의 메모리 어드레스를 지정할 수 있다.

본 발명과 본 발명의 동작성의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 2는 본 발명에 따른 반도체 메모리 시스템의 리프레쉬 수행을 나타내는 블록도이다.

도 2를 참조하면, 반도체 메모리 시스템은 메모리 컨트롤러(201) 및 다수개의 DRAM(203)으로 구성된다. 각각의 DRAM(203)은 다수개의 메모리 뱅크(211, 213, 215, 217)와 리프레쉬 동작에 필요한 뱅크 어드레스 버퍼(221), 명령 버퍼(223), 명령 디코더(225), 리프레쉬 주기 보장 지연회로(227), 리프레쉬 제어 블록(229) 및 제어 어드레스 버퍼(231)를 포함한다.

도 2를 참조하면, 메모리 컨트롤러(201)는 DRAM이 리프레쉬 동작을 수행하도록 리프레쉬 명령(command)과 리프레쉬 될 메모리 뱅크를 지정하는 뱅크 어드레스와 제어 어드레스를 출력한다. 뱅크 어드레스는 DRAM 내의 뱅크 어드레스 버퍼(221)를 지나 리프레쉬 제어 블록(229)으로 입력되고, 제어 어드레스는 DRAM 내의 제어 어드레스 버퍼(231)를 지나 리프레쉬 제어 블록(229)으로 입력된다.

상기 뱅크 어드레스 버퍼(221)는 입력된 뱅크 어드레스에 응답하여 뱅크 어드레스 신호 및 반전 뱅크 어드레스 신호를 출력하고, 상기 제어 어드레스 버퍼(231)는 입력된 제어 어드레스에 응답하여 제어 어드레스 신호 및 반전 제어 어드레스 신호를 출력할 수 있다. 명령 버퍼(223) 및 명령 디코더(225)는 입력된 명령 신호를 증폭하고 디코딩하여 리프레쉬 시작 신호를 리프레쉬 주기 보장 지연회로(227)로 출력한다.

리프레쉬 주기 보장 지연 회로(227)는 명령 디코더(225)에서 리프레쉬 시작 신호를 입력받고, 상기 리프레쉬 시작 신호가 인가된 후 메모리 बैं크의 리프레쉬가 완료될 충분한 지연 시간 후에 리프레쉬 끝 신호를 리프레쉬 제어 블록(229)으로 출력한다. 리프레쉬 제어 블록(229)은 बैं크 어드레스 버퍼(221)에서 출력된 बैं크 어드레스, 제어 어드레스 버퍼(231)에서 출력된 제어 어드레스 및 명령 디코더(225)에서 출력된 리프레쉬 시작 명령에 응답하여 리프레쉬를 수행할 메모리 बैं크의 워드 라인(W/L)을 인에이블 시켜 리프레쉬를 수행하고, 리프레쉬 주기 보장 지연회로(227)에서 출력된 리프레쉬 끝 신호에 응답하여 해당 메모리 बैं크의 리프레쉬를 완료한다.

도 2에 도시된 본 발명의 일 실시예에 따른 반도체 메모리 시스템은 리프레쉬를 수행할 메모리 बैं크를 지정하기 위해, बैं크 어드레스뿐만 아니라 제어 어드레스도 사용하여 메모리 बैं크를 지정할 수 있다. 따라서, 각각의 메모리 बैं크를 하나씩 지정할 수 있을 뿐만 아니라, 다수개의 메모리 बैं크를 한번에 지정할 수 있게 된다. 즉, 리프레쉬를 수행할 메모리 बैं크의 수를 가변시킬 수 있다.

반도체 메모리 시스템에서 제어 어드레스는 로우 어드레스 및/또는 칼럼 어드레스를 지칭한다. 상기 로우 어드레스 및/또는 칼럼 어드레스는 반도체 메모리 장치가 관독 또는 기록 동작 상태가 아닌 리프레쉬 동작의 경우에는 특정한 정보를 지정하지 않는 것이 일반적이다. 이러한 리프레쉬 동작 상태에서 상기 로우 어드레스 및/또는 칼럼 어드레스를 리프레쉬를 수행할 메모리 बैं크를 지정하는 데 사용할 수 있으면, 리프레쉬를 수행할 메모리 बैं크 수를 다양한 가지 수로 가변시킬 수 있다.

또한, 도 2의 제어 어드레스 버퍼(231)는 메모리 बैं크의 수와 동일한 제어 어드레스 라인을 출력할 수 있다. 즉, 메모리 बैं크가 4개 있다면, 제어 어드레스 버퍼(231)에서 리프레쉬 제어 블록(229)으로 연결되는 제어 어드레스 라인은 4개로 구성되어, 각각 하나의 메모리 बैं크의 선택을 제어할 수 있다.

도 3은 도 2의 리프레쉬 제어 블록의 구성을 나타낸 블록도이다.

도 3을 참조하면, 리프레쉬 제어 블록(229)은 बैं크 어드레스 디코더(301), बैं크 선택부(303) 및 बैं크 리프레쉬 제어부(305)를 포함한다.

뱅크 어드레스 디코더(301)는 DRAM의 बैं크 어드레스 핀(미도시)을 통해 입력된 बैं크 어드레스(BA<0:1>)를 디코딩하여 상기 बैं크 어드레스에 대응되는 메모리 बैं크와 일대일 대응되는 제2 बैं크 어드레스(BA2<0:3>)를 출력한다. 즉 2개의 बैं크 어드레스 핀을 통해 입력된 बैं크 어드레스(BA<0:1>)는 4개의 메모리 बैं크에 대응되는 4개의 제2 बैं크 어드레스(BA2<0:3>)로 디코딩된다.

뱅크 선택부(303)는 बैं크 어드레스 디코더(301)에서 출력된 제2 बैं크 어드레스(BA2<0:3>)와 제어 어드레스 버퍼(231)를 통과한 제어 어드레스(CA<0:3>)를 입력받아 NOR 연산을 하기 위한 4개의 NOR 게이트를 포함한다. बैं크 선택부(303)는 제2 बैं크 어드레스 또는 제어 어드레스 신호에 응답하여 대응되는 बैं크 선택 신호(BS<0:3>)를 논리 하이 레벨로 천이한다.

제2 बैं크 어드레스(BA2<0:3>)는 बैं크 어드레스(BA<0:1>)가 2비트 데이터이기 때문에 4개의 어드레스 라인 중 단 하나만을 논리 하이 레벨 또는 논리 로우 레벨로 설정하여 बैं크 어드레스를 지정할 수 있지만, 제어 어드레스(CA<0:3>)는 제어 어드레스 핀의 수가 메모리 बैं크의 수 이상으로 충분히 많기 때문에, 메모리 बैं크를 각각 지정할 수 있다. 따라서, 제어 어드레스(CA<0:3>)를 이용하면, 리프레쉬를 수행할 각 메모리 बैं크를 지정할 수 있다. 예를 들어, 도 2의 4개의 메모리 बैं크 중 A와 C बैं크를 선택하는 경우 제2 बैं크 어드레스는 이 두 बैं크를 동시에 선택할 수는 없지만, 제어 어드레스는 제어 어드레스 핀 4개를 통해 1010의 신호를 입력받아 상기 A 및 C बैं크를 지정할 수 있게 된다.

뱅크 리프레쉬 제어부(305)는 बैं크 선택부(303)에서 출력된 बैं크 선택 신호(BS<0:3>)와 디코딩된 리프레쉬 시작 명령 신호를 NAND 연산하기 위한 4개의 NAND 게이트와 상기 NAND 게이트의 출력과 리프레쉬 주기 보장 지연회로(227)에서 출력된 리프레쉬 끝 명령 신호를 NOR 연산하기 위한 4개의 NOR 게이트를 포함한다. 상기 NAND 게이트는 메모리 컨트롤러(201)에서 리프레쉬 명령이 주어졌을 때만 상기 बैं크 선택 신호를 메모리 बैं크로 출력하기 위해서 NAND 연산을 한다. 따라서, 일반적인 관독 또는 기록 동작에서는 상기 बैं크 선택 신호에 어떤 신호가 입력되더라도 메모리 बैं크로 전달되는 बैं크 리프레쉬 신호는 인에이블 되지 않는다.

즉, 일반적인 관독 또는 기록 동작에서는 제어 어드레스는 메모리 장치 내의 메모리 셀을 지정하는 어드레스 정보이다. बैं크 선택부(303)가 이 정보를 받아 बैं크 리프레쉬 제어부(305)로 출력한다고 하더라도, 리프레쉬 시작 명령 신호는 논리 로

우 상태이기 때문에 메모리 뱅크를 지정하기 않는 무의미한 정보가 된다. 하지만, 리프레쉬 동작에서는 메모리 컨트롤러(201)는 리프레쉬를 수행할 각 메모리 뱅크를 지정하는 제어 어드레스 정보를 출력하고 이와 동시에 리프레쉬를 명령하는 신호를 출력하기 때문에, 뱅크 리프레쉬 제어부(305)에 입력되는 뱅크 선택 신호(BS<0:3>)는 각 메모리 뱅크에 인가되어 리프레쉬를 제어한다.

또한, 뱅크 리프레쉬 제어부(305)는 상기 NAND 게이트의 출력과 리프레쉬 끝 명령 신호를 NOR 연산하는 NOR 게이트들을 구비하여, 리프레쉬 주기가 끝나고 상기 리프레쉬 끝 명령 신호가 인가되면, 메모리 뱅크별 리프레쉬 신호를 디스플레이 불 시켜 리프레쉬 동작을 멈추게 한다.

즉, 본 발명의 일 실시예에 따른 반도체 메모리 시스템에 따르면, 메모리 컨트롤러에서 인가되는 제어 어드레스는 리프레쉬 동작 시에는 리프레쉬를 수행할 메모리 뱅크를 지정하고, 기타 판독 및 기록 동작 시에는 각 메모리 셀의 위치를 지정하는 기능을 한다. 따라서, 종래의 2개의 핀(메모리 뱅크의 수가 증가하면 뱅크 어드레스 핀은 더 증가될 수 있다)으로 입력된 뱅크 어드레스에 비해 많은 핀을 갖는 제어 어드레스를 통해 다양한 메모리 뱅크의 선택 가지 수를 제공할 수 있다.

도 4는 본 발명에 따른 일 실시예에서 리프레쉬 동작을 나타내는 타이밍도이다.

삭제

도 4를 참조하면, 메모리 컨트롤러에서 뱅크 리프레쉬를 명령(command)하고, 이와 동시에 리프레쉬를 수행할 메모리 뱅크를 지정하는 뱅크 어드레스와 제어 어드레스를 인가한다. 만약 뱅크 어드레스로 B 뱅크를 지정하고, 제어 어드레스로 C 및 D 뱅크를 지정하는 어드레스 정보를 인가하면, 뱅크 리프레쉬 제어부(305)에서 인가되는 B, C, 및 D 뱅크 리프레쉬 신호는 인에이블 신호가 인가되고, A 리프레쉬 신호는 계속 디스에이블 신호로 남는다.

논리 로우레벨의 리프레쉬 시작 명령 신호에 의해 리프레쉬 동작이 수행되는 경우, 이와 동시에 리프레쉬 시작 신호가 논리 로우로 천이하면 리프레쉬 동작을 시작하고, 리프레쉬 주기가 끝나면 리프레쉬 끝 신호가 논리 하이로 천이하여 리프레쉬 동작을 마치게 된다.

도 4에 도시된 타이밍도는 도 3에 도시된 회로도에 따른 실시예이며, 도 3에 도시된 구성 요소가 달라지면, 각 신호를 인에이블 시키는 논리 레벨이 달라질 수도 있다.

도 5는 본 발명이 다른 실시예에 따른 반도체 메모리 시스템의 리프레쉬 수행을 나타내는 블록도이다.

도 5를 참조하면, 도 2에 도시된 반도체 메모리 시스템과 유사하다. 다만, 메모리 컨트롤러(501)는 뱅크 어드레스를 별도로 인가하지 않고 제어 어드레스(CA<0:3>)만을 인가한다. 그리고, DRAM(503)은 도 2에서의 뱅크 어드레스 버퍼가 존재하지 않는다.

즉, 도 5에 도시된 다른 실시예에서는 제어 어드레스만으로 리프레쉬를 수행할 메모리 뱅크를 지정한다. 메모리 컨트롤러(501)는 DRAM이 리프레쉬 동작을 수행하도록 리프레쉬 명령(command)과 리프레쉬될 메모리 뱅크를 지정하는 제어 어드레스(CA<0:3>)를 출력한다. 제어 어드레스는 DRAM 내의 제어 어드레스 버퍼(231)를 지나 리프레쉬 제어 블록(505)으로 입력된다.

리프레쉬 제어 블록(505)은 제어 어드레스 버퍼(231)에서 출력된 제어 어드레스 및 명령 디코더(225)에서 출력된 리프레쉬 시작 명령에 응답하여 리프레쉬를 수행할 메모리 뱅크의 워드 라인(W/L)을 인에이블 시켜 리프레쉬를 수행하고, 리프레쉬 주기 보장 지연회로(227)에서 출력된 리프레쉬 끝 신호에 응답하여 해당 메모리 뱅크의 리프레쉬를 완료한다.

도 5에 도시된 실시예에 따른 반도체 메모리 시스템은 리프레쉬를 수행할 메모리 뱅크를 지정하기 위해 종래에 리프레쉬 동작 중에는 아무런 정보도 인가하지 않았던 제어 어드레스를 이용한다. 메모리 뱅크를 지정하기 위해 이용되는 제어 어드레스 라인은 메모리 뱅크를 지정할 수 있으면 되기 때문에 모든 제어 어드레스 라인을 사용할 필요는 없으며 일부의 제어 어드레스 라인만을 사용할 수 있다. 상기 제어 어드레스는 반도체 메모리 장치가 판독 또는 기록 동작 상태가 아닌 리프레쉬 동작의 경우에는 특정한 정보를 지정하지 않는 것이 일반적이다. 이러한 리프레쉬 동작 상태에서 상기 제어 어드레스를 리프레쉬를 수행할 메모리 뱅크를 지정하는 데 사용할 수 있으면, 리프레쉬를 수행할 메모리 뱅크 수를 다양한 가지 수로 가변시킬 수 있다.

그 결과, 각각의 메모리 뱅크를 하나씩 지정할 수 있을 뿐만 아니라, 다수개의 메모리 뱅크를 한번에 지정할 수 있게 된다. 즉, 리프레쉬를 수행할 메모리 뱅크의 수를 가변시킬 수 있다.

도 6은 도 5의 리프레쉬 제어 블록의 구성을 나타낸 블록도이다.

도 6을 참조하면, 리프레쉬 제어 블록(505)은 뱅크 선택부(601) 및 뱅크 리프레쉬 제어부(603)를 포함한다. 뱅크 선택부(601)는 제어 어드레스 버퍼(231)를 통과한 제어 어드레스(CA<0:3>)를 입력받고 각 메모리 뱅크에 대응되는 뱅크 선택 어드레스(BS<0:3>)를 출력한다. 뱅크 선택부(601)는 도 6에 도시된 실시예에서와 같이, 리프레쉬 제어 블록(505)의 회로 구성에 따라 제어 어드레스 라인의 신호를 반전시키는 다수개의 인버터들을 포함할 수 있다.

뱅크 리프레쉬 제어부(603)는 뱅크 선택부(601)에서 출력된 뱅크 선택 신호(BS<0:3>)와 디코딩된 리프레쉬 시작 명령 신호를 NAND 연산하기 위한 4개의 NAND 게이트와 상기 NAND 게이트의 출력과 리프레쉬 주기 보장 지연회로(227)에서 출력된 리프레쉬 끝 명령 신호를 NOR 연산하기 위한 4개의 NOR 게이트를 포함한다. 상기 NAND 게이트는 메모리 컨트롤러(501)에서 리프레쉬 명령이 주어졌을 때만 상기 뱅크 선택 신호를 메모리 뱅크로 출력하기 위해서 NAND 연산을 한다. 따라서, 일반적인 반도체 메모리 장치의 관독 또는 기록 동작에서는 상기 뱅크 선택 신호에 어떤 신호가 입력되더라도 메모리 뱅크로 전달되는 뱅크 리프레쉬 신호는 인에이블 되지 않는다.

일반적인 관독 또는 기록 동작에서는 상기 제어 어드레스는 메모리 장치 내의 메모리 셀을 지정하는 어드레스 정보이다. 따라서, 뱅크 선택부(601)가 이 정보를 받아 뱅크 리프레쉬 제어부(603)로 출력한다고 하더라도, 리프레쉬 시작 명령 신호의 논리 상태에 따라 각 뱅크 리프레쉬 신호로 연결되지 않는 무의미한 정보가 된다. 하지만, 리프레쉬 동작에서는 메모리 컨트롤러(201)는 리프레쉬를 수행할 각 메모리 뱅크를 지정하는 제어 어드레스 정보를 출력하고 이와 동시에 리프레쉬를 명령하는 신호를 출력하기 때문에, 뱅크 리프레쉬 제어부(603)에 입력되는 뱅크 선택 신호(BS<0:3>)는 각 메모리 뱅크에 인가되어 리프레쉬를 제어한다.

또한, 뱅크 리프레쉬 제어부(603)는 상기 NAND 게이트의 출력과 리프레쉬 끝 명령 신호를 NOR 연산하는 NOR 게이트들을 구비하여, 리프레쉬 주기가 끝나고 상기 리프레쉬 끝 명령 신호가 인가되면, 메모리 뱅크별 리프레쉬 신호를 디스에이블시켜 리프레쉬 동작을 멈추게 한다.

본 발명의 다른 실시예에 따르면, 별도의 뱅크 어드레스 핀의 구비 없이도, 제어 어드레스 핀을 이용하여 리프레쉬를 수행할 메모리 뱅크를 지정할 수 있다. 또한, 리프레쉬를 수행할 메모리 뱅크를 지정할 수 있는 다양한 경우의 수를 구현할 수 있기 때문에, 리프레쉬를 수행할 메모리 뱅크의 수를 가변시킬 수 있다.

본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

본 발명에 따른 반도체 메모리 장치에 따르면, 리프레쉬 동작 시 제어 어드레스를 이용하여 리프레쉬 대상이 되는 메모리 뱅크의 수를 가변시킬 수 있고, 시스템의 전체적인 동작 시간 동안에 반도체 메모리 장치의 리프레쉬에 할당되는 시간을 좀 더 줄이거나 변화시킬 수 있어 반도체 시스템의 전체적인 성능을 개선시킨다.

(57) 청구의 범위

청구항 1.

반도체 메모리 장치의 리프레쉬 동작에서 리프레쉬 할 뱅크를 지정하는 어드레스를 생성하는 반도체 메모리 장치에 있어서,

다수의 메모리 뱅크;

상기 반도체 메모리 장치 외부의 메모리 컨트롤러에서 인가되는 제어 어드레스를 입력받아 임시 저장하기 위한 제어 어드레스 버퍼; 및

리프레쉬 동작의 수행을 나타내는 리프레쉬 시작 신호에 응답하며, 리프레쉬 동작에서 리프레쉬를 수행할 각 메모리 뱅크에 대한 정보를 갖는 제어 어드레스를 상기 제어 어드레스 버퍼로부터 입력받아, 상기 메모리 뱅크의 리프레쉬를 제어하는 리프레쉬 제어 블록을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 2.

제 1 항에 있어서,

상기 반도체 메모리 장치는,

리프레쉬 할 뱅크를 지정하는 뱅크 어드레스를 입력받아 임시 저장하기 위한 뱅크 어드레스 버퍼를 더 포함하고,

상기 리프레쉬 제어 블록은 상기 제어 어드레스와 상기 뱅크 어드레스에 응답하여 리프레쉬 할 뱅크와 리프레쉬 할 뱅크의 수를 제어하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 3.

제 1 항에 있어서,

상기 제어 어드레스는 상기 반도체 메모리 장치가 리프레쉬를 수행할 때는 리프레쉬 할 뱅크들을 지정하며, 상기 반도체 메모리 장치가 리프레쉬를 수행하지 않을 때는 상기 반도체 메모리 장치의 메모리 어드레스를 지정하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 4.

제 1 항에 있어서,

상기 리프레쉬 제어 블록은,

상기 제어 어드레스 신호, 리프레쉬 시작 신호 및 리프레쉬 끝 신호를 입력받아 소정의 뱅크에 대한 리프레쉬를 제어하는 뱅크 리프레쉬 제어부를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 5.

제 4 항에 있어서,

상기 제어 어드레스 버퍼에서 출력되는 제어 어드레스 라인의 수는 상기 리프레쉬 제어 블록에 대응되는 뱅크의 수와 동일한 것을 특징으로 하는 반도체 메모리 장치.

청구항 6.

제 4 항에 있어서,

상기 बैं크 리프레쉬 제어부는 상기 각 제어 어드레스 신호와 상기 리프레쉬 시작 신호를 NAND 연산하기 위한 다수개의 NAND 게이트; 및

상기 NAND 게이트의 출력 신호와 상기 리프레쉬 끝 신호를 NOR 연산하여 각 메모리 बैं크의 리프레쉬 제어 신호를 출력하기 위한 다수개의 NOR 게이트를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 7.

제 2 항에 있어서,

상기 리프레쉬 제어 블록은,

상기 बैं크 어드레스 버퍼에서 출력된 बैं크 어드레스를 디코딩하여 각 बैं크를 지정하게 하는 제2 बैं크 어드레스를 출력하기 위한 बैं크 어드레스 디코더;

상기 제어 어드레스 신호 및 상기 제2 बैं크 어드레스 신호를 입력받아 상기 제어 어드레스 신호 및 상기 제2 बैं크 어드레스 신호에 응답하여 리프레쉬 할 बैं크를 선택하는 बैं크 선택 신호를 출력하는 बैं크 선택부; 및

상기 बैं크 선택 신호, 리프레쉬 시작 신호 및 리프레쉬 끝 신호를 입력받아 소정의 बैं크에 대한 리프레쉬를 제어하는 बैं크 리프레쉬 제어부를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 8.

제 7 항에 있어서,

뱅크 선택부는 상기 제어 어드레스 및 상기 제2 बैं크 어드레스의 OR 연산을 통해 리프레쉬 할 बैं크를 지정하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 9.

제 7 항에 있어서,

상기 बैं크 선택부는 상기 각 제어 어드레스와 상기 각 제2 बैं크 어드레스 각각을 NOR 연산하여 상기 बैं크 선택 신호를 출력하기 위한 다수개의 NOR 게이트를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 10.

제 7 항에 있어서,

상기 제어 어드레스 버퍼에서 출력되는 제어 어드레스 라인과 상기 बैं크 어드레스 디코더에서 출력되는 제2 बैं크 어드레스 라인의 수는 상기 리프레쉬 제어 블록에 대응되는 बैं크의 수와 동일한 것을 특징으로 하는 반도체 메모리 장치.

청구항 11.

제 7 항에 있어서,

상기 बैं크 리프레쉬 제어부는 상기 각 बैं크 선택 신호와 상기 리프레쉬 시작 신호를 NAND 연산하기 위한 다수개의 NAND 게이트; 및

상기 NAND 게이트의 출력 신호와 상기 리프레쉬 끝 신호를 NOR 연산하여 각 메모리 बैं크의 리프레쉬 제어 신호를 출력하기 위한 다수개의 NOR 게이트를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 12.

제 1 항에 있어서,

상기 반도체 메모리 장치는 DRAM 인 것을 특징으로 하는 반도체 메모리 장치.

청구항 13.

제 1 항에 있어서,

상기 제어 어드레스 신호는 칼럼 어드레스 신호 및/또는 로우 어드레스 신호 인 것을 특징으로 하는 반도체 메모리 장치.

청구항 14.

다수의 메모리 बैं크로 구성되고, 리프레쉬 명령 및 제어 어드레스에 응답하여 리프레쉬 동작의 수행을 나타내는 상기 리프레쉬 명령에 응답하여, 리프레쉬 동작에서 리프레쉬를 수행할 각 메모리 बैं크에 대한 정보를 갖는 상기 제어 어드레스를 입력받아, 상기 메모리 बैं크의 리프레쉬를 제어하는 리프레쉬 제어 블록을 포함하는 반도체 메모리 장치; 및

다수개의 메모리 장치들로 리프레쉬 명령을 발생하고 리프레쉬 할 बैं크를 지정하기 위한 상기 제어 어드레스를 생성하기 위한 메모리 컨트롤러를 포함하는 것을 특징으로 하는 반도체 메모리 시스템.

청구항 15.

제 14 항에 있어서,

상기 반도체 메모리 시스템은,

상기 메모리 컨트롤러에서 출력된 상기 제어 어드레스를 임시 저장하기 위한 제어 어드레스 버퍼를 더 포함하고,

상기 제어 어드레스 버퍼는 입력된 상기 제어 어드레스를 대응하는 메모리 बैं크로 제공하는 것을 특징으로 하는 반도체 메모리 시스템.

청구항 16.

제 14 항에 있어서,

상기 메모리 컨트롤러는 리프레쉬를 수행할 특정 메모리 बैं크를 지정하는 बैं크 어드레스를 생성하고,

상기 반도체 메모리 장치는, 리프레쉬 할 बैं크를 지정하는 बैं크 어드레스를 입력받아 임시 저장하기 위한 बैं크 어드레스 버퍼를 더 포함하고, 상기 리프레쉬 제어 블록은 상기 제어 어드레스와 상기 बैं크 어드레스에 응답하여 리프레쉬 할 बैं크와 리프레쉬 할 बैं크의 수를 제어하는 것을 특징으로 하는 반도체 메모리 시스템.

청구항 17.

제 16 항에 있어서,

상기 메모리 컨트롤러는 특정한 하나의 메모리 बैं크를 리프레쉬하도록 명령하는 경우에는 특정 메모리 बैं크를 지정하는 बैं크 어드레스를 생성하고, 모든 메모리 बैं크 또는 다수개의 메모리 बैं크를 리프레쉬하도록 명령하는 경우에는 다수개 및/또는 모든 메모리 बैं크를 지정하는 제어 어드레스를 생성하는 것을 특징으로 하는 메모리 시스템.

청구항 18.

제 14 항에 있어서,

상기 리프레쉬 제어 블록은,

상기 제어 어드레스 신호, 리프레쉬 시작 신호 및 리프레쉬 끝 신호를 입력받아 소정의 बैं크에 대한 리프레쉬를 제어하는 बैं크 리프레쉬 제어부를 포함하는 것을 특징으로 하는 반도체 메모리 시스템.

청구항 19.

제 16 항에 있어서,

상기 리프레쉬 제어 블록은,

상기 बैं크 어드레스 버퍼에서 출력된 बैं크 어드레스를 디코딩하여 각 बैं크를 지정하기 하는 제2 बैं크 어드레스를 출력하기 위한 बैं크 어드레스 디코더;

상기 제어 어드레스 신호 및 상기 제2 बैं크 어드레스 신호를 입력받아 상기 제어 어드레스 신호 및 상기 제2 बैं크 어드레스 신호에 응답하여 리프레쉬 할 बैं크를 선택하는 बैं크 선택 신호를 출력하는 बैं크 선택부; 및

상기 बैं크 선택 신호, 리프레쉬 시작 신호 및 리프레쉬 끝 신호를 입력받아 소정의 बैं크에 대한 리프레쉬를 제어하는 बैं크 리프레쉬 제어부를 포함하는 것을 특징으로 하는 반도체 메모리 시스템.

청구항 20.

제 14 항에 있어서,

상기 제어 어드레스는 상기 반도체 메모리 장치가 리프레쉬를 수행할 때는 리프레쉬 할 बैं크들을 지정하며, 상기 반도체 메모리 장치가 리프레쉬를 수행하지 않을 때는 상기 반도체 메모리 장치의 메모리 어드레스를 지정하는 것을 특징으로 하는 반도체 메모리 시스템.

청구항 21.

다수개의 메모리 बैं크를 구비하는 반도체 메모리 장치와 상기 반도체 메모리 장치를 제어하는 메모리 컨트롤러를 구비하는 반도체 메모리 시스템의 리프레쉬 동작 방법에 있어서, 상기 방법은,

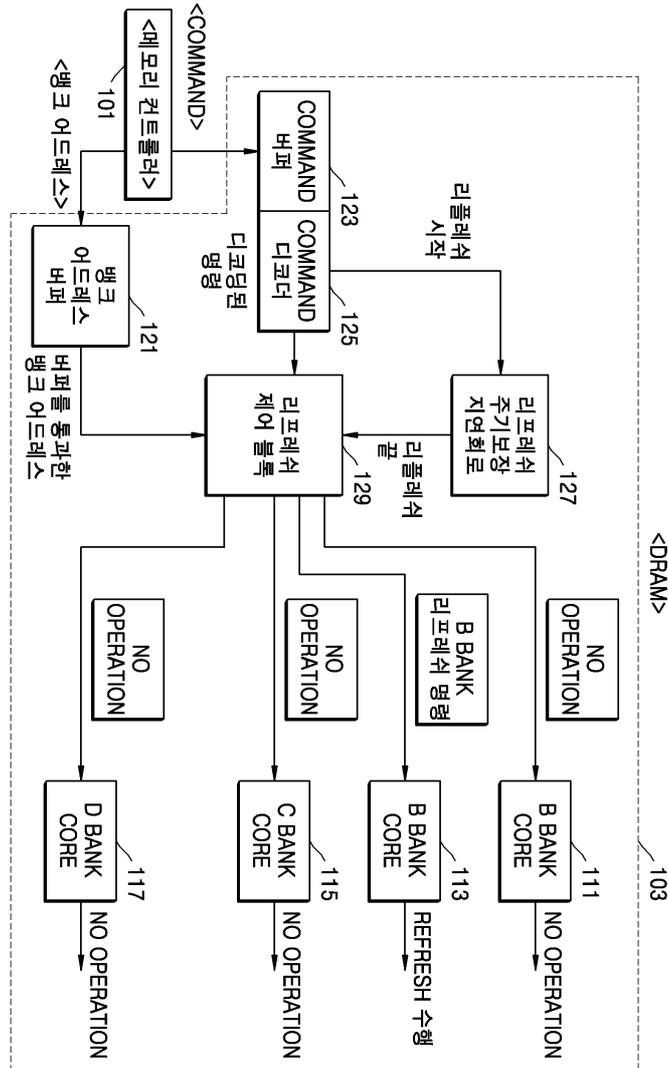
상기 메모리 컨트롤러로부터 발생된 리프레쉬 명령에 응답하여, 리프레쉬를 수행할 메모리 बैं크를 지정하는 제어 어드레스 생성 및/또는 बैं크 어드레스를 생성하는 단계;

상기 제어 어드레스 및/또는 뱅크 어드레스에 응답하여 리프레시를 수행할 메모리 뱅크를 선택하는 단계; 및

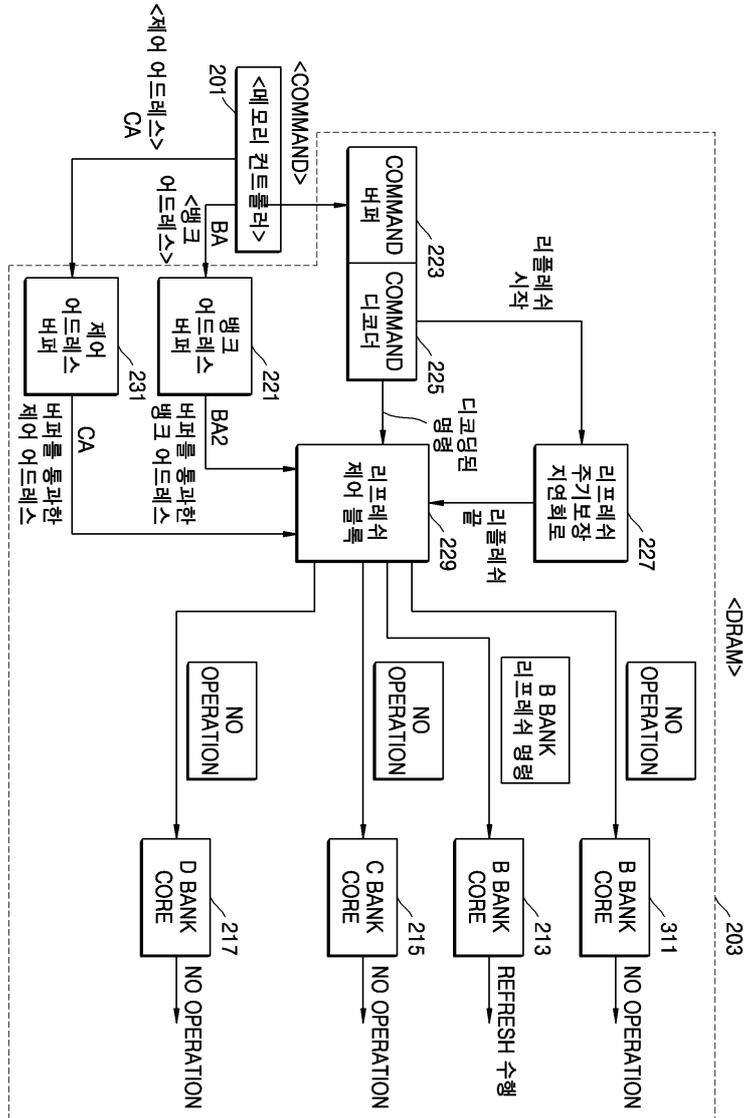
상기 선택된 메모리 뱅크에 소정 기간 동안 리프레시 동작을 제어하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 시스템의 리프레시 방법.

도면

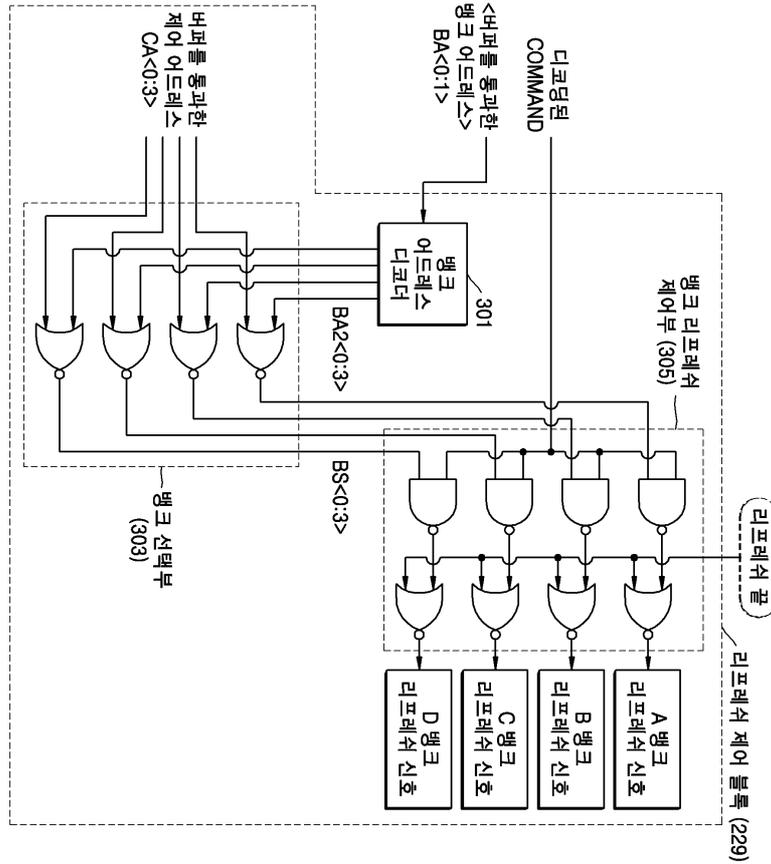
도면1



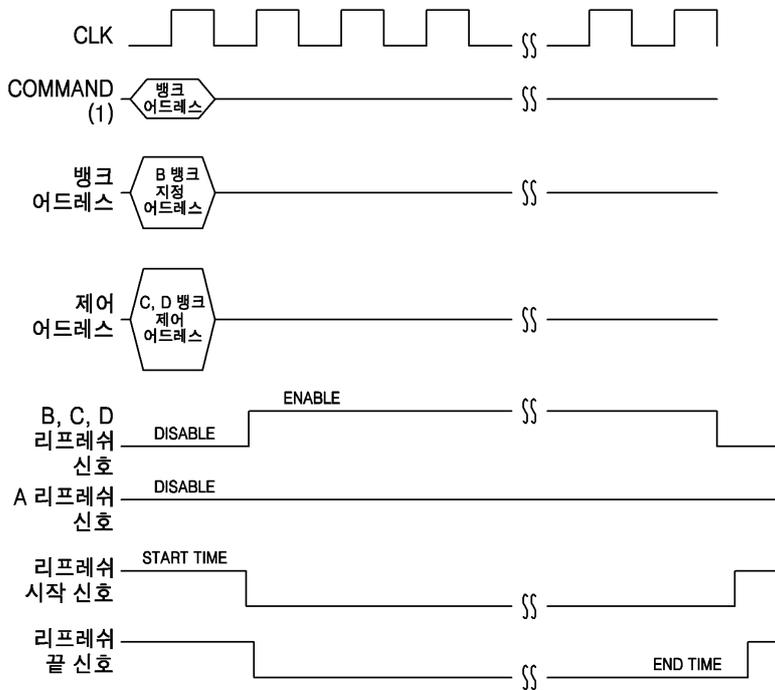
도면2



도면3



도면4



도면6

