



(12) 发明专利申请

(10) 申请公布号 CN 105895636 A

(43) 申请公布日 2016. 08. 24

(21) 申请号 201510821082. 0

(22) 申请日 2015. 11. 23

(30) 优先权数据

10-2015-0024489 2015. 02. 17 KR

(71) 申请人 爱思开海力士有限公司

地址 韩国京畿道

(72) 发明人 权永俊

(74) 专利代理机构 北京弘权知识产权代理事务

所(普通合伙) 11363

代理人 俞波 许伟群

(51) Int. Cl.

H01L 27/115(2006. 01)

G11C 16/14(2006. 01)

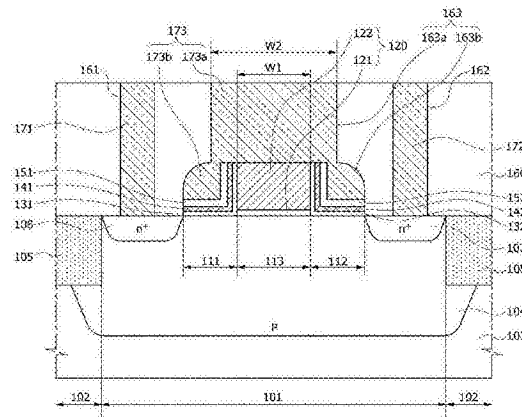
权利要求书2页 说明书21页 附图24页

(54) 发明名称

电荷俘获非易失性存储器件及其制造方法和操作方法

(57) 摘要

一种电荷俘获非易失性存储器件包括源极区和漏极区,源极区和漏极区设置在衬底的上部中并且通过第一俘获区、沟道区、和第二俘获区而彼此间隔开。栅极层叠结构设置在沟道区之上。包括隧道绝缘层、第一电荷俘获层和第一阻挡绝缘层的第一层叠设置在第一俘获区之上。包括隧道绝缘层、第二电荷俘获层和第二阻挡绝缘层的第二层叠设置在第二俘获区之上。层间绝缘层设置在衬底之上并且覆盖栅极层叠结构。第一接触插塞和第二接触插塞贯穿层间绝缘层,并且分别接触源极区和漏极区。第三接触插塞贯穿层间绝缘层,接触栅极层叠结构并且与第一电荷俘获层和第二电荷俘获层重叠。



1. 一种电荷俘获非易失性存储器件,包括:

源极区和漏极区,设置在衬底的上部中并且通过第一俘获区、沟道区和第二俘获区而彼此间隔开;

栅极层叠结构,设置在沟道区之上;

第一层叠,包括设置在第一俘获区之上的隧道绝缘层、第一电荷俘获层和第一阻挡绝缘层;

第二层叠,包括设置在第二俘获区之上的隧道绝缘层、第二电荷俘获层和第二阻挡绝缘层;

层间绝缘层,设置在衬底之上并且覆盖栅极层叠结构;

第一接触插塞和第二接触插塞,贯穿层间绝缘层并且分别接触源极区和漏极区;以及

第三接触插塞,贯穿层间绝缘层,接触栅极层叠结构并且与第一电荷俘获层和第二电荷俘获层重叠。

2. 如权利要求1所述的器件,其中,第三接触插塞包括:

第三上接触插塞,接触栅极层叠结构的顶表面;以及

第三下接触插塞,从第三上接触插塞延伸到栅极层叠结构的侧壁之上,而延伸到第一俘获区和第二俘获区之上。

3. 如权利要求2所述的器件,其中,第三上接触插塞具有比栅极层叠结构的宽度大的宽度。

4. 如权利要求3所述的器件,其中,第三上接触插塞与相邻于沟道区的第一俘获区的一部分以及与相邻于沟道区的第二俘获区一部分垂直地重叠。

5. 如权利要求2所述的器件,其中,第三下接触插塞的两端分别与源极区的一端和漏极区的一端自对准。

6. 如权利要求2所述的器件,其中,第三下接触插塞被层间绝缘层围绕,并且具有圆形的侧壁轮廓。

7. 如权利要求2所述的器件,其中,源极区的一端和漏极区的一端分别与第三下接触插塞的两个侧壁自对准。

8. 如权利要求1所述的器件,其中,第三接触插塞包括与第一接触插塞和第二接触插塞相同的金属层。

9. 一种电荷俘获非易失性存储器件,包括:

选择晶体管,具有MOS结构并且包括选择栅极端子、第一端子和第二端子;

第一电荷储存晶体管,具有第一电荷俘获结构并且包括第一控制栅极端子、源极端子以及连接至选择晶体管的第一端子的端子;以及

第二电荷储存晶体管,具有第二电荷俘获结构并且包括第二控制栅极端子、漏极端子以及连接至选择晶体的第二端子的端子,

其中,源极端子和漏极端子分别连接至源极线和位线,以及

其中,选择栅极端子、第一控制栅极端子和第二控制栅极端子共同连接至单个字线。

10. 一种电荷俘获非易失性存储器件,包括:

多个字线,包括第一字线、第二字线和第三字线并且沿行来布置;

多个位线,分别沿多个列设置;

多个源极线,平行于行来延伸;以及

多个单位单元,分别位于行和列的交叉点处,

其中,所述多个单位单元包括位于第N行和第P列的第一单位单元、位于第(N-1)行列和第P行的第二单位单元、以及位于第(N+1)行和第P行的第三单位单元,其中,N和P中的每个是整数,

其中,第一单位单元、第二单位单元和第三单位单元中的每个包括沿列方向串联连接的第一电荷储存晶体管、选择晶体管和第二电荷储存晶体管,

其中,第一电荷储存晶体管具有第一控制栅极端子和源极端子,

其中,选择晶体管具有选择栅极端子,

其中,第二电荷储存晶体管具有第二控制栅极端子和漏极端子,

其中,第一单位单元的源极端子电连接至第二单位单元的源极端子,

其中,第一单位单元的第一控制栅极端子、选择栅极端子和第二控制栅极端子共同连接至第一字线,

其中,第二单位单元的第一控制栅极端子、选择栅极端子和第二控制栅极端子共同连接至第二字线,

其中,第三单位单元的第一控制栅极端子、选择栅极端子和第二控制栅极端子共同连接至第三字线,

其中,第一单位单元的漏极端子、第二单位单元的漏极端子和第三单位单元的漏极端子共同连接至同一位线,

其中,第一单位单元的源极端子和第二单位单元的源极端子共同连接至同一源极线,以及

其中,所述多个单位单元的块体区域共同连接至同一阱偏置线。

电荷俘获非易失性存储器件及其制造方法和操作方法

[0001] 相关申请的交叉引用

[0002] 本申请要求2015年2月17日申请的韩国申请案号10-2015-0024489的优先权,韩国申请案通过引用其整体合并于此。

技术领域

[0003] 本公开的各种实施例涉及一种非易失性存储器件。更具体地,涉及一种电荷俘获非易失性存储器件及其制造方法和其操作方法。

背景技术

[0004] 半导体存储器件通常被分类为易失性存储器件或非易失性存储器件。易失性存储器件在其电源供应中断时会丢失其所储存的数据,但具有相对高的操作速度。即,其相对快速地读取被储存在存储单元中的数据、或将数据写入存储单元中。相对地,非易失性存储器件在其电源供应中断时保持其储存的数据,但倾向于在较低速度下操作。因此,非易失性存储器件被用在不具有恒定电压的情况下需要保持数据的电子系统中。非易失性存储器件包括掩模只读存储器(MROM)装置、可编程只读存储器(PROM)装置、可擦除可编程只读存储器(EPROM)装置、电可擦除可编程只读存储器(EEPROM)装置、快闪存储器件等。

[0005] 一般而言,MROM装置、PROM装置和EPROM装置需要额外设备(诸如,UV辐照器)来擦除其储存的数据。因此,在许多应用中,使用MROM装置、PROM装置和EPROM装置可能不便的。相对地,EEPROM装置和快闪存储器件允许数据在无额外设备的情况下被电擦除和写入。因此,EEPROM装置和快闪存储器件可以被应用在各种领域中,例如,用于程序执行的系统、或执行频繁的数据更新的辅助存储器件中。具体地,快闪存储器件的擦除操作可以由页的单位来执行。快闪存储器件能够实现比EEPROM装置高的集成度。因此,快闪存储器件经常被用在大容量辅助存储器件中。

[0006] 非易失性存储器件在每个存储单元中能够储存的数据量取决于在每个存储单元中储存的位的数量。其中储存单个位的数据的存储单元被称为单位单元或单电平单元(SLC)。相对地,其中储存多位数据(例如,包括两位或更多位的数据)的存储单元被称为多位单元、多电平单元(MLC)或多状态单元。随着半导体存储器件变得更加高度集成,采用MLC的非易失性存储器件已经变得更为盛行。

[0007] 快闪存储器和EEPROM装置一般具有层叠的栅极结构,其包括垂直层叠的浮栅和控制栅电极。然而,如果介于存储单元之间的距离缩减过多,则由于在存储单元之间的干扰影响或耦合电容,存储单元的阈值电压可能会变得不稳定。因此,正在进行大量研究和开发来判断存储器件如何能够利用电荷俘获层来更有效地储存数据。

发明内容

[0008] 各种实施例针对一种电荷俘获非易失性存储器件及其制造方法和其操作方法。

[0009] 根据实施例,一种电荷俘获非易失性存储器件包括源极区和漏极区,源极区和漏

极区设置在衬底的上部中并且通过第一俘获区、沟道区和第二俘获区而彼此间隔开。栅极层叠结构设置在沟道区之上。包括隧道绝缘层、第一电荷俘获层和第一阻挡绝缘层的第一层叠设置在第一俘获区之上。包括隧道绝缘层、第二电荷俘获层和第二阻挡绝缘层的第二层叠设置在第二俘获区之上。层间绝缘层设置在衬底之上并且覆盖栅极层叠结构。第一接触插塞和第二接触插塞贯穿层间绝缘层,并且分别接触源极区和漏极区。第三接触插塞贯穿层间绝缘层,接触栅极层叠结构并且与第一电荷俘获层和第二电荷俘获层重叠。

[0010] 根据另一个实施例,一种电荷俘获非易失性存储器件包括选择晶体管,选择晶体管具有MOS结构并且包括选择栅极端子、第一端子和第二端子。第一电荷储存晶体管具有第一电荷俘获结构并且包括第一控制栅极端子、源极端子、以及连接至选择晶体管的第一端子的一个端子。第二电荷储存晶体管具有第二电荷俘获结构并且包括第二控制栅极端子、漏极端子、以及连接至选择晶体的第二端子的端子。源极端子和漏极端子分别连接至源极线和位线。选择栅极端子、第一控制栅极端子和第二控制栅极端子共同连接至单个字线。

[0011] 根据另一个实施例,一种电荷俘获非易失性存储器件包括多个字线,多个字线包括第一字线、第二字线和第三字线并且沿行来布置。多个位线分别沿多个列设置。多个源极线平行于行来延伸。多个单位单元分别位于行和列的交叉点处。多个单位单元包括位于第N行和第P列的第一单位单元、位于第(N-1)行和第P列的第二单位单元、以及位于第(N+1)行和第P列的第三单位单元,其中,N和P中的每个是整数。第一单位单元、第二单位单元和第三单位单元中的每个包括沿列方向串联连接的第一电荷储存晶体管、选择晶体管和第二电荷储存晶体管。第一电荷储存晶体管具有第一控制栅极端子和源极端子。选择晶体管具有选择栅极端子。第二电荷储存晶体管具有第二控制栅极端子和漏极端子。第一单位单元的源极端子电连接至第二单位单元的源极端子。第一单位单元的第一控制栅极端子、选择栅极端子和第二控制栅极端子共同连接至第一字线。第二单位单元的第一控制栅极端子、选择栅极端子和第二控制栅极端子共同连接至第二字线。第三单位单元的第一控制栅极端子、选择栅极端子和第二控制栅极端子共同连接至第三字线。第一单位单元的漏极端子、第二单位单元的漏极端子和第三单位单元的漏极端子共同连接至同一位线。第一单位单元的源极端子和第二单位单元的源极端子共同连接至同一源极线。多个单位单元的块体(bulk)区域共同连接至同一阱偏置线。

[0012] 根据另一个实施例,提供一种制造电荷俘获非易失性存储器件的方法。该方法包括在衬底的沟道区之上形成包括栅极绝缘图案和栅极导电图案的栅极层叠结构。在栅极层叠结构的第一侧壁和第二侧壁之上分别形成第一虚设(dummy)间隔件和第二虚设间隔件。第一虚设间隔件包括第一隧道绝缘层、第一电荷俘获层、第一阻挡绝缘层和第一间隔件,并且延伸到在衬底之上。第二虚设间隔件包括第二隧道绝缘层、第二电荷俘获层、第二阻挡绝缘层和第二间隔件,并且延伸到在衬底之上。在衬底的上部中形成源极区和漏极区,以分别与第一虚设间隔件和第二虚设间隔件自对准。在衬底之上形成层间绝缘层以覆盖栅极层叠结构、第一虚设间隔件、第二虚设间隔件、源极区以及漏极区。图案化层间绝缘层以形成露出源极区的第一接触孔、露出漏极区的第二接触孔、以及露出栅极导电图案、第一间隔件和第二间隔件的第三接触孔。去除由第三接触孔露出的第一间隔件和第二间隔件。第一接触孔、第二接触孔和第三接触孔填充有金属层以在第一接触孔中形成第一接触插塞、在第二接触孔中形成第二接触插塞、以及在第三接触孔中形成的第三接触插塞。

[0013] 根据另一个实施例,提供一种操作电荷俘获非易失性存储器件的方法,该电荷俘获非易失性存储器件包括:多个字线,其包括第一字线、第二字线和第三字线并且沿行来布置;多个位线,其分别沿多个列来设置;多个源极线,其平行于行来延伸;以及多个单位单元,其分别位于列和行的交叉点处;其中,多个单位单元包括位于第N和第P列的第一单位单元、位于第(N-1)行和第P列的第二单位单元、以及位于第(N+1)行和第P列的第三单位单元,其中,N和P中的每个是整数;其中,第一单位单元、第二单位单元和第三单位单元中的每个包括沿列方向串联连接的第一电荷储存晶体管、选择晶体管和第二电荷储存晶体管;其中,第一电荷储存晶体管具有第一控制栅极端子和源极端子;其中,选择晶体管具有选择栅极端子;其中,第二电荷储存晶体管具有第二控制栅极端子和漏极端子;其中,第一单位单元的源极端子电连接至第二单位单元的源极端子;其中,第一单位单元的第一控制栅极端子、选择栅极端子和第二控制栅极端子共同连接至第一字线;其中,第二单位单元的第一控制栅极端子、选择栅极端子和第二控制栅极端子共同连接至第二字线;其中,第三单位单元的第一控制栅极端子、选择栅极端子和第二控制栅极端子共同连接至第三字线;其中,第一单位单元的漏极端子、第二单位单元的漏极端子和第三单位单元的漏极端子共同连接至同一位线;其中,第一单位单元的源极端子和第二单位单元的源极端子共同连接至同一源极线;以及其中,多个单位单元的块体区域共同连接至同一阱偏置线。该方法包括:将正编程电压施加至从多个字线中选中的一个;将接地电压施加至除选中字线之外的其余字线;将接地电压施加至从多个位线中选中的一个,以选择位于选中字线和选中位线的交叉点处的单位单元;电浮置除了选中位线之外的其余位线;将正编程源极线电压施加至连接到选中单位单元的源极线;将接地电压施加至其余源极线;以及将接地电压施加至阱偏置线以选择性地编程选中单位单元的第一电荷储存晶体管。

附图说明

[0014] 鉴于附图和所附详细描述,本公开的各种实施例将变得更明显,其中:

[0015] 图1是图示根据实施例的电荷俘获非易失性存储器件的剖面图;

[0016] 图2在图1中所示的电荷俘获非易失性存储器件的等效电路图;

[0017] 图3图示在图1中所示的电荷俘获非易失性存储器件的第一电荷储存晶体管的编程操作的剖面图;

[0018] 图4图示在图1中所示的电荷俘获非易失性存储器件的第二电荷储存晶体管的编程操作的剖面图;

[0019] 图5图示在图1中所示的电荷俘获非易失性存储器件的选择性擦除操作的剖面图;

[0020] 图6图示在图1中所示的电荷俘获非易失性存储器件的批量擦除操作(bulk erasure operation)的剖面图;

[0021] 图7图示在图1中所示的电荷俘获非易失性存储器件的另一批量擦除操作的剖面图;

[0022] 图8图示在图1中所示的电荷俘获非易失性存储器件的第一电荷储存晶体管的读取操作的剖面图;

[0023] 图9图示在图1中所示的电荷俘获非易失性存储器件的第二电荷储存晶体管的读取操作的剖面图;

- [0024] 图10图示根据实施例的电荷俘获非易失性存储器件的单元阵列的等效电路图；
- [0025] 图11图示在图10中所示的电荷俘获非易失性存储器件的单元阵列的编程操作的等效电路图；
- [0026] 图12图示在图10中所示的电荷俘获非易失性存储器件的单元阵列的另一编程操作的等效电路图；
- [0027] 图13图示在图10中所示的电荷俘获非易失性存储器件的单元阵列的选择性擦除操作的等效电路图；
- [0028] 图14图示在图10中所示的电荷俘获非易失性存储器件的单元阵列的另一选择性擦除操作的等效电路图；
- [0029] 图15图示在图10中所示的电荷俘获非易失性存储器件的单元阵列的批量擦除操作的等效电路图；
- [0030] 图16图示在图10中所示的电荷俘获非易失性存储器件的单元阵列的读取操作的等效电路图；
- [0031] 图17图示在图10中所示的电荷俘获非易失性存储器件的单元阵列的另一读取操作的等效电路图；
- [0032] 图18图示根据实施例的电荷俘获非易失性存储器件的单元阵列的布局图；以及
- [0033] 图19至图24图示根据实施例的制造电荷俘获非易失性存储器件的方法的剖面图。

具体实施方式

[0034] 将理解的是，尽管可以在本文中使用的术语来描述各种的元件，但这些元件不应该受限于这些术语。这些术语只被用来区别一个元件与另一个元件而已。因此，在不脱离本公开的教示的情况下，在某些实施例中的第一元件可能在其它实施例中被称为第二元件。

[0035] 还将理解的是，当元件被称为在另一元件“上”、“之上”、“上面”、“下”、“之下”或“下面”时，其可以直接接触另一元件，或者至少一个介于中间的元件可以存在于两者之间。因此，本文中所用的术语，诸如，“上”、“之上”、“上面”、“下”、“之下”和“下面”等只出于描述特定实施例的目的，因非意在限制本公开的范围。

[0036] 还将理解的是，当元件被称为“连接”或“耦接”至另一元件时，其可以直接连接或耦接至另一元件，或者可以存在介于中间的元件。

[0037] 图1图示根据实施例的电荷俘获非易失性存储器件的剖面图。参照图1，第一导电类型的阱区104(例如，P型阱区)可以设置在衬底103的上部中。衬底103可以是半导体衬底，诸如，单晶硅衬底。在某些实施例中，衬底103可以是绝缘体上硅(SOI)衬底，其包括顺序层叠的支撑衬底、掩埋绝缘层和单晶硅层。如果衬底103是P型，则阱区104可以是不必要的。阱区104的上部的一部分可以对应于有源区101。有源区101可以由隔离区102来定义。沟槽隔离层105可以设置在隔离区102中。重掺杂N型杂质的源极区106和重掺杂N型杂质的漏极区107可以设置在有源区101中，并且彼此间隔开。第一俘获区111、沟道区113和第二俘获区112可以被定义在介于源极区106与漏极区107之间的阱区104中。沟道区113可以设置在第一俘获区111及第二俘获区112之间。第一俘获区111可以设置在源极区106与沟道区113之间，以及第二俘获区112可以设置在沟道区113与漏极区107之间。

[0038] 栅极绝缘图案121和栅极导电图案122可以顺序层叠在沟道区113上。栅极绝缘图案121和栅极导电图案122可以构成选择晶体管的栅极层叠结构120。选择晶体管可以被配置以具有金属氧化物半导体(MOS)结构,其包括沟道区113、栅极绝缘图案121和栅极导电图案122。在某些实施例中,栅极绝缘图案121可以包括氧化物层,并且栅极导电图案122可以包括多晶硅层或金属层。如果高于选择晶体管的阈值电压的电压被施加至栅极导电图案122,则可以在沟道区113中形成反转层。在沟道区113中形成的反转层可以作用为载流子移动通过的电流路径。

[0039] 第一隧道绝缘层131、第一电荷俘获层141和第一阻挡绝缘层151可以顺序层叠在第一俘获区111中的阱区104上。第一隧道绝缘层131可以延伸以覆盖栅极层叠结构120的侧壁的表面。该侧壁可以位于与漏极区107相对处。因此,第一隧道绝缘层131可以包括设置在第一俘获区111中的阱区104上的一部分以及设置在栅极层叠结构120的侧壁上的另一部分。

[0040] 第一电荷俘获层141和第一阻挡绝缘层151中的每个也可以具有和第一隧道绝缘层131相同的剖面轮廓。因此,第一电荷俘获层141和第一阻挡绝缘层151中的每个可以包括设置在第一俘获区111中的阱区104上的一部分以及设置在栅极层叠结构120的侧壁上的另一部分。

[0041] 第一隧道绝缘层131可以包括氧化物层。第一隧道绝缘层131可以具有比栅极绝缘图案121的厚度小的厚度。第一电荷俘获层141可以包括氮化物层。第一阻挡绝缘层151可以包括氧化物层或高k电介质层,例如,铝氧化物(Al_2O_3)层。

[0042] 第二隧道绝缘层132、第二电荷俘获层142和第二阻挡绝缘层152可以顺序层叠在第二俘获区112中的阱区104上。第二隧道绝缘层132可以延伸以覆盖栅极层叠结构120的另一侧壁的表面。该侧壁可以位于与源极区106相对处。因此,第二隧道绝缘层132可以包括设置在第二俘获区112中的阱区104上的一部分以及设置在栅极层叠结构120的侧壁上的另一部分。

[0043] 第二电荷俘获层142和第二阻挡绝缘层152中的每个也可以具有和第二隧道绝缘层132相同的剖面轮廓。因此,第二电荷俘获层142和第二阻挡绝缘层152中的每个可以包括设置在第二俘获区112中的阱区104上的一部分以及设置在栅极层叠结构120的侧壁上的另一部分。

[0044] 第二隧道绝缘层132可以包括氧化物层。第二隧道绝缘层132可以具有比栅极绝缘图案121的厚度小的厚度。第二电荷俘获层142可以包括氮化物层。第二阻挡绝缘层152可以包括氧化物层或高k电介质层,例如,铝氧化物(Al_2O_3)层。

[0045] 层间绝缘层160可以设置以覆盖沟槽隔离层105、源极区106和漏极区107、第一阻挡绝缘层151和第二阻挡绝缘层152以及栅极导电图案122。层间绝缘层160可以是单层的绝缘材料或多层的绝缘材料。源极区106可以由贯穿层间绝缘层160的第一接触孔161而被露出,并且漏极区107可以由贯穿层间绝缘层160的第二接触孔162而被露出。栅极导电图案122以及第一阻挡绝缘层151和第二阻挡绝缘层152可以由贯穿层间绝缘层160的第三接触孔163而被露出。第三接触孔163可以被分成第三上接触孔163a和第三下接触孔163b。第三上接触孔163a可以从层间绝缘层160的顶表面水平延伸到栅极导电图案122的顶表面水平,并且可以具有垂直的侧壁或倾斜的侧壁。第三下接触孔163b可以从栅极导电图案122的顶

表面水平延伸到第一阻挡绝缘层151和第二阻挡绝缘层152的顶表面水平并且可以具有圆形的侧壁轮廓。第三下接触孔163b可以从第三上接触孔163a的侧壁横向地延伸,使得第三下接触孔163b可以具有比第三上接触孔163a的宽度大的宽度。

[0046] 第一接触孔161、第二接触孔162和第三接触孔163可以分别填充有第一接触插塞171、第二接触插塞172和第三接触插塞173。因此,第一接触插塞171和第二接触插塞172可以分别接触源极区106与漏极区107。在某些实施例中,用于降低接触电阻值的层(例如,硅化物层)可以设置在第一接触插塞171与源极区106之间以及第二接触插塞172与漏极区107之间。

[0047] 第三接触插塞173可以包括填充第三上接触孔163a的第三上接触插塞173a以及填充第三下接触孔163b的第三下接触插塞173b。第三上接触插塞173a和第三下接触插塞173b可以由相同的材料形成。即,第三上接触插塞173a和第三下接触插塞173b可以构成单个一体的主体,而在其间无任何异质结。

[0048] 第三上接触插塞173a可以从沟道区113之上横向地延伸到第一俘获层111和第二俘获层112之上。即,第三上接触插塞173a的宽度 W_2 可以大于栅极导电图案122的宽度 W_1 。因此,第三上接触插塞173a的两个边缘分别可以和相邻于沟道区113的第一俘获区111的一部分以及相邻于沟道区113的第二俘获区112的一部分垂直地重叠。

[0049] 第三上接触插塞173a可以接触栅极导电图案122。第三下接触插塞173b可以和第一俘获区111及第二俘获区112两者垂直地重叠。第三下接触插塞173b的两个侧壁可以分别和相邻于第一俘获区111的源极区106的边缘以及相邻于第二俘获区112的漏极区107的边缘自对准。

[0050] 第一接触插塞171、第二接触插塞172及第三接触插塞173可以由相同的导电材料形成。在某些实施例中,第一接触插塞171、第二接触插塞172及第三接触插塞173可以是钨材料。在某些其它实施例中,第一接触插塞171、第二接触插塞172及第三接触插塞173中的每个可以包括多个金属层。

[0051] 在第一俘获区111中,阱区104、第一隧道绝缘层131、第一电荷俘获层141、第一阻挡绝缘层151和第三接触插塞173垂直地层叠,并且可以构成第一电荷储存晶体管。在第一电荷储存晶体管中,第三接触插塞173可以作为控制栅电极,以及第一隧道绝缘层131、第一电荷俘获层141和第一阻挡绝缘层151可以作为栅极绝缘层。

[0052] 在第二俘获区112中,阱区104、第二隧道绝缘层132、第二电荷俘获层142、第二阻挡绝缘层152和第三接触插塞173垂直地层叠,并且可以构成第二电荷储存晶体管。在第二电荷储存晶体管中,第三接触插塞173可以作为控制栅电极。第二隧道绝缘层132、第二电荷俘获层142和第二阻挡绝缘层152可以作为栅极绝缘层。

[0053] 在第一俘获区111中,当超过某阈值的垂直电场被施加到第三接触插塞173与阱区104之间时,在源极区106附近产生的热载流子可以贯穿第一隧道绝缘层131,并且可以在第一电荷俘获层141中被俘获。

[0054] 类似地,在第二俘获区112中,当超过某阈值的垂直电场被施加在第三接触插塞173与阱区104之间时,在漏极区107附近产生的热载流子可以贯穿第二隧道绝缘层132,并且可以在第二电荷俘获层142中被俘获。

[0055] 在此情形中,第三接触插塞173可以作为产生垂直电场的电压被施加的控制栅电

极。根据实施例,第三接触插塞173可以由金属形成,例如,与第一接触插塞171及第二接触插塞172相同的金属。由于第三接触插塞173由金属形成而非多晶硅,因此与采用多晶硅层作为控制栅电极的传统非易失性存储器件相比,根据实施例的电荷俘获非易失性存储器件的操作速度可以得到改善。

[0056] 图2在图1中所示的电荷俘获非易失性存储器件的等效电路图。参照图2,具有第一电荷俘获结构的第一电荷储存晶体管251、选择晶体管220以及具有第二电荷俘获结构的第二电荷储存晶体管252可以彼此串联连接。

[0057] 第一电荷储存晶体管251可以包括连接至源极线SL的源极端子S。第一电荷储存晶体管251的另一端子可以连接至选择晶体管220。此外,第二电荷储存晶体管252可以包括连接至位线BL的漏极端子D。第二电荷储存晶体管252的另一端子可以连接至选择晶体管220的另一端子。

[0058] 如同参考图1所描述的,第一电荷储存晶体管251的第一电荷俘获结构可以包括顺序层叠的第一隧道绝缘层、第一电荷俘获层和第一阻挡绝缘层。此外,如同参考图1所描述的,第二电荷储存晶体管252的第二电荷俘获结构可以包括顺序层叠的第二隧道绝缘层、第二电荷俘获层和第二阻挡绝缘层。选择晶体管220的选择栅极端子SG、第一电荷储存晶体管251的第一控制栅极端子CG1以及第二电荷储存晶体管252的第二控制栅极端子CG2可以连接至单个或公共字线WL。

[0059] 参照图1和图2,选择晶体管220的选择栅极端子SG可以对应于栅极导电图案122和第三接触插塞173,以及第一电荷储存晶体管251的第一控制栅极端子CG1以及第二电荷储存晶体管252的第二控制栅极端子CG2可以对应于第三接触插塞173。

[0060] 此外,第一电荷储存晶体管251的源极端子S可以对应于源极区106,并且第二电荷储存晶体管252的漏极端子D可以对应于漏极区107。此外,第一电荷储存晶体管251、选择晶体管220和第二电荷储存晶体管252可以彼此共享阱区104,并且阱区104可以连接至阱偏置线WBL。

[0061] 图3图示在图1中所示的电荷俘获非易失性存储器件的第一电荷储存晶体管的编程操作的剖面图。在以下的实施例中,通过正向地增加电荷储存晶体管的阈值电压来执行编程操作。通过降低(即,负向地增加)电荷储存晶体管的阈值电压来执行擦除操作。然而,在以下的实施例中执行的编程操作和擦除操作是示例性实施例,且不局限于此。此外,用于降低电荷储存晶体管的阈值电压的编程操作以及用于增加电荷储存晶体管的阈值电压的擦除操作也可以是可供利用的。

[0062] 在图3中,与图1和图2中所用的相同的参考标记表示相同或类似的元件。参照图3,为了编程第一电荷储存晶体管251,正编程电压 $+V_{pp}$ 可以被施加至字线WL,并且正编程源极线电压 $+V_{ps1}$ 可以被施加至源极线SL。在此情形中,位线BL和阱区104可以接地。在某些实施例中,正编程电压 $+V_{pp}$ 可以高于选择晶体管220的阈值电压和第二电荷储存晶体管252的阈值电压,并且可以具有充分的电压电平以将在源极区106附近产生的热电子穿过第一隧道绝缘层131来注入到第一电荷俘获层141中。在某些实施例中,正编程源极线电压 $+V_{ps1}$ 可以具有充分的电压电平以产生水平电场,水平电场能够在源极区106附近产生热电子。正编程电压 $+V_{pp}$ 和正编程源极线电压 $+V_{ps1}$ 可以根据热电子的产生机制而彼此不同。

[0063] 正编程电压 $+V_{pp}$ 可以通过字线WL而被施加至第三接触插塞173和栅极导电图案

122。因此,选择晶体管220和第二电荷储存晶体管252可以导通。即,可以在沟道区113和第二俘获区112中形成反转层。

[0064] 此外,由于位线BL接地并且正编程源极线电压 $+V_{ps1}$ 被施加至源极线SL,因此可以在沟道区113中的反转层及第二俘获区112中的反转层与源极区106之间产生与正编程源极线电压 $+V_{ps1}$ 相对应的水平电场。因此,如图3中的虚线箭头所指示的,载流子(即,电子)可以从第二电荷储存晶体管252的漏极区107向第一电荷储存晶体管251的源极区106漂移。

[0065] 此外,由于正编程电压 $+V_{pp}$ 通过字线WL而被施加至第三接触插塞173并且阱区104接地,因此可以在第一俘获区111中产生与正编程电压 $+V_{pp}$ 相对应的垂直电场。结果,通过水平电场而在源极区106附近产生的热电子可以通过垂直电场,穿过第一隧道绝缘层131而被注入到第一电荷俘获层141中。(见于图3的部分“A”)。因此,第一电荷储存晶体管251的阈值电压可以增高,使得第一电荷储存晶体管251具有被编程状态。

[0066] 图4图示在图1中所示的电荷俘获非易失性存储器件的第二电荷储存晶体管的编程操作的剖面图。在图4中,与图1和图2中所用的相同的参考标记表示相同的元件。参照图4,为了编程第二电荷储存晶体管252,正编程电压 $+V_{pp}$ 可以被施加至字线WL,并且正编程位线电压 $+V_{pb1}$ 可以被施加至位线BL。

[0067] 在此情形中,源极线SL和阱区104可以接地。正编程电压 $+V_{pp}$ 可以高于选择晶体管220的阈值电压和第一电荷储存晶体管251的阈值电压,并且可以具有充分的电压电平以将在漏极区107附近产生的热电子穿过第二隧道绝缘层132而注入到第二电荷俘获层142中。正编程位线电压 $+V_{pb1}$ 可以具有充分的电压电平以产生水平电场,水平电场能够在漏极区107附近产生热电子。正编程电压 $+V_{pp}$ 和正编程位线电压 $+V_{pb1}$ 可以根据热电子的产生机制而被设置为不同。

[0068] 正编程电压 $+V_{pp}$ 可以通过字线WL而被施加至第三接触插塞173和栅极导电图案122。因此,选择晶体管220和第一电荷储存晶体管251可以导通。即,可以在沟道区113和第一俘获区111中形成反转层。此外,由于源极线SL接地并且正编程位线电压 $+V_{pb1}$ 被施加至位线BL,因此可以在沟道区113中的反转层及第一俘获区111中的反转层与漏极区107之间产生与正编程位线电压 $+V_{pb1}$ 相对应的水平电场。因此,如虚线箭头所指示的,载流子(即,电子)可以从第一电荷储存晶体管251的源极区106向第二电荷储存晶体管252的漏极区107漂移。

[0069] 此外,由于正编程电压 $+V_{pp}$ 通过字线WL而被施加至第三接触插塞173,并且阱区104接地,因此可以在第二俘获区112中产生与正编程电压 $+V_{pp}$ 相对应的垂直电场。结果,通过水平电场而在漏极区107附近产生的热电子可以通过垂直电场,穿过第二隧道绝缘层132而被注入到第二电荷俘获层142中。(见于图4的部分“B”)。因此,第二电荷储存晶体管252的阈值电压可以增高,使得第二电荷储存晶体管252具有被编程状态。

[0070] 图5图示在图1中所示的电荷俘获非易失性存储器件的选择性擦除操作的剖面图。在图5中,与图1和图2中所用的相同的参考标记表示相同的元件。参照图5,为了选择性地擦除被储存在第一电荷储存晶体管251中的数据,负擦除电压 $-V_{ee}$ 可以被施加至字线WL,并且正擦除源极线电压 $+V_{es1}$ 可以被施加至源极线SL。在此情形中,位线BL可以被浮置,并且阱区104可以接地。

[0071] 负擦除电压 $-V_{ee}$ 和正擦除源极线电压 $+V_{es1}$ 可以被设置成使得在第一电荷俘获层

141中俘获的电子通过带-带隧穿(BTBT)机制而被注入到源极区106中。此外,负擦除电压- V_{ee} 可以被设置成使得在第二电荷俘获层142中俘获的电子不被注入到接地的阱区104中。

[0072] 负擦除电压- V_{ee} 可以通过字线WL而被施加至第三接触插塞173和栅极导电图案122。此外,正擦除源极线电压+ V_{es1} 可以通过源极线SL而被施加至源极区106。因此,可以在第三接触插塞173(其作为第一电荷储存晶体管251的第一控制栅极端子CG1)与第一电荷储存晶体管251的源极区106之间产生与负擦除电压- V_{ee} 和正擦除源极线电压+ V_{es1} 之间的电压差相对应的电场。因此,在第一电荷俘获层141中俘获的电子可以通过BTBT机制而被注入到源极区106中(见于图5的部分“C”)。结果,第一电荷储存晶体管251的阈值电压可以降低,使得第一电荷储存晶体管251具有被擦除状态。

[0073] 当第一电荷储存晶体管251被擦除时,由于连接至漏极区107的位线BL被电浮置,因此在第三接触插塞173与漏极区107之间不产生电场。可以在第三接触插塞173与第二俘获区112中的阱区104之间产生与负擦除电压- V_{ee} 相对应的电场。如上所述,负擦除电压- V_{ee} 可以被设置成使得在第二电荷俘获层142中俘获的电子不被注入到接地的阱区104中。因此,当第一电荷储存晶体管251被擦除时,第二电荷储存晶体管252可以不被擦除。

[0074] 第二电荷储存晶体管252也可以利用与用于选择性擦除第一电荷储存晶体管251的选择性擦除操作基本上相同的方式来选择性地擦除。在此情形中,源极线SL可以被浮置,并且正擦除位线电压+ V_{eb1} 可以被施加至位线BL。正擦除位线电压+ V_{eb1} 可以具有与正擦除源极线电压+ V_{es1} 相同的电压电平。

[0075] 如上所述,第一电荷储存晶体管251和第二电荷储存晶体管252中的任意一个可以被选择性擦除。如果在图1中所示的电荷俘获非易失性存储器件被反复地布置以提供单元阵列,则共享单个字线WL的第一电荷储存晶体管251和第二电荷储存晶体管252可以分别属于两个不同的页。在此情形中,第一电荷储存晶体管251或第二电荷储存晶体管252可以通过使用如参考图5描述的选择性擦除方法,以页的单位来执行擦除操作而被选择性擦除。

[0076] 图6图示在图1中所示的电荷俘获非易失性存储器件的批量擦除操作的剖面图。在图6中,与图1和图2中所用的相同的参考标记表示相同的元件。参照图6,为了同时批量擦除被储存在第一电荷储存晶体管251和第二电荷储存晶体管252中的数据,负擦除电压- V_{ee} 可以被施加至字线WL,并且正擦除源极线电压+ V_{es1} 和正擦除位线电压+ V_{eb1} 可以分别被施加至源极线SL和位线BL。正擦除源极线电压+ V_{es1} 和正擦除位线电压+ V_{eb1} 可以具有相同的电压电平。阱区104可以接地,以同时批量擦除第一电荷储存晶体管251和第二电荷储存晶体管252。

[0077] 负擦除电压- V_{ee} 和正擦除源极线电压+ V_{es1} 可以被设置成使得在第一电荷俘获层141中俘获的电子通过BTBT机制而被注入到源极区106中。类似地,负擦除电压- V_{ee} 和正擦除位线电压+ V_{eb1} 可以被设置成使得在第二电荷俘获层142中俘获的电子通过BTBT机制而被注入到漏极区107中。

[0078] 负擦除电压- V_{ee} 可以通过字线WL而被施加至第三接触插塞173和栅极导电图案122。此外,正擦除源极线电压+ V_{es1} 可以通过源极线SL而被施加至源极区106。因此,可以在第三接触插塞173(其作为第一电荷储存晶体管251的第一控制栅极端子CG1)与第一电荷储存晶体管251的源极区106之间产生与负擦除电压- V_{ee} 和正擦除源极线电压+ V_{es1} 之间的电压差相对应的电场。因此,在第一电荷俘获层141中俘获的电子可以通过BTBT机制而被注入

到源极区106中(见于图6的部分“D”)。照此,当第一电荷储存晶体管251具有被擦除状态时,第一电荷储存晶体管251的阈值电压可以降低。

[0079] 当第二电荷储存晶体管252被擦除时,负擦除电压 $-V_{ee}$ 可以通过字线WL而被施加至第三接触插塞173和栅极导电图案122,并且正擦除位线电压 $+V_{eb1}$ 可以通过位线BL而被施加至漏极区107。因此,可以在第二接触插塞172(其作为第二电荷储存晶体管252的第二控制栅极端子CG2)与第二电荷储存晶体管252的漏极区107之间产生与负擦除电压 $-V_{ee}$ 和正擦除位线电压 $+V_{eb1}$ 之间的电压差相对应的电场。因此,在第二电荷俘获层142中俘获的电子可以通过BTBT机制而被注入到漏极区107中(见于图6的部分“E”)。照此,当第二电荷储存晶体管252具有被擦除状态时,第二电荷储存晶体管252的阈值电压可以降低。

[0080] 根据参考图6描述的批量擦除方法,全部第一电荷储存晶体管251和第二电荷储存晶体管252可以通过BTBT机制而被同时批量地擦除。因此,如果图1中所示的电荷俘获非易失性存储器件被反复地布置以提供单元阵列,则全部第一电荷储存晶体管251和第二电荷储存晶体管252可以以块为单位来同时地擦除,而不管页缓冲器电路的配置如何。

[0081] 图7图示在图1中所示的电荷俘获非易失性存储器件的另一批量擦除操作的剖面图。在图7中,与图1和图2中所用的相同的参考标记表示相同的元件。参照图7,为了同时批量擦除被储存在第一电荷储存晶体管251和第二电荷储存晶体管252中的数据,负擦除电压 $-V_{ee}$ 可以被施加至字线WL,并且源极线SL和位线BL可以被电浮置。在本实施例中,正擦除阱电压 $+V_{ew}$ 可以被施加至阱区104。负擦除电压 $-V_{ee}$ 和正擦除阱电压 $+V_{ew}$ 可以被设置成使得在第一电荷俘获层141和第二电荷俘获层142中俘获的电子通过福勒-诺得海姆(FN)隧穿机制而被注入到阱区104之中。

[0082] 当正擦除阱电压 $+V_{ew}$ 被施加至阱区104时,负擦除电压 $-V_{ee}$ 可以通过字线WL而被施加至第三接触插塞173和栅极导电图案122。因此,可以在第三接触插塞173(其作为第一电荷储存晶体管251和第二电荷储存晶体管252的第一控制栅极端子CG1和第二控制栅极端子CG2)与阱区104之间产生与负擦除电压 $-V_{ee}$ 和正擦除阱电压 $+V_{ew}$ 之间的电压差相对应的电场。因此,在第一电荷俘获层141中俘获的电子可以通过FN隧穿机制而被注入到阱区104中。(见于图7的部分“F”)。在第二电荷俘获层142中俘获的电子也可以通过FN隧穿机制而被注入到阱区104之中。(见于图7的部分“G”)。照此,当第一电荷储存晶体管251和第二电荷储存晶体管252两者都具有被擦除状态时,第一电荷储存晶体管251的阈值电压和第二电荷储存晶体管252的阈值电压可以被设置为低。

[0083] 根据参考图7描述的批量擦除方法,全部第一电荷储存晶体管251和第二电荷储存晶体管252可以通过FN隧穿机制来同时批量擦除。因此,如果在图1中所示的电荷俘获非易失性存储器件被反复地布置以提供单元阵列,则全部第一电荷储存晶体管251和第二电荷储存晶体管252可以以块为单位来同时擦除,而不管页缓冲器电路的配置如何。

[0084] 图8图示在图1中所示的电荷俘获非易失性存储器件的第一电荷储存晶体管251的读取操作的剖面图。在图8中,与图1和图2中所用的相同的参考标记表示相同的元件。参照图8,为了读出被储存在第一电荷储存晶体管251中的数据,正读取电压 $+V_{rr}$ 可以被施加至字线WL,并且正读取位线电压 $+V_{rb1}$ 可以被施加至位线BL。源极线SL和阱区104可以接地。正读取电压 $+V_{rr}$ 可以高于选择晶体管220的阈值电压。此外,正读取电压 $+V_{rr}$ 可以具有介于具有被擦除状态的第一电荷储存晶体管251的阈值电压与具有被编程状态的第一电荷储存晶

晶体管251的阈值电压之间的中间电平(inter-level)。在某些实施例中,正读取位线电压+Vrb1可以具有充分的电压电平,以完全地耗尽第二俘获区112。

[0085] 正读取电压+Vrr可以通过字线WL而被施加至第三接触插塞173和栅极导电图案122。因此,选择晶体管220可以导通,使得在沟道区113中形成反转层。如果第一电荷储存晶体管251具有被擦除状态,则反转层可以形成在第一俘获区111中,但如果第一电荷储存晶体管251具有被编程状态,则反转层不会形成在第一俘获区111中。

[0086] 首先,在下文中将描述具有被擦除状态的第一电荷储存晶体管251的读取操作。具体地,第一电荷储存晶体管251和选择晶体管220可以导通,使得在第一俘获区111和沟道区113中分别形成第一反转层191和第二反转层192。第一反转层191和第二反转层192可以作为载流子移动通过的电流路径。此外,由于正读取位线电压+Vrb1通过位线BL而被施加至漏极区107,因此第二俘获区112可以通过表面击穿现象而被完全地耗尽,并且作为漏极区107的延伸。因此,电子可以通过源极区106与漏极区107之间的电压差而从源极区106漂移至漏极区107。即,沟道电流可以从漏极区107流到源极区106。因此,连接至位线BL的感测放大器(未示出)可以感测沟道电流,沟道电流指示第一电荷储存晶体管251处于被擦除状态。接下来,在下文中将描述具有被编程状态的第一电荷储存晶体管251的读取操作。具体地,当选择晶体管220导通时,第一电荷储存晶体管251可以关断。因此,在沟道区113中形成第二反转层192,但在第一俘获区111中不会形成第一反转层191。因此,由于正读取位线电压+Vrb1通过位线BL而被施加至漏极区107,因此第二俘获区112可以通过表面击穿现象而被完全地耗尽,并且作为漏极区107的延伸。然而,由于在第一俘获区111中没有形成反转层,因此在源极区106与漏极区107之间不会有沟道电流流动。因此,这指示第一电荷储存晶体管251处于被编程状态。

[0087] 图9图示在图1中所示的电荷俘获非易失性存储器件的第二电荷储存晶体管252的读取操作的剖面图。在图9中,与图1和图2中所用的相同的参考标记表示相同的元件。参照图9,为了读出被储存在第二电荷储存晶体管252中的数据,正读取电压+Vrr可以被施加至字线WL,并且正读取源极线电压+Vrs1可以被施加至源极线SL。位线BL和阱区104可以接地。

[0088] 正读取电压+Vrr可以高于选择晶体管220的阈值电压。此外,正读取电压+Vrr可以具有介于处于被擦除状态的第二电荷储存晶体管252的阈值电压与处于被编程状态的第二电荷储存晶体管252的阈值电压之间的中间电平。在某些实施例中,正读取源极线电压+Vrs1可以具有充分的电压电平以完全地耗尽第一俘获区111。

[0089] 正读取电压+Vrr可以通过字线WL而被施加至第三接触插塞173和栅极导电图案122。因此,选择晶体管220可以导通,使得在沟道区113中形成反转层。如果第二电荷储存晶体管252处于被擦除状态,则反转层可以形成在第二俘获区112中,但如果第二电荷储存晶体管252处于被编程状态,则反转层不会形成在第二俘获区112中。

[0090] 在下文中将描述处于被擦除状态的第二电荷储存晶体管252的读取操作。具体地,第二电荷储存晶体管252和选择晶体管220可以导通,使得在第二俘获区112和沟道区113中分别形成第三反转层193和第四反转层194。第三反转层193和第四反转层194可以作为载流子移动通过的电流路径。

[0091] 由于正读取源极线电压+Vrs1通过源极线SL而被施加至源极区106,因此第一俘获区111可以通过表面击穿现象而被完全地耗尽,并且作为源极区106的延伸。因此,电子可以

通过源极区106与漏极区107之间的电压差,而从漏极区107漂移至源极区106。即,沟道电流可以从源极区106流到漏极区107。因此,连接至源极线SL的感测放大器(未示出)可以感测沟道电流。这指示第二电荷储存晶体管252处于被擦除状态。

[0092] 在下文中将描述处于被编程状态的第二电荷储存晶体管252的读取操作。具体地,当选择晶体管220导通时,第二电荷储存晶体管252可以关断。因此,第四反转层194形成在沟道区113中,但第三反转层193不会形成在第二俘获区112中。

[0093] 由于正读取源极线电压 $+V_{rs1}$ 通过源极线SL而被施加至源极区106,因此第一俘获区111可以通过表面击穿现象而被完全地耗尽,并且作为源极区106的延伸。然而,由于在第二俘获区112中不会形成反转层,因此即使在源极区106与漏极区107之间存在电压差,沟道电流也不会源极区106与漏极区107之间流动。这指示第二电荷储存晶体管252处于被编程状态。

[0094] 图10图示根据实施例的电荷俘获非易失性存储器件的单元阵列200的等效电路图。参照图10,单元阵列200可以包括多个单位单元,该多个单位单元以列和行布置以具有“ 4×3 ”矩阵形式。单元阵列200的列数和行数可以根据实施例而变化。即使列数和行数不同,相同的配置及操作仍然可以等同地应用于那些实施例。

[0095] 包括在单元阵列200中的每个单位单元可以具有与图1和图2中所示的电荷俘获非易失性存储器件相同的配置。即,单元阵列200的每个单位单元可以被配置以包括串联连接的具有第一控制栅极端子CG1的第一电荷储存晶体管、具有选择栅极端子SG的选择晶体管、以及具有第二控制栅极端子CG2的第二电荷储存晶体管。因此,将省略或简单提及与在先前实施例中所阐述的相同的元件的描述以避免重复解释。

[0096] 单元阵列200的单位单元可以分别位于行和列的交叉点。尽管未显示在附图中,但是构成图10中所示的单元阵列200的全部单位单元都可以设置在单个阱区上。公共阱偏置电压可以被施加至单个阱区。

[0097] 包括在三个列中的每列中的单位单元可以彼此串联连接。位于第N行(其中,N是奇数整数)和第P列(其中,P是整数)的第一单位单元的源极端子S可以直接连接至位于第(N+1)行和第P列的交叉点处的第二单位单元的源极端子S。即,分别位在同一列中第N行和第(N+1)行的一对相邻单位单元可以彼此共享单个源极端子。

[0098] 例如,位于第一行和第一列的交叉点处的单位单元211的源极端子S可以直接连接至位于第二行和第一列的交叉点处的单位单元221的源极端子S。此外,位于第三行第一列的交叉点处的单位单元231的源极端子S可以直接连接至位于第四行和第一列的交叉点处的单位单元241的源极端子S。

[0099] 位于第M行(其中,M是偶数整数)和第Q列(其中,Q是整数)的交叉点处的第三单位单元的漏极端子D可以直接连接至位于第(M+1)行和第Q列的交叉点处的第四单位单元的漏极端子D。即,分别位于第M行和第(M+1)行并且共同连接至同一列的一对相邻单位单元可以彼此共享单个漏极端子。

[0100] 例如,位于第二行和第一列的交叉点处的单位单元221的漏极端子D可以直接连接至位于第三行和第一列的交叉点处的单位单元231的漏极端子D。

[0101] 布置在同一行中的单位单元的选择栅极端子SG可以共同连接至单个字线。例如,布置在第一行中的单位单元211、212及213的选择栅极端子SG可以共同连接至第一字线

WL1。同样地,布置在第二行中的单位单元221、222及223的选择栅极端子SG可以共同连接至第二字线WL2。布置在第三行中的单位单元231、232及233的选择栅极端子SG可以共同连接至第三字线WL3。布置在第四行中的单位单元241、242及243的选择栅极端子SG可以共同连接至第四字线WL4。

[0102] 布置在同一列中的单位单元的漏极端子D可以共同连接至单个位线。例如,布置在第一列中的单位单元211、221、231及241的漏极端子D可以共同连接至第一位线BL1。同样地,布置在第二列中的单位单元212、222、232及242的漏极端子D可以共同连接至第二位线BL2。布置在第三列中的单位单元213、223、233及243的漏极端子D可以共同连接至第三位线BL3。

[0103] 布置在第N行和第(N+1)行中的单位单元的源极端子S可以共同连接至单个源极线。例如,布置在第一行和第二行中的单位单元211、212、213、221、222及223的源极端子S可以共同连接至第一源极线SL1。此外,布置在第三行和第四行中的单位单元231、232、233、241、242及243的源极端子S可以共同连接至第二源极线SL2。

[0104] 图11图示在图10中所示的电荷俘获非易失性存储器件的单元阵列200的编程操作的等效电路图。在图11中,例如,位于第二行和第一列的交叉点处的单位单元221(在下文中被称选中单位单元)的第一电荷储存晶体管被编程。(见在图11中的虚线圆圈)。本实施例可以被应用于编程在另一单位单元中的另一第一电荷储存晶体管。

[0105] 参照图11,正编程电压 $+V_{pp}$ 可以被施加至连接到选中单位单元221的选择栅极SG的第二字线WL2,并且其余的字线WL1、WL3及WL4可以接地。正编程源极线电压 $+V_{ps1}$ 可以被施加至连接到选中单位单元221的源极端子S的第一源极线SL1。其余的源极线SL2可以接地。连接至选中单位单元221的漏极区D的第一位线BL1可以接地。其余的位线BL2及BL3可以被浮置。尽管未显示在图11中,单元阵列被设置于其上的阱区可以接地。

[0106] 在以上的偏置条件下,选中单位单元221的第一电荷储存晶体管可以通过以上参考图3描述的沟道热载流子注入机制来编程。当选中单位单元221的第一电荷储存晶体管被编程时,第二位线BL2和第三位线BL3可以被浮置。因此,与选中单位单元221共享第二字线WL2的每个非选中单位单元(即,位在第二行和第二列及第三列的交叉点处的单位单元222及223)中的源极端子S与漏极端子D之间不会产生水平电场。结果,编程禁止条件可以被施加至单位单元222及223。

[0107] 当选中单位单元221的第一电荷储存晶体管被编程时,第二位线BL2和第三位线BL3可以被浮置。因此,与选中单位单元221共享第二字线WL2的每个非选中单位单元(即,位在第二行和第二列及第三列的交叉点处的单位单元222及223)的源极端子S与漏极端子D之间不会产生水平电场。结果,编程禁止条件可以被施加至单位单元222及223。

[0108] 当选中单位单元221的第一电荷储存晶体管被编程时,第一字线WL1可以接地。因此,与选中单位单元221共享第一源极线SL1的非选中单位单元(即,位在第一行和第一列、第二列及第三列的交叉点处的单位单元211、212及213)的全部选择晶体管可以关断。结果,编程禁止条件也可以被施加至单位单元211、212及213。类似地,由于第三字线WL3和第四字线WL4接地,因此编程禁止条件也可以被施加至连接至第三字线WL3和第四字线WL4的所有单位单元231、232、233、241、242及243。

[0109] 图12图示在图10中所示的电荷俘获非易失性存储器件的单元阵列200的另一编程

操作的等效电路图。在图12中,位于第二行和第一列的交叉点处的单位单元221(在下文中被称为选中单位单元)的第二电荷储存晶体管将被编程。(见在图12中的虚线圆圈)。本实施例可以被应用于编程另一单位单元的另一第二电荷储存晶体管。

[0110] 参照图12,正编程电压 $+V_{pp}$ 可以被施加至连接到选中单位单元221的选择栅极SG的第二字线WL2,并且其余的字线WL1、WL3及WL4可以接地。正编程位线电压 $+V_{pb1}$ 可以被施加至连接到选中单位单元221的漏极端子D的第一位线BL1。其余的位线BL2及BL3可以接地。连接至选中单位单元221的源极区S的第一源极线SL1可以接地。其余的源极线SL2可以被浮置或接地。尽管未显示在图12中,但是单元阵列被设置于其上的阱区可以接地。

[0111] 在以上的偏置条件下,选中单位单元221的第二电荷储存晶体管可以通过参考图4描述的沟道热载流子注入机制来编程。当选中单位单元221的第二电荷储存晶体管被编程时,第一字线WL1、第三字线WL3和第四字线WL4可以接地。因此,连接至接地的第一字线WL1、第三字线WL3和第四字线WL4的非选中单位单元(即,单位单元211-213、231-233及241-243)不会被编程,而不管被施加至位线BL1-BL3和源极线SL1及SL2的偏置条件如何。当选中单位单元221的第二电荷储存晶体管被编程时,第二位线BL2和第三位线BL3可以接地。因此,与选中单位单元221共享第二字线WL2和第一源极线SL1的每个非选中单位单元(即,位于第二行和第二列及第三列的交叉点处的单位单元222及223)的源极端子S与漏极端子D之间不会产生水平电场。结果,编程禁止条件可以被施加至单位单元222及223。

[0112] 图13图示在图10中所示的电荷俘获非易失性存储器件的单元阵列200的选择性擦除操作的等效电路图。根据实施例,连接至第一字线WL1至第四字线WL4中的每个的第一电荷储存晶体管可以形成在第一页中,并且连接至第一字线WL1至第四字线WL4中的每个的第二电荷储存晶体管可以形成在不同于第一页的第二页中。即,两个页都可以连接至第一字线WL1至第四字线WL4中的每个。

[0113] 将描述包括在第一页中并且连接至第二字线WL2的第一电荷储存晶体管的选择性擦除操作。(见在图13中的虚线圆圈)。

[0114] 以页为单位来执行擦除操作。参照图13,负擦除电压 $-V_{ee}$ 可以被选择性地施加至第二字线WL2,并且其余的字线WL1、WL3及WL4可以接地。此外,正擦除源极线电压 $+V_{es1}$ 可以被施加至全部源极线SL1及SL2,并且全部位线BL1-BL3可以被浮置。尽管未显示在图13中,单元阵列设置于其上的阱区可以接地。

[0115] 在以上的偏置条件下,在负擦除电压 $-V_{ee}$ 和正擦除源极线电压 $+V_{es1}$ 之间的电压差可以存在于连接至第二字线WL2的每个单位单元的源极端子S以及第一控制栅极端子CG1之间。被储存在连接至第二字线WL2的第一电荷储存晶体管中的数据可以由于在负擦除电压 $-V_{ee}$ 和正擦除源极线电压 $+V_{es1}$ 之间的电压差,通过BTBT机制而被选择性擦除。当连接至第二字线WL2的全部第一电荷储存晶体管被擦除时,因为单位单元的全部漏极端子D都被电浮置,所以全部第二电荷储存晶体管不会被擦除。

[0116] 图14图示在图10中所示的电荷俘获非易失性存储器件的单元阵列200的另一选择性擦除操作的等效电路图。选择性擦除操作仅选择性擦除被储存在包括在第二页中并且连接至第二字线WL2的第二电荷储存晶体管中的数据。(见在图14中的虚线圆圈)。

[0117] 参照图14,负擦除电压 $-V_{ee}$ 可以被选择性地施加至第二字线WL2,并且其余的字线WL1、WL3及WL4可以接地。此外,正擦除位线电压 $+V_{eb1}$ 可以被施加至全部位线BL1-BL3,并且

全部源极线SL1及SL2都可以被浮置。尽管未显示在图14中,单元阵列设置于其上的阱区可以接地。

[0118] 在以上的偏置条件下,在负擦除电压 $-V_{ee}$ 和正擦除位线电压 $+V_{eb1}$ 之间的电压差可以存在于连接至第二字线WL2的每个单位单元的漏极端子D以及第二控制栅极端子CG2之间。被储存在连接至第二字线WL2的第二电荷储存晶体管中的数据可以由于在负擦除电压 $-V_{ee}$ 和正擦除位线电压 $+V_{eb1}$ 之间的电压差,通过BTBT机制而被选择性擦除。当连接至第二字线WL2的全部第二电荷储存晶体管都被选择性擦除时,因为单位单元的全部源极端子S都被电浮置,所以全部第一电荷储存晶体管不会被擦除。

[0119] 图15图示在图10中所示的电荷俘获非易失性存储器件的单元阵列200的批量擦除操作的等效电路图。批量擦除操作同时擦除被储存在全部单位单元(即,全部单位单元的第一电荷储存晶体管和第二电荷储存晶体管)中的数据。见图15中的虚线圆圈。

[0120] 可以以块为单位来执行擦除操作,而不管页缓冲器电路的配置如何。参照图15,负擦除电压 $-V_{ee}$ 可以被施加至全部字线WL1-WL4。此外,正擦除源极线电压 $+V_{es1}$ 可以被施加至全部源极线SL1及SL2。正擦除位线电压 $+V_{eb1}$ 可以被施加至全部位线BL1-BL3。尽管未显示在图15中,接地电压或正阱擦除阱电压 $+V_{ew}$ 可以被施加至单元阵列设置于其上的阱区。

[0121] 正擦除源极线电压 $+V_{es1}$ 和正擦除位线电压 $+V_{eb1}$ 可以具有基本上相同的电压电平。当正阱擦除阱电压 $+V_{ew}$ 被施加至阱区时,正阱擦除阱电压 $+V_{ew}$ 可以具有与正擦除源极线电压 $+V_{es1}$ 和正擦除位线电压 $+V_{eb1}$ 基本上相同的电压电平。

[0122] 如果接地电压被施加至阱区,则在负擦除电压 $-V_{ee}$ 与正擦除源极线电压 $+V_{es1}$ 或正擦除位线电压 $+V_{eb1}$ 之间的电压差可以存在于每个单位单元的源极端子S与第一控制栅极端子CG1之间、以及在每个单位单元的漏极端子D与第二控制栅极端子CG2之间,如上参考图6描述的。在此情形中,被储存在全部的第一电荷储存晶体管和第二电荷储存晶体管中的数据可以由于负擦除电压 $-V_{ee}$ 与正擦除源极线电压 $+V_{es1}$ 或正擦除位线电压 $+V_{eb1}$ 之间的电压差,通过BTBT机制而被擦除。

[0123] 如果正阱擦除阱电压 $+V_{ew}$ 被施加至阱区,则负擦除电压 $-V_{ee}$ 与正阱擦除阱电压 $+V_{ew}$ 之间的电压差可以存在于每个单位单元的阱区与第一控制栅极端子CG1之间、以及在每个单位单元的阱区与第二控制栅极端子CG2之间,如上参考图7描述的。在此情形中,被储存在全部的第一电荷储存晶体管和第二电荷储存晶体管中的数据可以由于负擦除电压 $-V_{ee}$ 与正阱擦除阱电压 $+V_{ew}$ 之间的电压差,通过F-N隧穿机制而被擦除。在此种情形中,全部源极线SL1及SL2以及全部位线BL1-BL3都可以被电浮置。

[0124] 图16图示在图10中所示的电荷俘获非易失性存储器件的单元阵列200的读取操作的等效电路图。例如,以下将描述读出被储存在位于第二行和第一列的交叉点处的单位单元221(在下文中被称为选中单位单元)的第一电荷储存晶体管中的数据的读取操作。(见图16中的虚线圆圈)。该读取操作可以被应用来读出被储存在其它单位单元的任意一个的第一电荷储存晶体管中的数据。

[0125] 参照图16,正读取电压 $+V_{rr}$ 可以被施加至连接到选中单位单元221的选择栅极端子SG的第二字线WL2,并且其余的字线WL1、WL3及WL4可以接地。此外,正读取位线电压 $+V_{rb1}$ 可以被施加至连接到选中单位单元221的漏极端子D的第一位线BL1,并且其余的位线BL2及BL3可以接地。此外,全部源极线SL1及SL2可以接地。尽管未显示在图16中,阱区也可以接

地。

[0126] 在以上的偏置条件下,被储存在选中单位单元221的第一电荷储存晶体管中的数据可以通过以上参考图8描述的机制而被读出。在此情形中,读取操作可以通过感测流过第一源极线SL1和第一位线BL1之间的选中单位单元221的电流来执行。

[0127] 当被储存在选中单位单元221的第一电荷储存晶体管中的数据被读出时,和选中单位单元221共享第一位线BL1的非选中单位单元(即,单位单元211、231及241)的选择晶体管可以关断。这是因为字线WL1、WL3及WL4是接地的。因此,非选中单位单元211、231及241不会对流过第一位线BL1的电流有所影响。

[0128] 此外,当被储存在选中单位单元221的第一电荷储存晶体管中的数据被读出时,和选中单位单元221共享第一源极线SL1和第二字线WL2的非选中单位单元222及223不会对于流过第一源极线SL1的电流有所影响。这是因为在非选中单位单元222及223中的每个的源极端子S与漏极端子D之间不存在电压差。

[0129] 此外,当被储存在选中单位单元221的第一电荷储存晶体管中的数据被读出时,被储存在位于接地字线WL1、WL3及WL4与接地位线BL2及BL3的交叉点处的非选中单位单元212、213、232、233、242及243中的数据不会被读出。这是因为非选中单位单元212、213、232、233、242及243的全部选择晶体管都是关断的。

[0130] 图17图示在图10中所示的电荷俘获非易失性存储器件的单元阵列200的另一读取操作的等效电路图。例如,以下将描述读取被储存在位于第二行和第一列的交叉点处的单位单元221(在下文中被称为选中单位单元)的第二电荷储存晶体管中的数据的读取操作。(见图17中的虚线圆圈)。

[0131] 该读取操作可以被应用以读出被储存在其它单位单元的任意一个的第二电荷储存晶体管中的数据。参照图17,正读取电压 $+V_{rr}$ 可以被施加至连接到选中单位单元221的选择栅极端子SG的第二字线WL2,并且其余的字线WL1、WL3及WL4可以接地。此外,正读取源极线电压 $+V_{rs1}$ 可以被施加至连接到选中单位单元221的源极端子S的第一源极线SL1,并且其余的源极线SL2可以接地。此外,连接至选中单位单元221的漏极端子D的第一位线BL1可以接地,并且其余的位线BL2及BL3可以被电浮置。尽管未显示在图17中,阱区可以接地。

[0132] 在以上的偏置条件下,被储存在选中单位单元221的第二电荷储存晶体管中的数据可以通过以上参考图9描述的机制来读出。在此情形中,读取操作可以通过感测流过第一源极线SL1与第一位线BL1之间的选中单位单元221的电流来执行。

[0133] 当被储存在选中单位单元221的第二电荷储存晶体管中的数据被读出时,因为字线WL1、WL3及WL4接地,所以与选中单位单元221共享第一位线BL1的非选中单位单元(即,单位单元211、231及241)的选择晶体管可以关断。因此,非选中单位单元211、231及241不会对流过第一位线BL1的电流有所影响。

[0134] 此外,当被储存在选中单位单元221的第二电荷储存晶体管中的数据被读出时,与选中单位单元221共享第一源极线SL1和第二字线WL2的非选中单位单元222及223不会对流过第一源极线SL1的电流有所影响。这是因为非选中单位单元222及223的漏极端子D被电浮置。

[0135] 此外,当被储存在选中单位单元221的第二电荷储存晶体管中的数据被读出时,被储存在位于接地字线WL1、WL3及WL4和浮置位线BL2及BL3的交叉点处的非选中单位单元

212、213、232、233、242及243中的数据不会被读取。这是因为非选中单位单元212、213、232、233、242及243的全部选择晶体管都是关断的。

[0136] 图18图示根据实施例的电荷俘获非易失性存储器件的单元阵列的布局图。在图18中图示的布局图可以对应于图10的等效电路图。参照图18,多个有源区(例如,三个有源区301-1、301-2及301-3)可以设置在阱区304中。在某些实施例中,阱区304可以P型。有源区301-1、301-2及301-3可以沿第一方向彼此间隔开。例如,第一方向可以是水平方向。

[0137] 有源区301-1、301-2及301-3中的每个可以沿与第一方向交叉的第二方向延伸,并且具有条带形状。例如,第二方向可以是垂直方向。多个栅极导电图案322-1、322-2、322-3及322-4可以设置在阱区304和有源区301-1、301-2及301-3上,并且可以通过栅极绝缘图案(未示出)而与阱区304和有源区301-1、301-2及301-3电绝缘,栅极绝缘图案设置在多个栅极导电图案322-1、322-2、322-3及322-4与有源区301-1、301-2及301-3之间。

[0138] 栅极导电图案322-1、322-2、322-3及322-4可以沿第二方向彼此间隔开。栅极导电图案322-1、322-2、322-3及322-4中的每个可以沿第一方向延伸,并且具有条带形状。因此,栅极导电图案322-1、322-2、322-3及322-4可以与有源区301-1、301-2及301-3交叉。结果,单位单元可以分别设置在栅极导电图案322-1、322-2、322-3及322-4和有源区301-1、301-2及301-3的交叉点处,以提供具有矩阵形式的单元阵列。

[0139] 第三接触插塞373-1、373-2、373-3及373-4可以分别设置在栅极导电图案322-1、322-2、322-3及322-4上。第三接触插塞373-1、373-2、373-3及373-4中的每个可以设置为与栅极导电图案322-1、322-2、322-3及322-4的任意一个完全地重叠。如同参考图1的剖面图描述的,第三接触插塞373-1、373-2、373-3及373-4可以分别与栅极导电图案322-1、322-2、322-3及322-4的顶表面直接接触。

[0140] 此外,第三接触插塞373-1、373-2、373-3及373-4中的每个可以被横向地扩大,以覆盖栅极导电图案322-1、322-2、322-3及322-4中的一个的侧壁,并且延伸到与对应的栅极导电图案322-1、322-2、322-3或322-4相邻的有源区301-1、301-2及301-3的顶表面上。在此情形中,顺序层叠的隧道绝缘层、电荷俘获层和阻挡绝缘层可以设置在第三接触插塞373-1、373-2、373-3及373-4与有源区301-1、301-2及301-3之间。隧道绝缘层、电荷俘获层和阻挡绝缘层可以向上地延伸以覆盖栅极导电图案322-1、322-2、322-3及322-4的侧壁。

[0141] 漏极区307和源极区306可以交替地布置在每个有源区301-1、301-2或301-3中,其通过第三接触插塞373-1、373-2、373-3及373-4而被露出。第一接触插塞371可以分别设置在源极区306上,并且第二接触插塞372可以分别设置在漏极区307上。设置在有源区301-1上的第二接触插塞372可以电连接至第一位线BL1。设置在有源区301-2上的第二接触插塞372可以电连接至第二位线BL2。设置在有源区301-3上的第二接触插塞372可以电连接至第三位线BL3。

[0142] 设置在第三接触插塞373-1及373-2之间的第一接触插塞371可以电连接至第一源极线SL1。设置在第三接触插塞373-3及373-4之间的第一接触插塞371可以电连接至第二源极线SL2。第三接触插塞373-1、373-2、373-3及373-4分别可以电连接至第一字线WL1、第二字线WL2、第三字线WL3及第四字线WL4。

[0143] 图19至图24是图示根据实施例的制造电荷俘获非易失性存储器件的方法的剖面图。参照图19,可以在衬底403的上部中形成P型阱区404。沟槽隔离层405可以形成在衬底

403的隔离区402中,以定义有源区401。如果衬底403是P型,则可以省略用于形成P型阱区404的工艺。可以在有源区401中的衬底403上形成栅极层叠结构420。栅极层叠结构420可以形成以包括顺序层叠的栅极绝缘图案421和栅极导电图案422。在某些实施例中,栅极绝缘图案421可以由氧化物层形成,并且栅极导电图案422可以由多晶硅层形成。与栅极层叠结构420重叠的阱区404的上方区域可以对应于沟道区413。

[0144] 参照图20,可以在包括栅极层叠结构420的衬底的整个表面上顺序地形成隧道绝缘层430、电荷俘获层440、阻挡绝缘层450和间隔件绝缘层490。隧道绝缘层430可以形成以包括氧化物层。隧道绝缘层430可以形成为比栅极绝缘图案421薄。电荷俘获层440可以形成以包括氮化物层。阻挡绝缘层450可以由氧化物层或高k电介质层(诸如,铝氧化物层)形成。间隔件绝缘层490可以形成以包括氮化物层。

[0145] 尽管未显示在附图中,但是某些元件(诸如,MOS晶体管)形成在衬底403的其它区域中。可以在形成隧道绝缘层430、电荷俘获层440、阻挡绝缘层450和间隔件绝缘层490之前,执行用于形成MOS晶体管的轻掺杂漏极(LDD)区域的离子植入工艺。

[0146] 参照图21,可以各向异性地刻蚀间隔件绝缘层490,以分别在栅极导电图案422的两个侧壁上形成第一间隔件491和第二间隔件492。当间隔件绝缘层490被各向异性地刻蚀时,在栅极层叠结构420的顶表面上和在衬底403的顶表面上的隧道绝缘层430、电荷俘获层440和阻挡绝缘层450可以被去除。因此,第一隧道绝缘层431、第一电荷俘获层441和第一阻挡绝缘层451可以形成在第一间隔件491与栅极导电图案422之间以及第一间隔件491与衬底403(即,P型阱区404)之间。

[0147] 此外,可以在第二间隔件492与栅极导电图案422之间以及第二间隔件492与衬底403(即,P型阱区404)之间形成第二隧道绝缘层432、第二电荷俘获层442和第二阻挡绝缘层452。第一隧道绝缘层431、第一电荷俘获层441、第一阻挡绝缘层451和第一间隔件491可以构成第一虚设间隔件。同样地,第二隧道绝缘层432、第二电荷俘获层442、第二阻挡绝缘层452和第二间隔件492可以构成第二虚设间隔件。

[0148] 接下来,利用栅极层叠结构420以及第一间隔件491和第二间隔件492作为离子植入掩模,N型杂质离子可以被植入有源区401的阱区404中,以分别在栅极层叠结构420的相对侧形成N型源极区406和N型漏极区407。在此情形中,源极区406与漏极区407可以分别与第一间隔件491和第二间隔件492基本上自对准。介于源极区406与沟道区413之间的阱区404的上部可以对应于第一俘获区411,以及介于漏极区407与沟道区413之间的阱区404的上部可以对应于第二俘获区412。

[0149] 参照图22,可以在包括源极区406和漏极区407的衬底的整个表面上形成层间绝缘层460。层间绝缘层460可以由氧化物类型的绝缘材料形成。在某些实施例中,层间绝缘层460可以由多层绝缘层形成。

[0150] 可以使用掩模图案(诸如,光刻胶图案)来图案化层间绝缘层460,以形成第一接触孔461、第二接触孔462和第三接触孔463。第一接触孔461可以形成以露出源极区406,并且第二接触孔462可以形成以露出漏极区407。此外,第三接触孔463可以形成以露出栅极导电图案422以及第一间隔件491和第二间隔件492。第三接触孔463可以形成以具有比栅极导电图案422的宽度W4大的宽度W3。

[0151] 参照图23,可以去除由第三接触孔463露出的第一间隔件491和第二间隔件492,以

分别提供露出第一俘获区411和第二俘获区412的空间464和空间465。

[0152] 为了形成空间464和空间465,可以使用湿式刻蚀工艺来刻蚀第一间隔件491和第二间隔件492,湿式刻蚀工艺采用化学溶液作为能够选择性去除第一间隔件491和第二间隔件492的刻蚀剂。如果第一间隔件491和第二间隔件492由氮化物层形成,则可以使用磷酸(H_3PO_4)溶液作为刻蚀剂来执行用于去除第一间隔件491和第二间隔件492的湿式刻蚀工艺。当第一间隔件491和第二间隔件492被去除时,第一电荷俘获层441和第二电荷俘获层442的端部也可能暴露于磷酸(H_3PO_4)溶液。然而,第一电荷俘获层441和第二电荷俘获层442中的每个可以形成相对薄。因此,即使执行用于去除第一间隔件491和第二间隔件492的湿式刻蚀工艺,第一电荷俘获层441和第二电荷俘获层442也可以几乎不被刻蚀的。当第一间隔件491和第二间隔件492被去除时,第三接触孔463可以被扩大以形成空间464及465。因此,第一阻挡绝缘层451可以由空间464露出,并且第二阻挡绝缘层452可以由空间465露出。

[0153] 参照图24,第一接触孔461、第二接触孔462和第三接触孔463可以填充有金属层,以在第一接触孔461中形成第一接触插塞471,在第二接触孔462中形成第二接触插塞472,以及在第三接触孔463中形成第三接触插塞473。在某些实施例中,第一接触插塞471、第二接触插塞472和第三接触插塞473可以由钨层形成。或者,第一接触插塞471、第二接触插塞472和第三接触插塞473中的每个可以形成以包括多个金属层。

[0154] 通过以上描述的实施例可以看出,本申请提供了以下的技术方案:

[0155] 技术方案1.一种电荷俘获非易失性存储器件,包括:

[0156] 源极区和漏极区,设置在衬底的上部中并且通过第一俘获区、沟道区和第二俘获区而彼此间隔开;

[0157] 栅极层叠结构,设置在沟道区之上;

[0158] 第一层叠,包括设置在第一俘获区之上的隧道绝缘层、第一电荷俘获层和第一阻挡绝缘层;

[0159] 第二层叠,包括设置在第二俘获区之上的隧道绝缘层、第二电荷俘获层和第二阻挡绝缘层;

[0160] 层间绝缘层,设置在衬底之上并且覆盖栅极层叠结构;

[0161] 第一接触插塞和第二接触插塞,贯穿层间绝缘层并且分别接触源极区和漏极区;以及

[0162] 第三接触插塞,贯穿层间绝缘层,接触栅极层叠结构并且与第一电荷俘获层和第二电荷俘获层重叠。

[0163] 技术方案2.如技术方案1所述的器件,其中,第三接触插塞包括:

[0164] 第三上接触插塞,接触栅极层叠结构的顶表面;以及

[0165] 第三下接触插塞,从第三上接触插塞延伸到栅极层叠结构的侧壁之上,而延伸到第一俘获区和第二俘获区之上。

[0166] 技术方案3.如技术方案2所述的器件,其中,第三上接触插塞具有比栅极层叠结构的宽度大的宽度。

[0167] 技术方案4.如技术方案3所述的器件,其中,第三上接触插塞与相邻于沟道区的第一俘获区的一部分以及相邻于沟道区的第二俘获区一部分垂直地重叠。

[0168] 技术方案5.如技术方案2所述的器件,其中,第三下接触插塞的两端分别与源极区

的一端和漏极区的一端自对准。

[0169] 技术方案6.如技术方案2所述的器件,其中,第三下接触插塞被层间绝缘层围绕,并且具有圆形的侧壁轮廓。

[0170] 技术方案7.如技术方案2所述的器件,其中,源极区的一端和漏极区的一端分别与第三下接触插塞的两个侧壁自对准。

[0171] 技术方案8.如技术方案1所述的器件,其中,第三接触插塞包括与第一接触插塞和第二接触插塞相同的金属层。

[0172] 技术方案9.如技术方案8所述的器件,其中,金属层包括钨层。

[0173] 技术方案10.如技术方案1所述的器件,

[0174] 其中,第一俘获区设置在源极区与沟道区之间,以及

[0175] 其中,第二俘获区设置在漏极区与沟道区之间。

[0176] 技术方案11.如技术方案1所述的器件,

[0177] 其中,第一层叠从栅极层叠结构的第一侧壁之上延伸到源极区之上,以及

[0178] 其中,第二层叠从栅极层叠结构的第二侧壁延伸到漏极区之上。

[0179] 技术方案12.一种电荷俘获非易失性存储器件,包括:

[0180] 选择晶体管,具有MOS结构并且包括选择栅极端子、第一端子和第二端子;

[0181] 第一电荷储存晶体管,具有第一电荷俘获结构并且包括第一控制栅极端子、源极端子以及连接至选择晶体管的第一端子的端子;以及

[0182] 第二电荷储存晶体管,具有第二电荷俘获结构并且包括第二控制栅极端子、漏极端子以及连接至选择晶体的第二端子的端子,

[0183] 其中,源极端子和漏极端子分别连接至源极线和位线,以及

[0184] 其中,选择栅极端子、第一控制栅极端子和第二控制栅极端子共同连接至单个字线。

[0185] 技术方案13.如技术方案12所述的器件,其中,第一电荷储存晶体管、选择晶体管和第二电荷储存晶体管连接至单个阱偏置线。

[0186] 技术方案14.一种电荷俘获非易失性存储器件,包括:

[0187] 多个字线,包括第一字线、第二字线和第三字线并且沿行来布置;

[0188] 多个位线,分别沿多个列设置;

[0189] 多个源极线,平行于行来延伸;以及

[0190] 多个单位单元,分别位于行和列的交叉点处,

[0191] 其中,所述多个单位单元包括位于第N行和第P列的第一单位单元、位于第(N-1)行和第P列的第二单位单元、以及位于第(N+1)行和第P列的第三单位单元,其中,N和P中的每个是整数,

[0192] 其中,第一单位单元、第二单位单元和第三单位单元中的每个包括沿列方向串联连接的第一电荷储存晶体管、选择晶体管和第二电荷储存晶体管,

[0193] 其中,第一电荷储存晶体管具有第一控制栅极端子和源极端子,

[0194] 其中,选择晶体管具有选择栅极端子,

[0195] 其中,第二电荷储存晶体管具有第二控制栅极端子和漏极端子,

[0196] 其中,第一单位单元的源极端子电连接至第二单位单元的源极端子,

[0197] 其中,第一单位单元的第一控制栅极端子、选择栅极端子和第二控制栅极端子共同连接至第一字线,

[0198] 其中,第二单位单元的第一控制栅极端子、选择栅极端子和第二控制栅极端子共同连接至第二字线,

[0199] 其中,第三单位单元的第一控制栅极端子、选择栅极端子和第二控制栅极端子共同连接至第三字线,

[0200] 其中,第一单位单元的漏极端子、第二单位单元的漏极端子和第三单位单元的漏极端子共同连接至同一位线,

[0201] 其中,第一单位单元的源极端子和第二单位单元的源极端子共同连接至同一源极线,以及

[0202] 其中,所述多个单位单元的块体区域共同连接至同一阱偏置线。

[0203] 技术方案15.如技术方案14所述的器件,

[0204] 其中,第一单位单元、第二单位单元和第三单位单元中的每个的第一电荷储存晶体管具有包括第一隧道绝缘层、第一电荷俘获层和第一阻挡绝缘层的第一电荷俘获结构;以及

[0205] 其中,第一单位单元、第二单位单元和第三单位单元中的每个的第二电荷储存晶体管具有包括第二隧道绝缘层、第二电荷俘获层和第二阻挡绝缘层的第二电荷俘获结构。

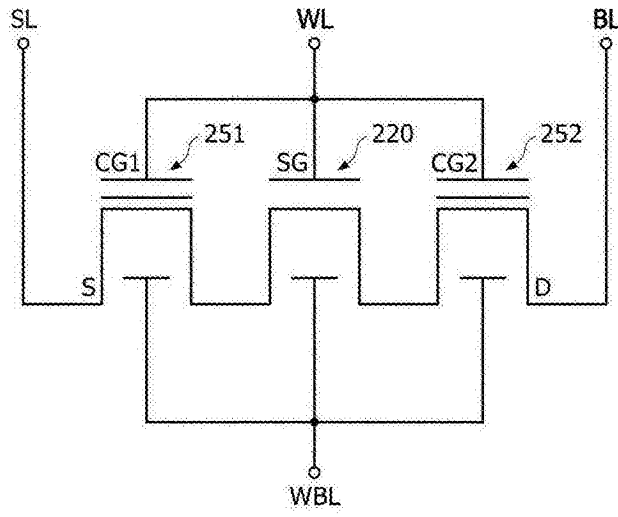


图2

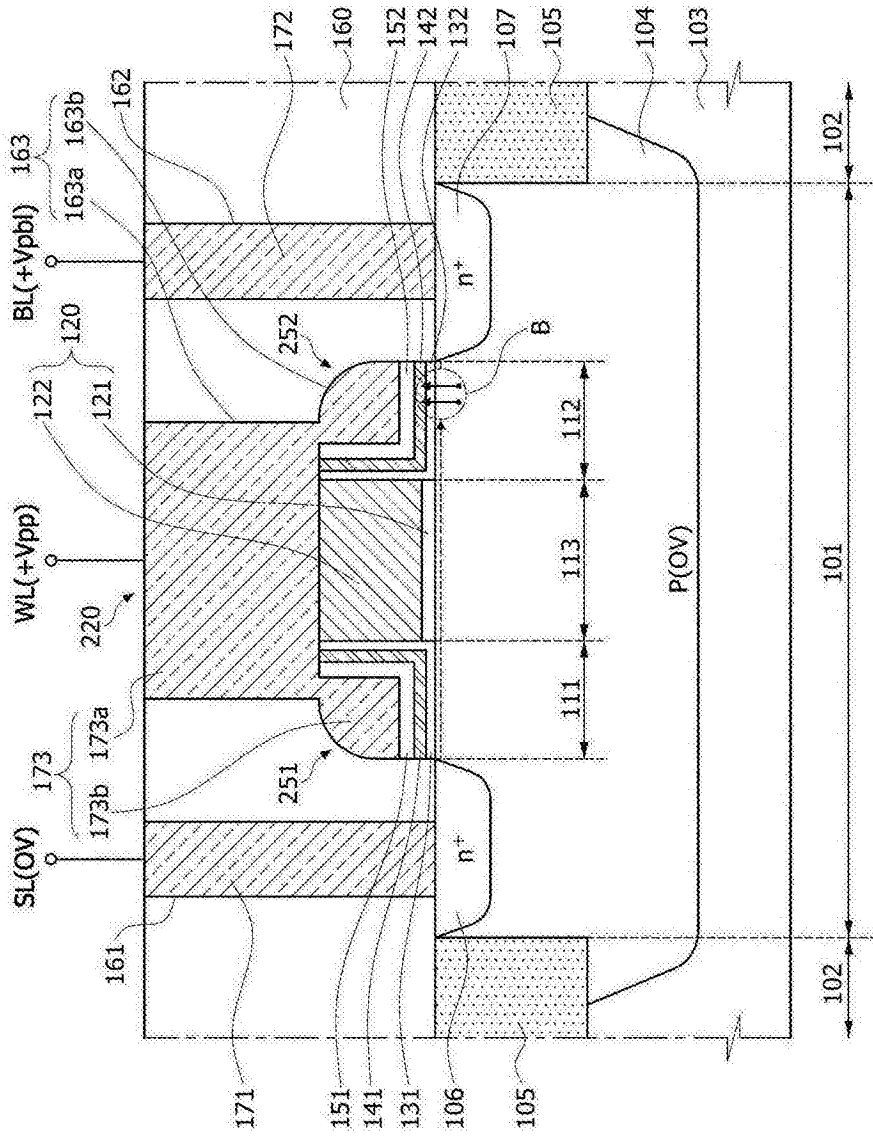


图4

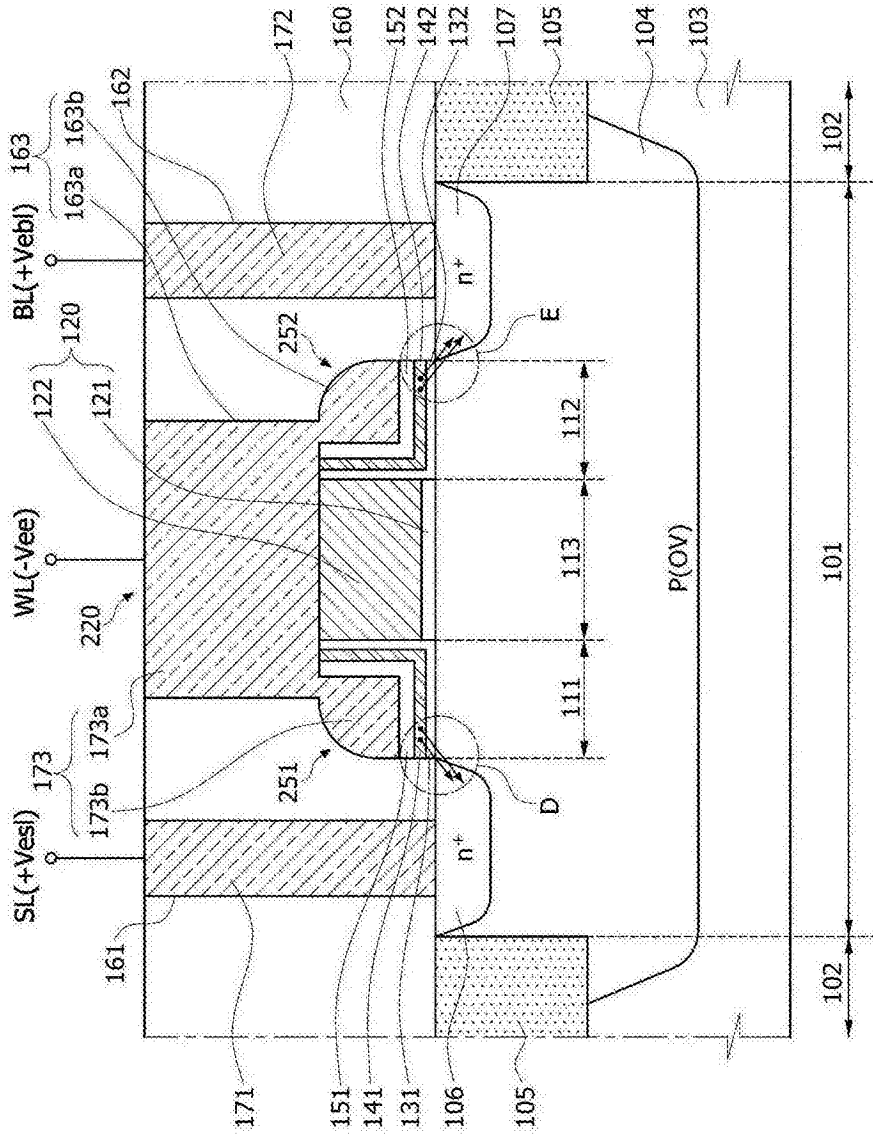


图6

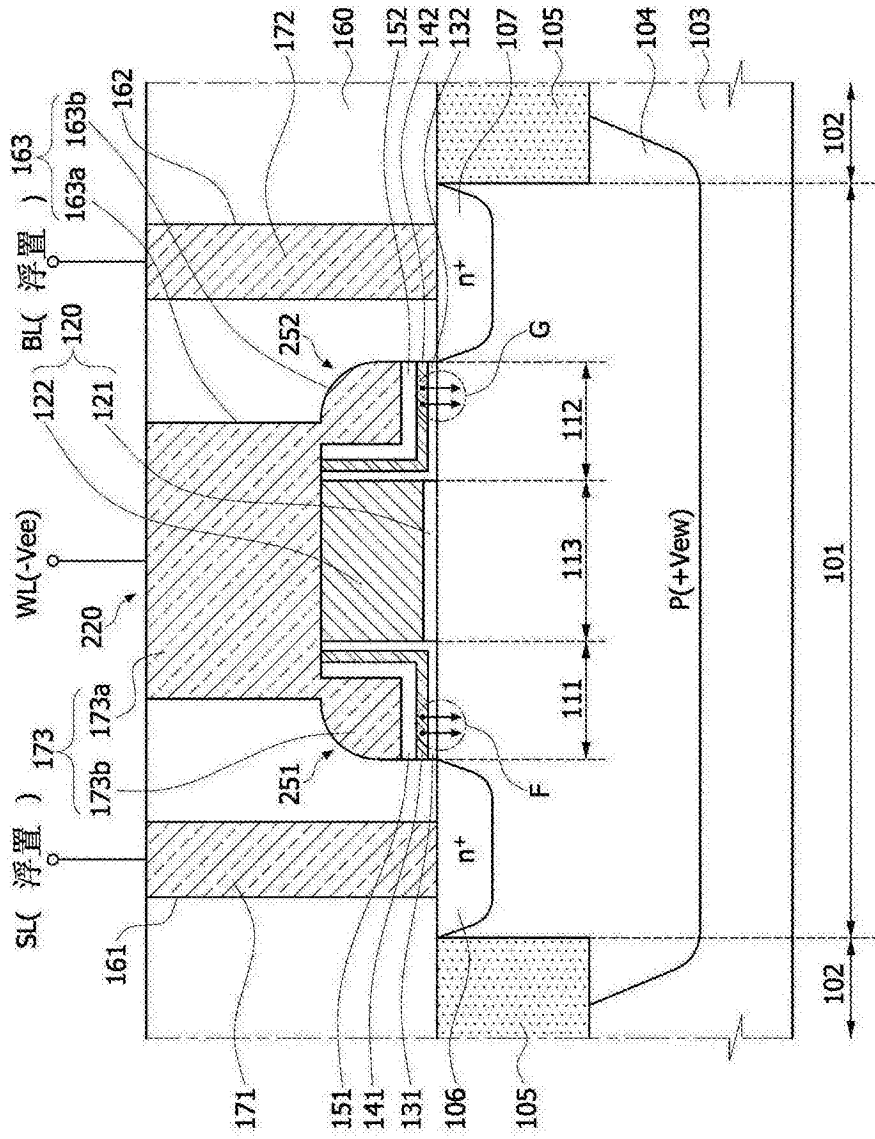


图7

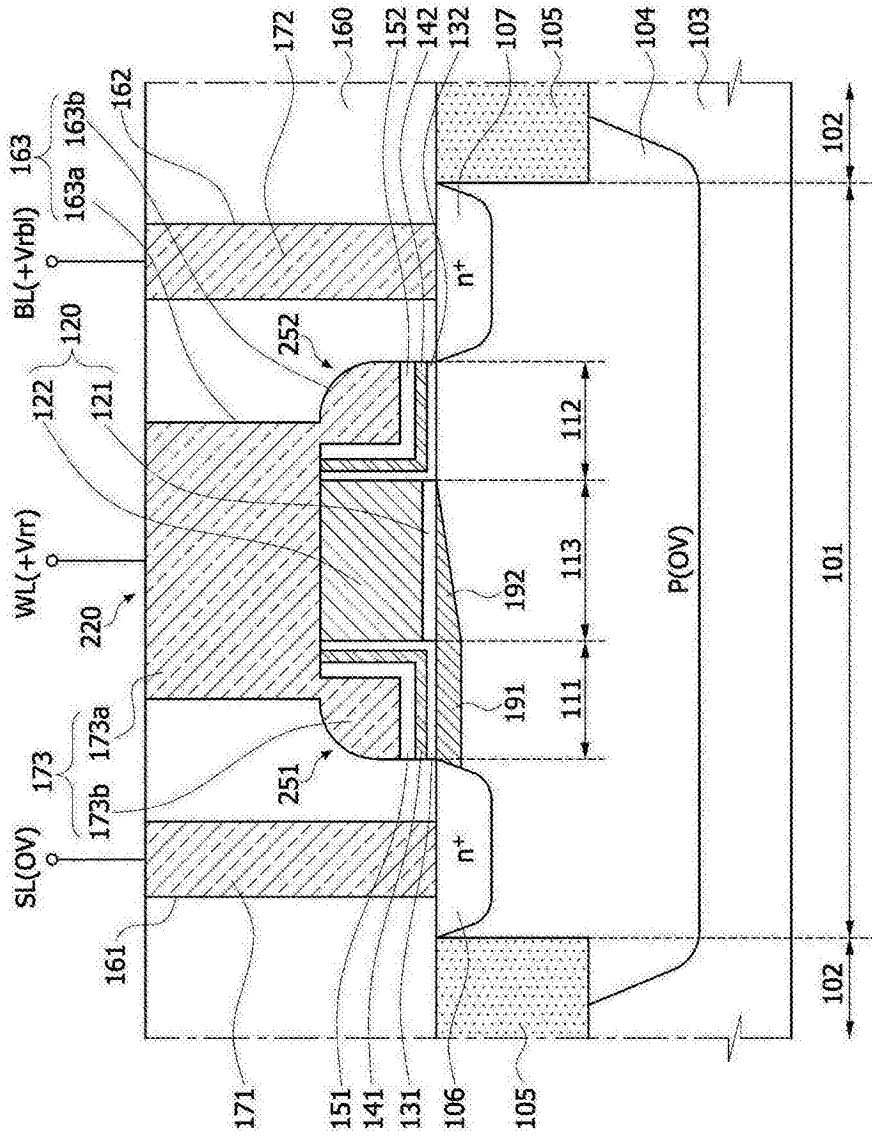


图8

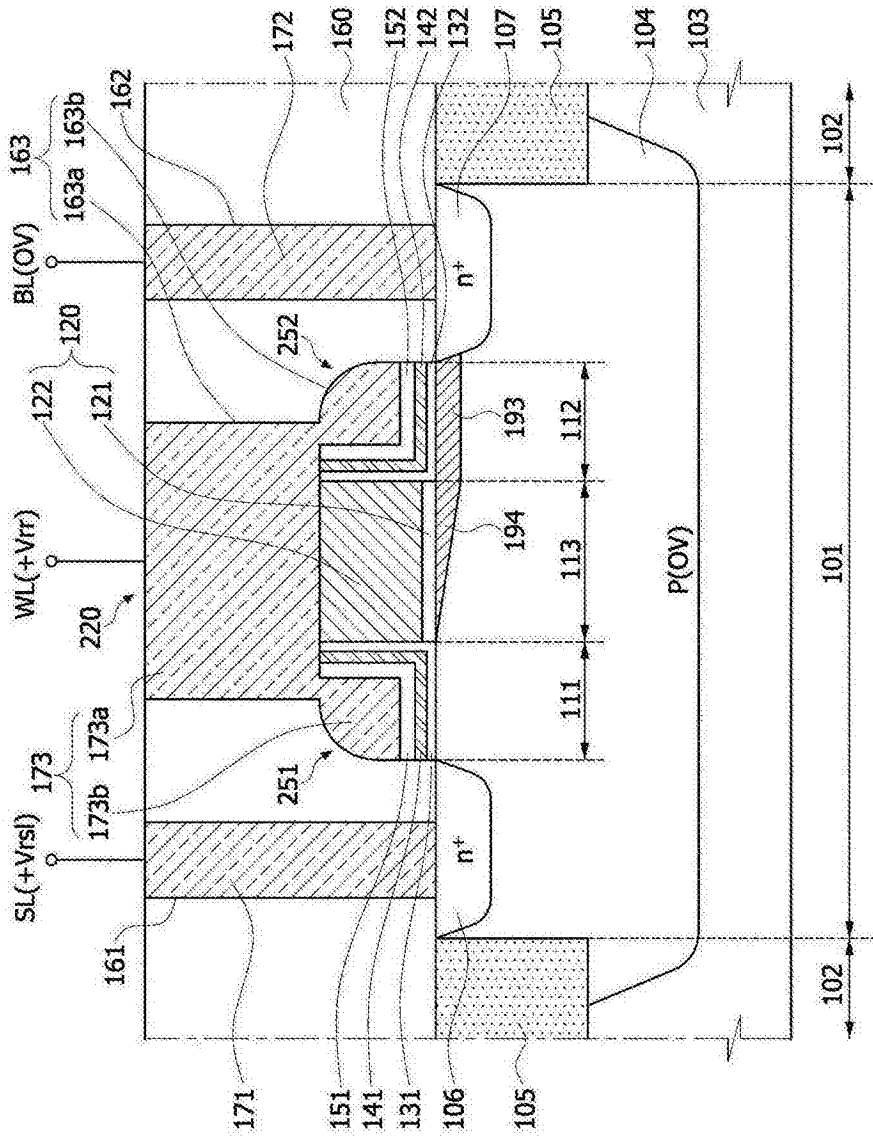


图9

200

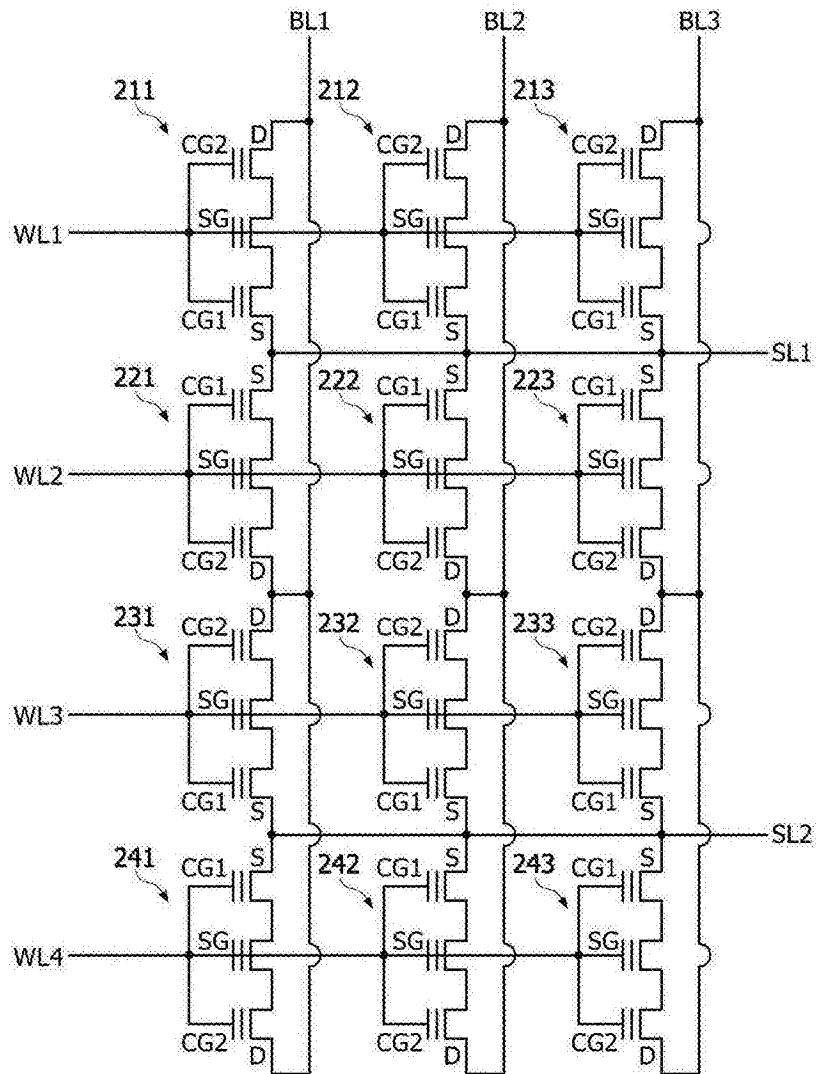


图10

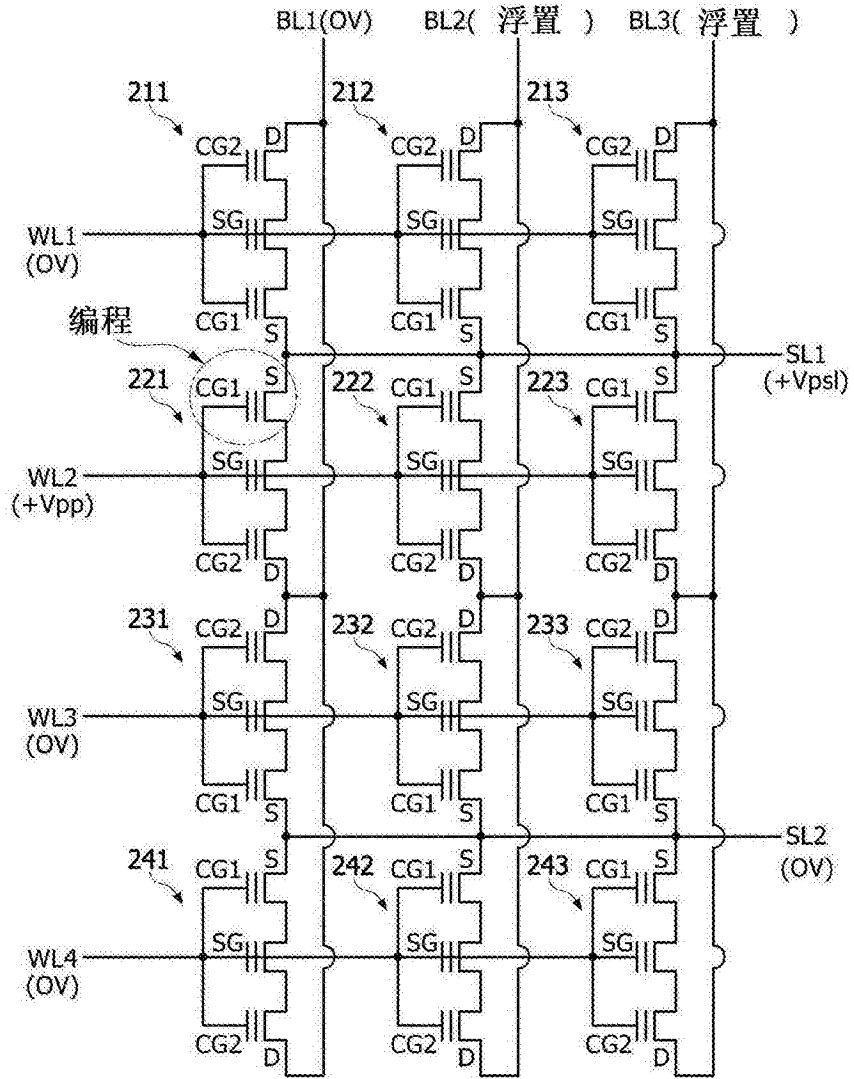


图11

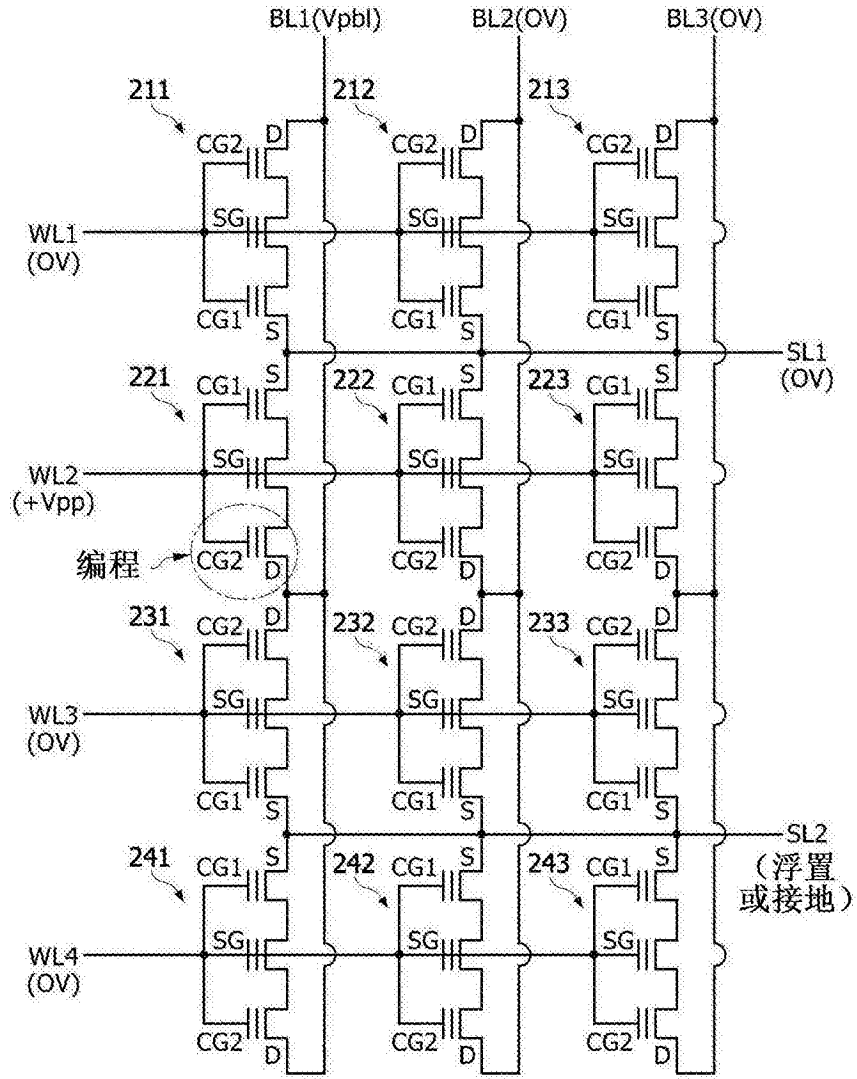


图12

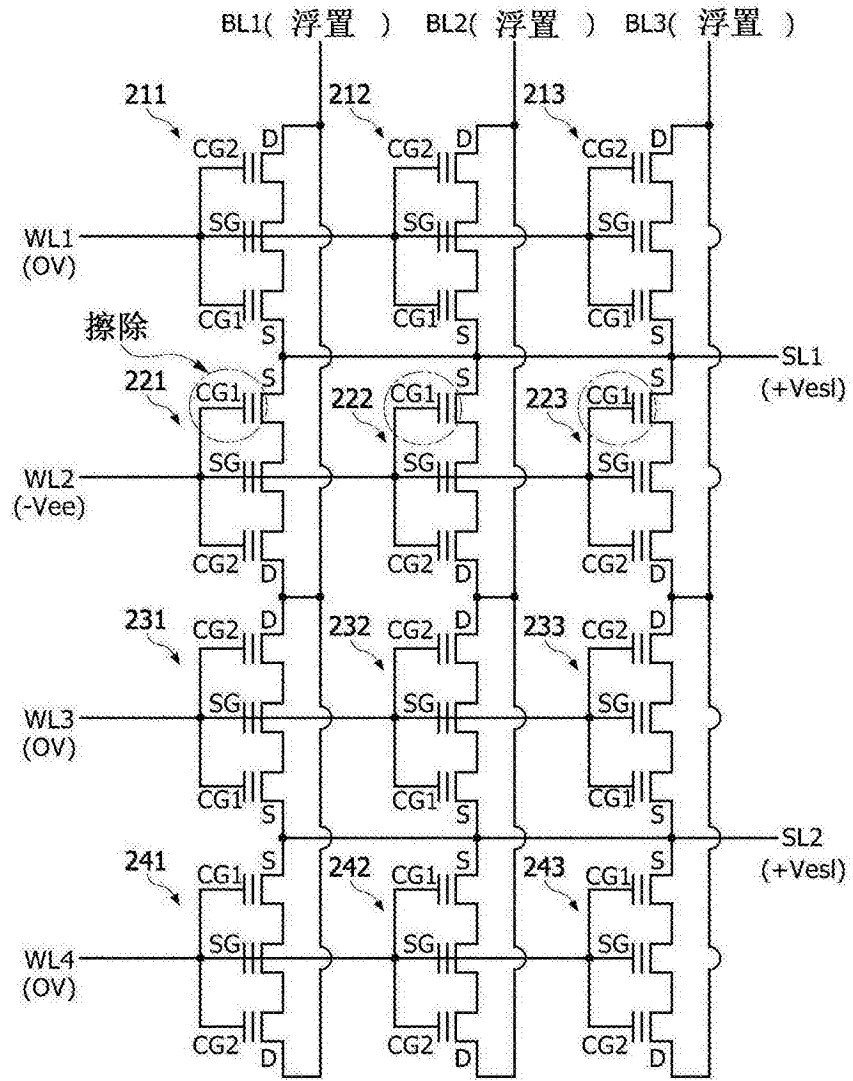


图13

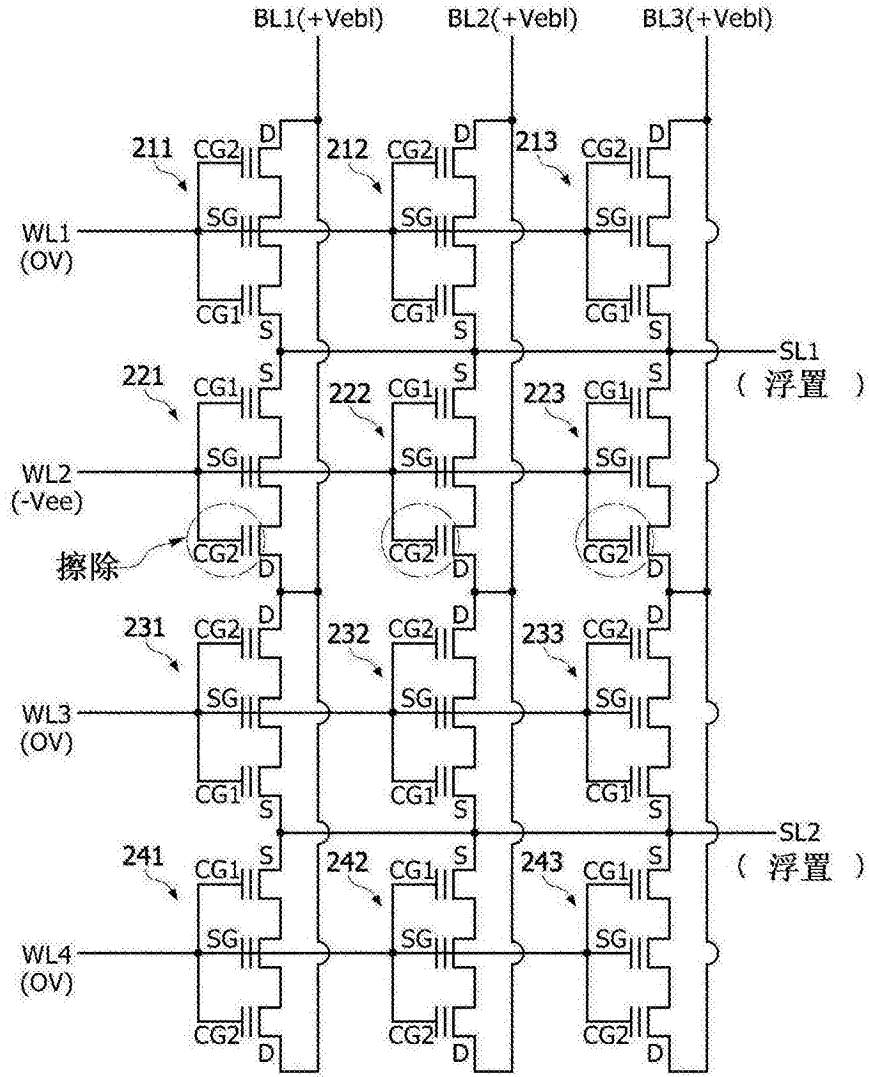


图14

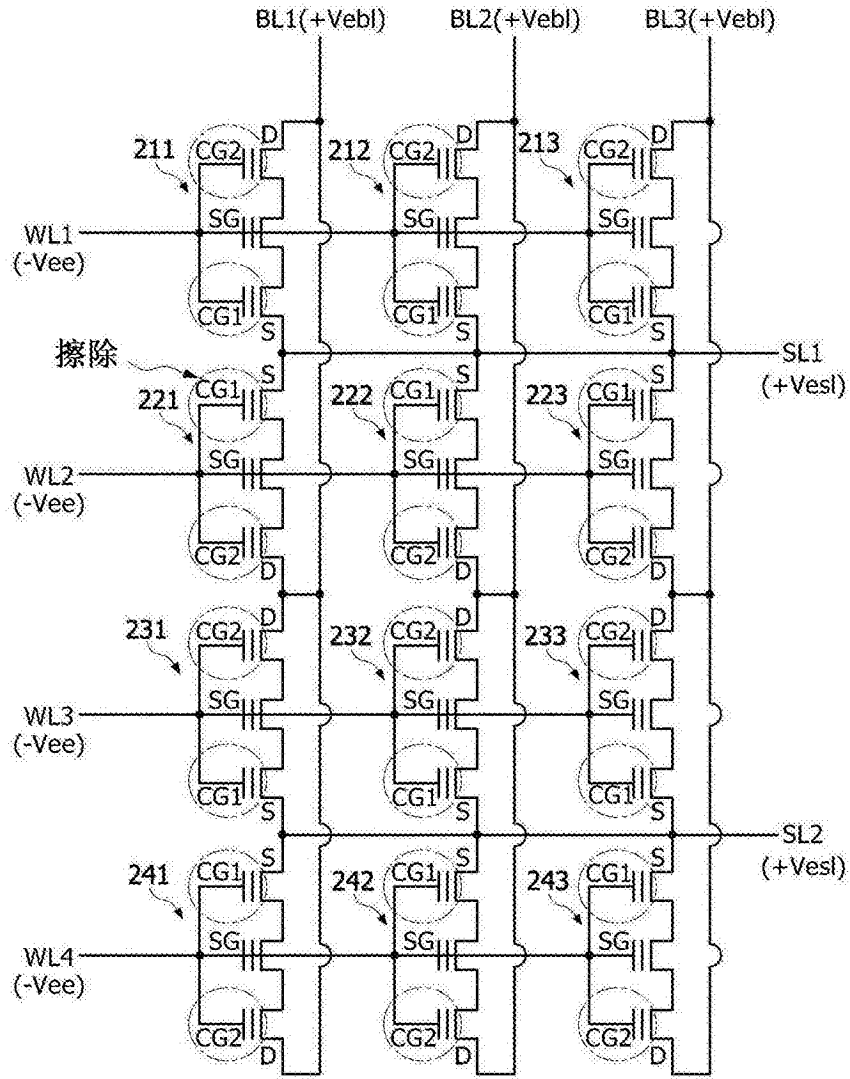


图15

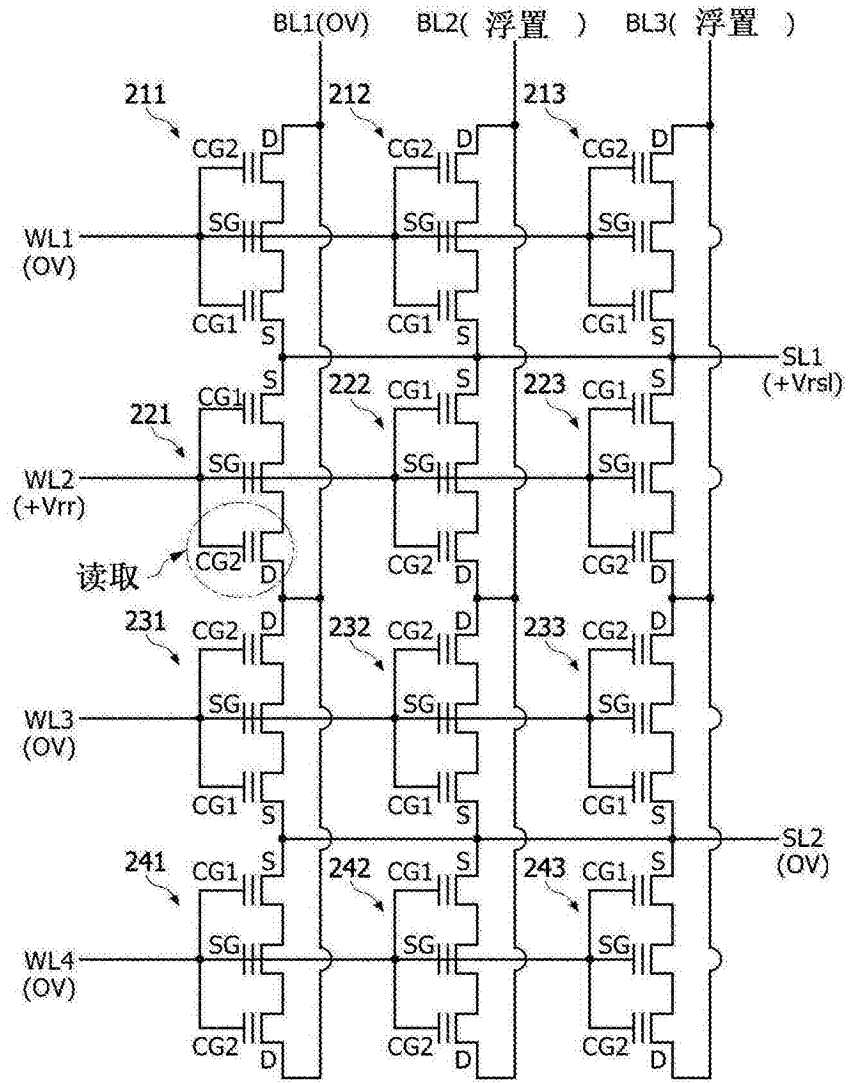


图17

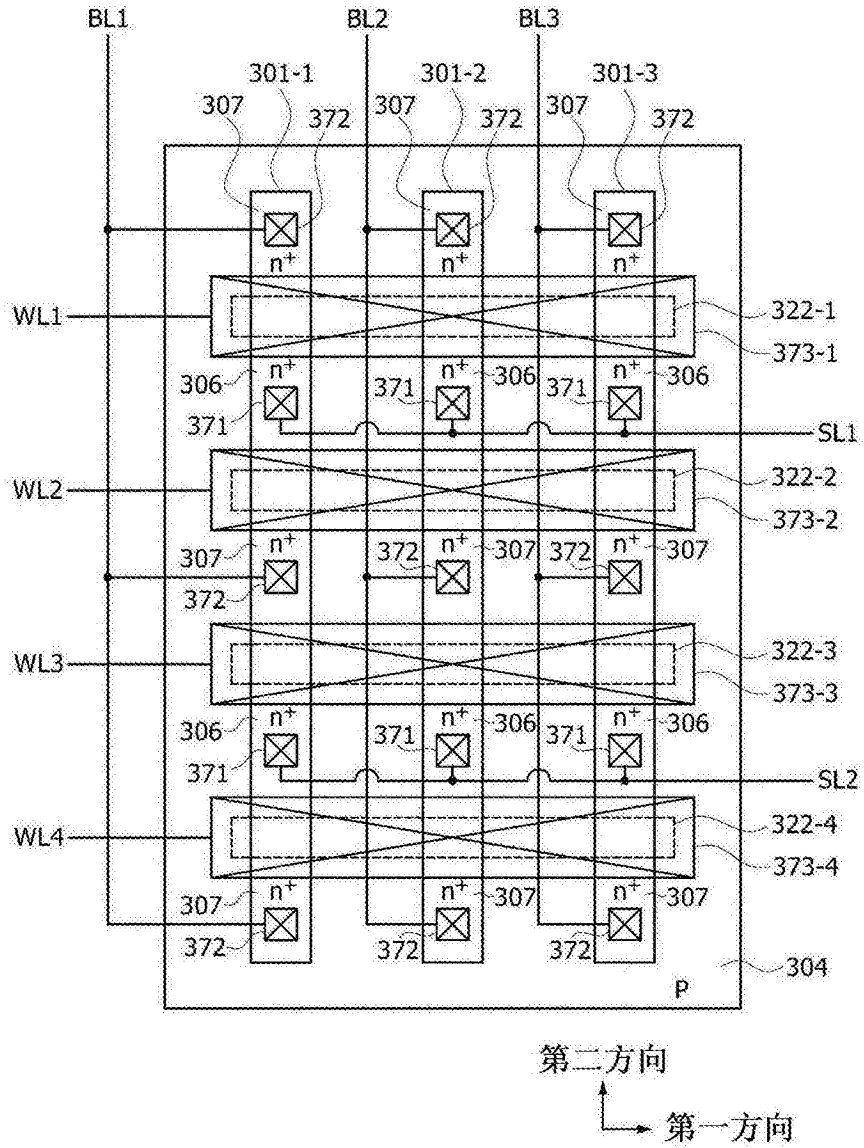


图18

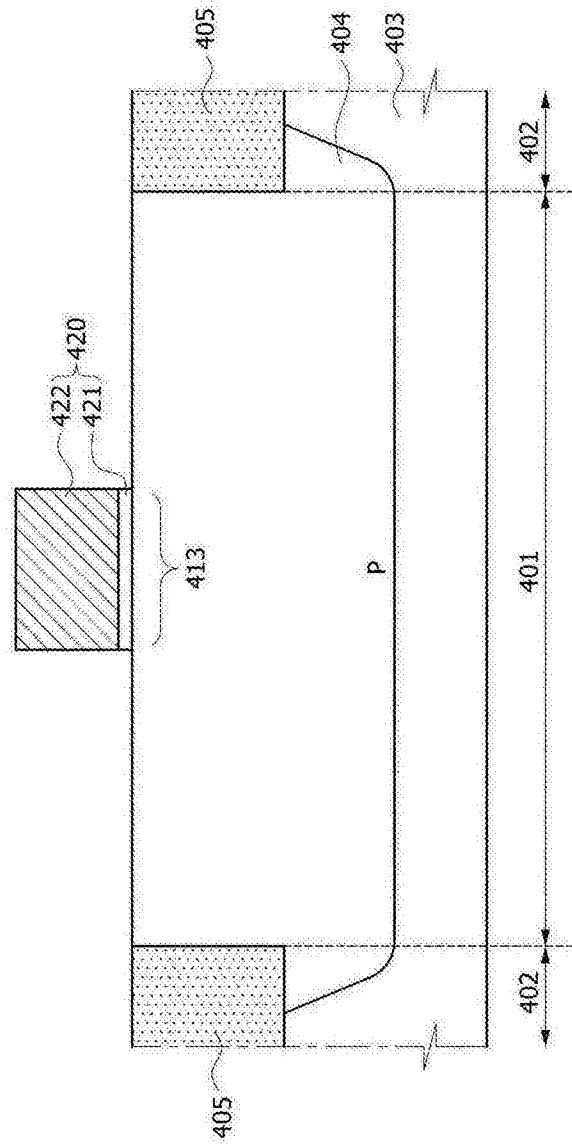


图19

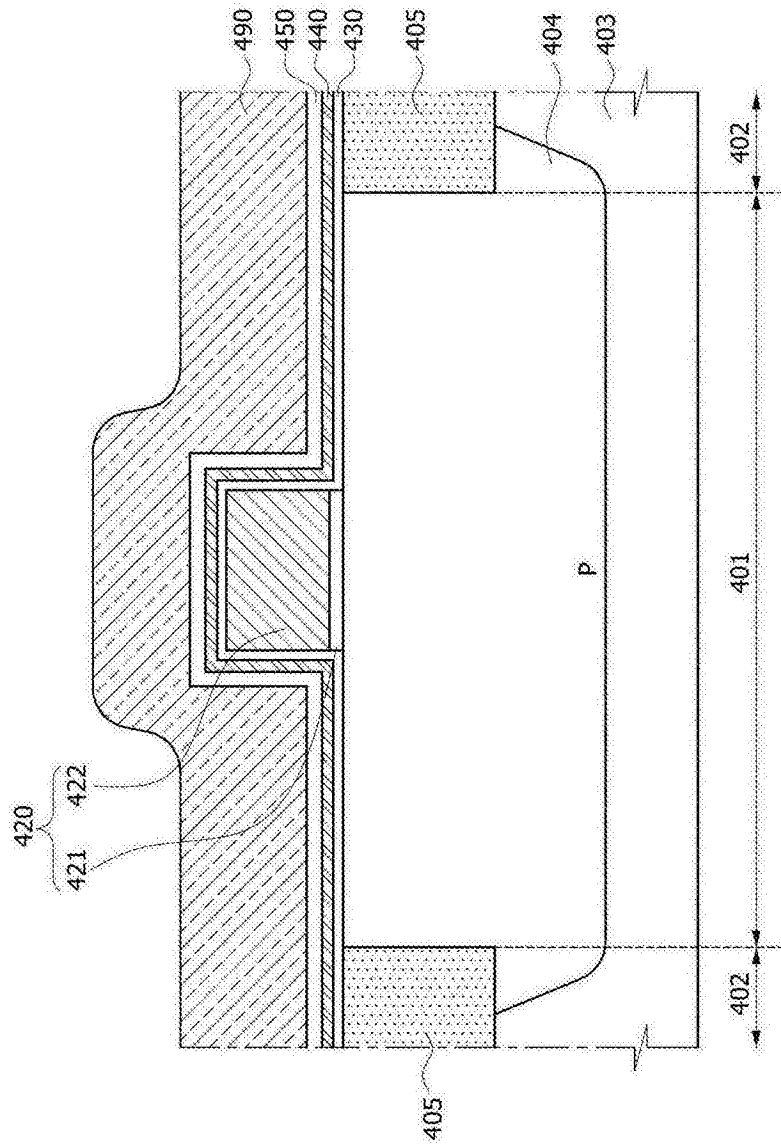


图20

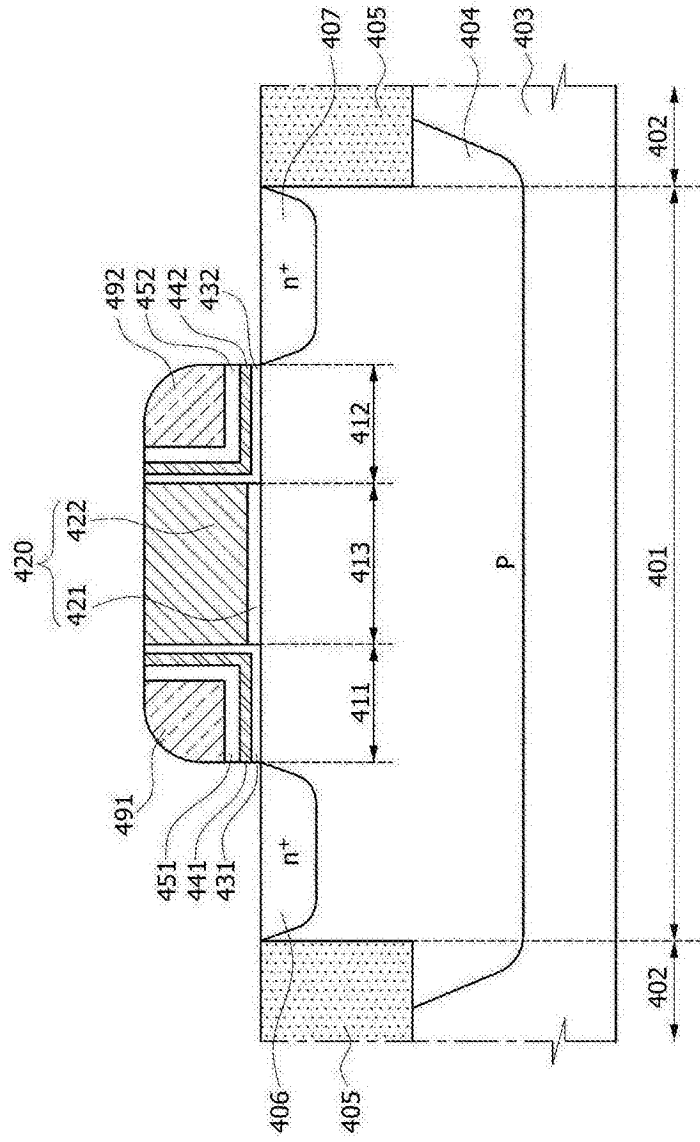


图21

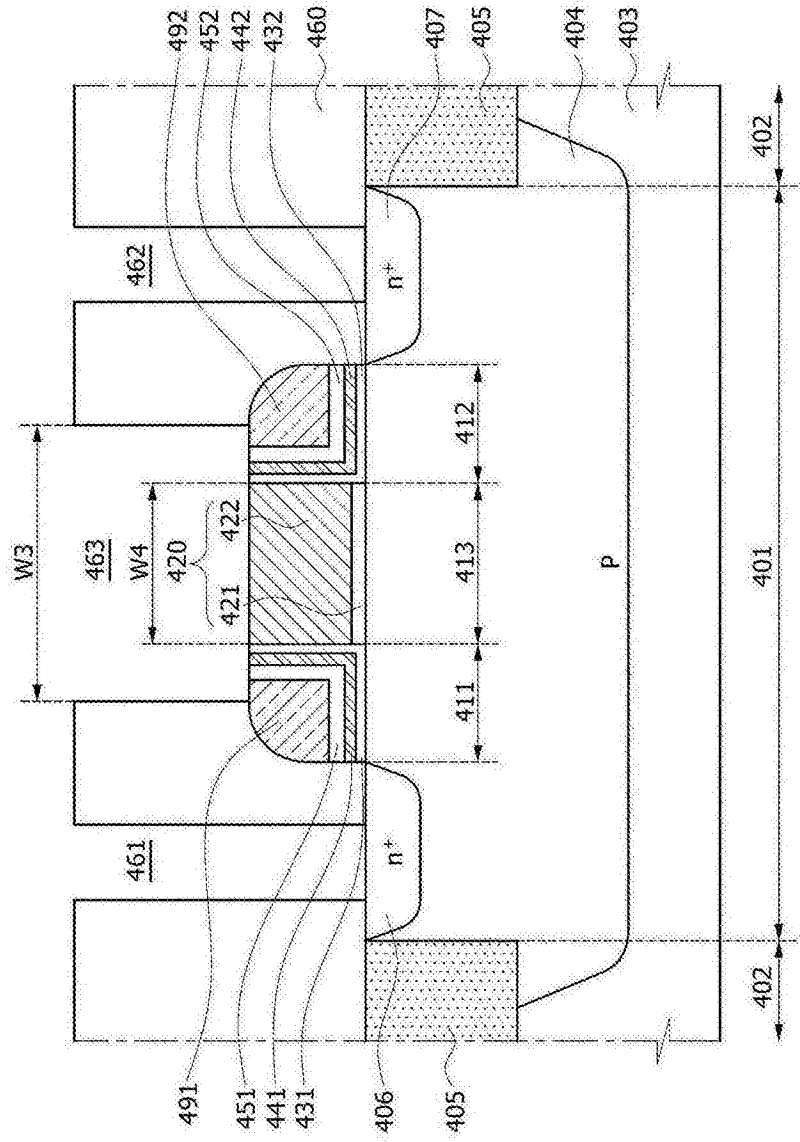


图22

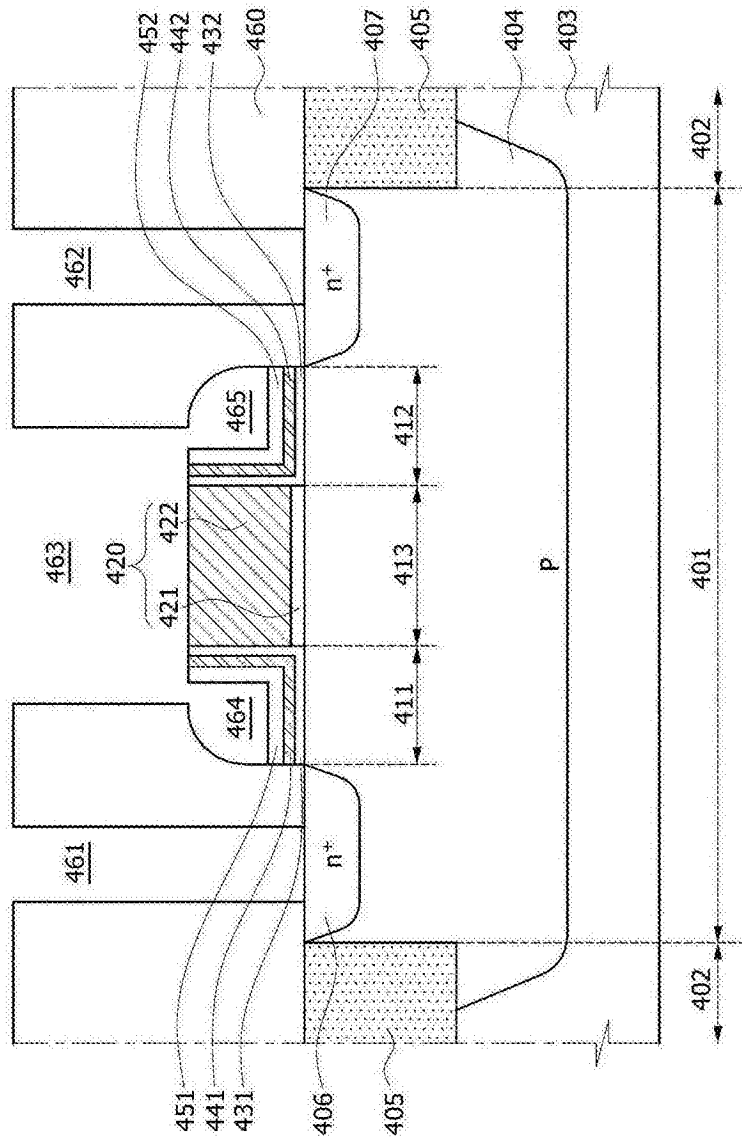


图23

