(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H01L 21/31

(45) 공고일자 2004년10월08일
(11) 등록번호 10-0451768
(24) 등록일자 2004년09월24일

(21) 출원번호 10-2001-0087282
(22) 출원일자 2001년12월28일

(65) 공개번호 10-2003-0056938
(43) 공개일자 2003년07월04일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 조일현
대전광역시서구둔산동둥지아파트105-203

(74) 대리인 강용복
김용인

심사관 : 신창우

# (54) 반도체 소자의 게이트 절연막 형성 방법

## 요약

본 발명은 게이트 절연막내에 질소 이온의 분포를 제어하여 누설 전류 및 보론(boron) 침투에 의한 브레이크 다운 현상을 억제할 수 있도록한 반도체 소자의 게이트 절연막 형성 방법에 관한 것으로, 반도체 기판상에 질화막을 형성하는 단계; 상기 질화막을, 질소를 함유하는 제 1,2,3 가스의 어느 하나를 사용한 어닐링 공정으로 질화막내의 어느 한 영역에서 질소 이온의 농도가 다른 영역보다 높도록 하는 단계;상기 질화막상에 게이트 전극을 형성하는 단계를 포함한다.

## 대표도

도 2a

## 색인어

게이트 절연막

## 명세서

### 도면의 간단한 설명

도 1a와 도 1b는 종래 기술의 반도체 소자의 게이트 절연막 형성을 위한 공정 단면도
도 2a내지 도 2c는 본 발명에 따른 반도체 소자의 게이트 절연막 형성을 위한 공정 단면도
도 3a내지 도 3e는 게이트 절연막의 형성 조건에 따른 이온 프로파일을 나타낸 그래프
도면의 주요 부분에 대한 부호의 설명
21. 반도체 기판 22. 24. 질화막
23. 산화막 25. 게이트 전극
26. 저농도 불순물 영역 27. 제 1 게이트 측벽

28. 제 2 게이트 측벽 29. 소오스/드레인 영역

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조에 관한 것으로, 특히 게이트 절연막내에 질소 이온의 분포를 제어하여 누설 전류 및 보론(boron) 침투에 의한 브레이크 다운 현상을 억제할 수 있도록한 반도체 소자의 게이트 절연막 형성 방법에 관한 것이다.
일반적으로 게이트 유전막으로 열산화막(Thermal Oxide)을 사용한다.
열산화막은 반도체 기판과의 반응성, 캐리어 이동도(carrier mobility), 계면 거칠기(interface roughness)등의 측면에서 그 특성이 아주 우수하여 게이트 절연막으로 많이 사용하고 있다.
이하, 첨부된 도면을 참고하여 종래 기술의 게이트 절연막 형성 공정에 관하여 설명하면 다음과 같다.
도 1a와 도 1b는 종래 기술의 반도체 소자의 게이트 절연막 형성을 위한 공정 단면도이다.
먼저, 도 1a에서와 같이, 반도체 기판(1)상에 고온에서 제 1 산화막(2)을 증착하고 NO 또는 $N_2O$ 가스를 이용해서 상기 제 1 산화막(2)의 성장 온도보다 높은 온도에서 어닐링(annealing) 공정을 진행한다.
그리고 도 1b에서와 같이, 상기 제 1 산화막(2)상에 폴리 실리콘층을 증착하고 상기 제 1 산화막(2)과 폴리 실리콘층을 선택적으로 식각하여 게이트 전극(3) 및 게이트 산화막(2a)을 형성한다.
이어, 상기 게이트 전극(3)의 양측의 반도체 기판(1)의 표면내에 저농도의 불순물 이온을 주입하여 LDD(Lightly Doped Drain) 영역(5)을 형성하고, 상기 반도체 기판(1)의 전면에 제 2 산화막 및 질화막을 차례로 증착한다.
그리고 상기 제 2 산화막 및 질화막을 에치백하여 상기 게이트 전극(3)의 양측면에 제 1,2 게이트 측벽(6)(7)을 형성한후 고농도 불순물 이온을 주입하여 소오스/드레인 불순물 영역(4)을 형성한다.
이와 같은 공정으로 형성된 게이트 절연막은 누설 전류 발생 및 보론 확산에 의한 브레이크다운 현상을 억제할 수 있는 특성을 유지하지 못한다.

#### 발명이 이루고자 하는 기술적 과제

그러나 이와 같은 종래 기술의 반도체 소자의 게이트 절연막 형성 공정은 다음과 같은 문제점이 있다.
첫째, 소자 선폭이 작아지고 저전압(low power).고성능(high performance) 소자를 구현하기 위하여 게이트 절연막의 두께가 점점 얇아져가는 추세인데, $SiO_2$ 두께가 약 2.5㎚ 이하에서는 직접 터널링에 의한 누설 전류의 증가로 인해 안정적인 소자 특성 구현을 방해한다.
둘째, $SiO_2$ 두께가 얇아질수록 게이트 전극의 식각 공정에 어려움이 있고 보론을 주입한 PMOS 게이트에서는 보론 침투에 의해 게이트 문턱 전압이 불안정해지는 문제가 있다.
셋째, 다결정 실리콘에 있는 보론이 후속 열공정에 의해 산화막내에 침투하여 게이트 절연막의 내압(breakdown voltage) 특성이 저하되는 문제가 있다.
본 발명은 이와 같은 종래 기술의 반도체 소자의 게이트 절연막 형성 공정의 문제를 해결하기 위한 것으로, 게이트 절연막내에 질소 이온의 분포를 제어하여 누 설 전류 및 보론(boron) 침투에 의한 브레이크 다운 현상을 억제할 수 있도록한 반도체 소자의 게이트 절연막 형성 방법을 제공하는데 그 목적이 있다.

### 발명의 구성 및 작용

이와 같은 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 게이트 절연막 형성 방법은 반도체 기판상에 질화막을 형성하는 단계;상기 질화막을 상부 표면에서 하부 바닥면까지를 상부부터 차례로 제 1,2,3 영역으로 구분하여 질화막내의 어느 한 영역에서 질소 이온의 농도가 다른 영역보다 높아지도록 하기 위하여, 상기 질화막내의 제 1 영역에서 질소 이온 농도를 높이기 위하여 $NH_3$ 가스를 사용하는 열처리 공정,상기 질화막내의 제 2 영역에서 질소 이온 농도를 높이기 위하여 $N_2O$ 분위기에서 열처리하는 공정,상기 질화막내의 제 3 영역에서 질소 이온 농도를 높이기 위하여 $NH_3 + N_2O$ 분위기에서 열처리하는 공정의 어느 하나를 진행하는 단계;상기 제 1,2,3 어느 한 영역에서 질소 이온 농도가 다른 영역보다 높은 질화막상에 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.
이하, 첨부된 도면을 참고하여 본 발명에 따른 반도체 소자의 게이트 절연막 형성 방법에 관하여 상세히 설명하면 다음과 같다.
도 2a내지 도 2c는 본 발명에 따른 반도체 소자의 게이트 절연막 형성을 위한 공정 단면도이고,도 3a내지 도 3e는 게이트 절연막의 형성 조건에 따른 이온 프로파일을 나타낸 그래프이다.
본 발명은 $Si_3N_4$ 고유전막(유전상수=7)을 이용하여 물리적 두께를 증가시켜 누설 전류를 줄일 수 있도록한 것으로, 실리콘 질화막을 증착한 후에 여러 가지 후속 열처리에 의해 실리콘 질화막내에 질소(N) 농도 분포를 다양하게 제

어할 수 있도록한 것이다.
상세한 공정 진행은 먼저, 도 2a에서와 같이, 반도체 기판(21)상에 저온에서 LPCVD(Low Pressure Chemical Vapor Deposition) 공정으로 600 ~ 750℃의 온도에서 20 ~ 60Å의 두께로 질화막(22)을 증착한다.
이어, 제 1 가스($NH_3$) 또는 제 2 가스($N_2O$) 또는 제 3 가스($NH_3 + N_2O$)를 사용하여 어닐링 공정을 진행한는데, 제 1,2,3 가스중에 어느 것을 사용하느냐에 따라 질소 이온이 막내의 어느 위치에 집중되는지가 결정된다.
여기서, $NH_3$ 가스를 사용하는 어닐링 공정의 경우에는 680 ~ 720℃의 온도에서 1 ~ 20min 동안 진행한다.
그리고 $N_2O$ 가스를 사용한 어닐링 공정의 경우에는 800 ~ 1000℃의 온도에서 1 ~ 5min 동안 진행한다.
그리고 $NH_3 + N_2O$ 가스를 사용하는 경우에는 상기한 각각의 조건으로 순차적으로 공정을 진행한다.
이와 같이 질화막만을 증착하여 공정을 진행하지 않고 질화막을 증착하기전에 산화막을 먼저 증착하여 공정을 진행할 수 있다.
즉, 도 2b에서와 같이, 열산화 공정으로 산화막(23)을 10 ~ 15Å의 두께로 증착후에 질화막(24)을 증착하여 상기한 $NH_3$ 또는 $N_2O$ 가스 또는 $NH_3 + N_2O$ 가스를 사용하여 어닐링 공정을 진행할 수도 있다.
여기서, 질화막(24)의 증착 조건은 도 2a에서와 동일하다.
도 2a와 도 2b에서와 같이 어닐링 공정을 진행한후에 $N_2$ 분위기에서 900 ~ 950℃의 온도에서 1 ~ 5min동안 열처리한다.
그리고 도 3c에서와 같이, 상기 질화막(24)상에 폴리 실리콘층을 증착하고 상기 산화막(23),질화막(24)과 폴리 실리콘층을 선택적으로 식각하여 게이트 전극(25) 및 게이트 절연막(23a)(24a)을 형성한다.
이어, 상기 게이트 전극(25)의 양측의 반도체 기판(21)의 표면내에 저농도의 불순물 이온을 주입하여 LDD(Lightly Doped Drain) 영역으로 사용되는 저농도 불순물 영역(26)을 형성하고, 상기 반도체 기판(21)의 전면에 산화막 및 질화막을 차례로 증착한다.
그리고 상기 산화막 및 질화막을 에치백하여 상기 게이트 전극(25)의 양측면에 제 1,2 게이트 측벽(27)(28)을 형성한 후 고농도 불순물 이온을 주입하여 소오스/드레인 불순물 영역(29)을 형성한다.
이와 같은 제조 공정으로 형성된 게이트 절연막을 XPS(X-ray photo electron spectroscopy)로 분석한 N 농도 분포를 보면,
도 3a의 경우는 산화막상에 질화막을 증착후의 N 농도 프로파일을 나타낸 것으로 N이 낮은 농도로 균일하게 존재한다.
그리고 도 3b의 경우는 질화막에 $NH_3$ 열처리를 한 경우인데, 질화막의 표면(top surface)에 높은 농도의 N이 존재한다.
그리고 도 3c의 경우에는 질화막을 $N_2O$ 분위기에서 열처리한 경우를 나타낸 것으로, 질화막의 하부에 N이 집중되어 있는 것을 알 수 있다.
그리고 도 3d의 경우에는 질화막을 $NH_3 + N_2O$ 분위기에서 열처리한 것을 나타 낸 것으로, 질화막의 중간 위치에 N이 높은 농도로 존재하는 것을 알 수 있다.
그리고 도 3e는 질화막을 증착시킨후 별도의 공정을 진행하지 않은 상태에서의 XPS 농도 프로파일이다.
이와 같은 질소 이온 프로파일 결과를 이용하여 게이트 절연막내에 원하는 위치에 원하는 농도로 질소 이온을 위치시킬 수 있다.

## 발명의 효과

이와 같은 본 발명에 따른 반도체 소자의 게이트 절연막 형성 방법은 다음과 같은 효과가 있다.
첫째, 게이트 절연막내에 질소 이온의 도핑 프로파일을 원하는 위치에 원하는 농도로 구현할 수 있으므로 다양한 특성의 소자를 제조할 수 있다.
둘째, 유전 상수 7의 고유전막인 질화막을 사용하여 게이트 절연막의 물리적 두께를 증가시켜 산화막 사용시에 나타났던 직접 터널링에 의한 급격한 누설 전류의 증가를 막을 수 있어 안정적인 소자를 구현할 수 있다.
셋째, 게이트 절연막의 물리적 두께가 증가하는 것에 의해 보론이 침투하는 것을 적절하게 억제할 수 있어 소자의 문턱 전압이 불안정해지는 문제 및 게이트 절연막의 내압 특성(breakdown voltage) 문제를 해결할 수 있다.

## (57) 청구의 범위

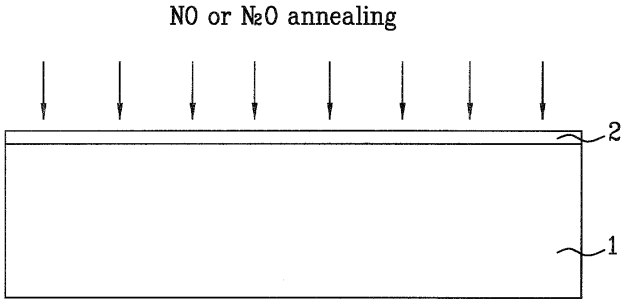
### 청구항 1.

반도체 기판상에 질화막을 형성하는 단계;
상기 질화막을 상부 표면에서 하부 바닥면까지를 상부부터 차례로 제 1,2,3 영역으로 구분하여 질화막내의 어느 한 영역에서 질소 이온의 농도가 다른 영역보다 높아지도록 하기 위하여,
상기 질화막내의 제 1 영역에서 질소 이온 농도를 높이기 위하여 $NH_3$ 가스를 사용하는 열처리 공정,
상기 질화막내의 제 2 영역에서 질소 이온 농도를 높이기 위하여 $N_2O$ 분위기에서 열처리하는 공정,
상기 질화막내의 제 3 영역에서 질소 이온 농도를 높이기 위하여 $NH_3 + N_2O$ 분위기에서 열처리하는 공정의 어느 하나를 진행하는 단계;
상기 제 1,2,3 어느 한 영역에서 질소 이온 농도가 다른 영역보다 높은 질화막상에 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 게이트 절연막 형성 방법.

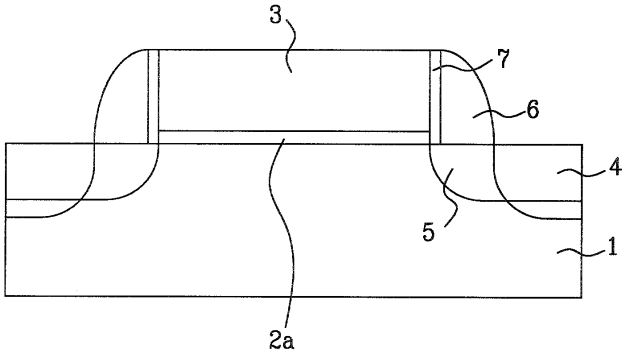
**청구항 2.**
삭제
**청구항 3.**
삭제
**청구항 4.**
제 1 항에 있어서, $NH_3$ 가스를 사용하는 어닐링 공정의 경우에는 680 ~ 720℃의 온도에서 1 ~ 20min 동안 진행하고,
$N_2O$ 가스를 사용한 어닐링 공정의 경우에는 800 ~ 1000℃의 온도에서 1 ~ 5min 동안 진행하고,
$NH_3 + N_2O$ 가스를 사용하는 경우에는 상기한 각각의 조건으로 순차적으로 공정을 진행하는 것을 특징으로 하는 반도체 소자의 게이트 절연막 형성 방법.

도면

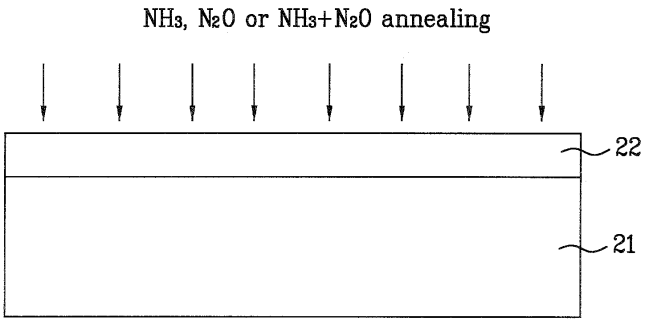
도면1a



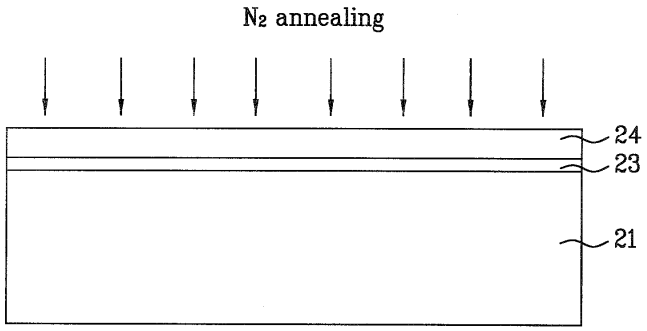

도면1b



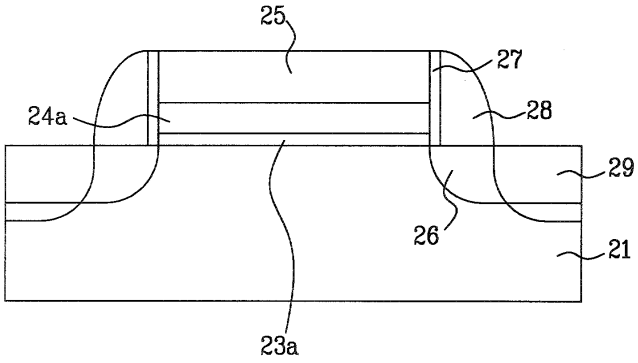

도면2a



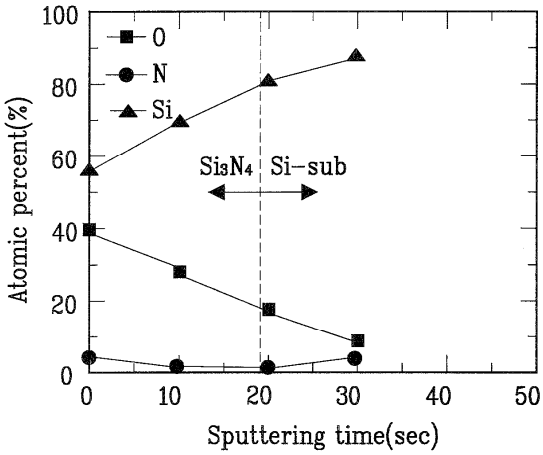
도면2b



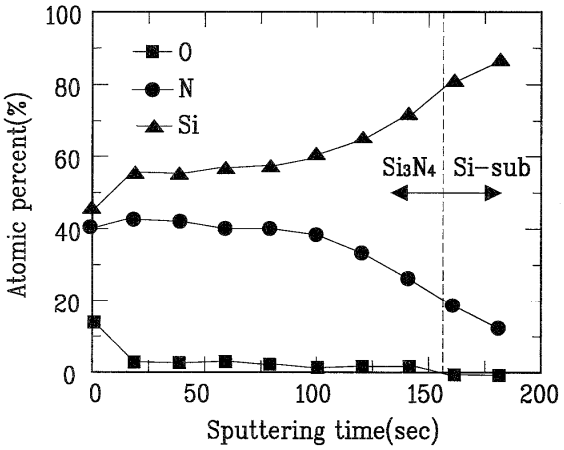

도면2c



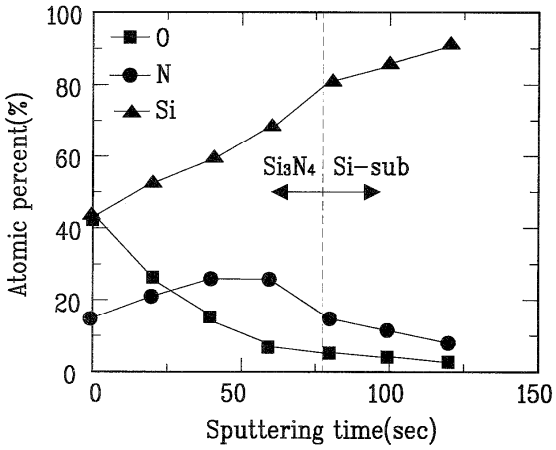

도면3a



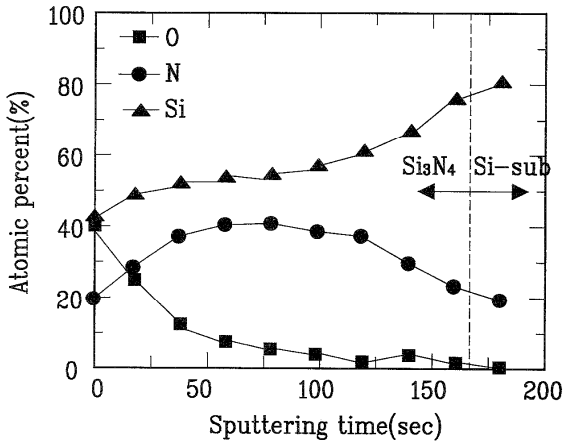
도면3b



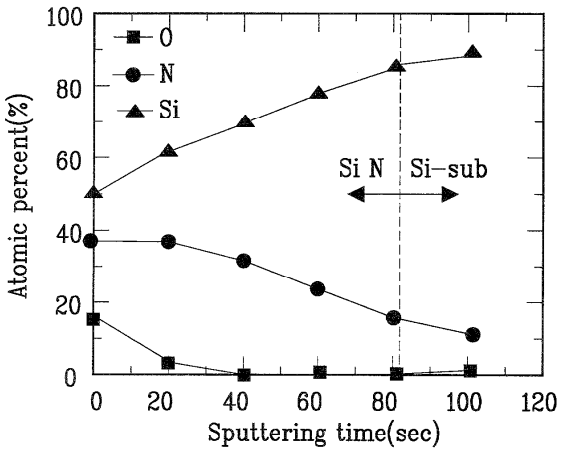

도면3c




도면3d



도면3e


100
80
60
40
20
0
0
20
40
60
80
100
120
O
N
Si
Si N
Si-sub
Atomic percent(%)
Sputtering time(sec)