



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년01월15일
(11) 등록번호 10-0936770
(24) 등록일자 2010년01월06일

(51) Int. Cl.

H03M 1/12 (2006.01)

(21) 출원번호 10-2007-0086489
(22) 출원일자 2007년08월28일
심사청구일자 2007년08월28일
(65) 공개번호 10-2009-0021728
(43) 공개일자 2009년03월04일
(56) 선행기술조사문헌
WO2006126338 A1*
US6075419 A
JP2005184113 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자

한국과학기술원

대전 유성구 구성동 373-1

(72) 발명자

조성환

대전 유성구 구성동 한국과학기술원 나노 SoC 3층 308호

장태광

대전 유성구 구성동 한국과학기술원 나노 SoC빌딩 304호

(74) 대리인

박영우

전체 청구항 수 : 총 11 항

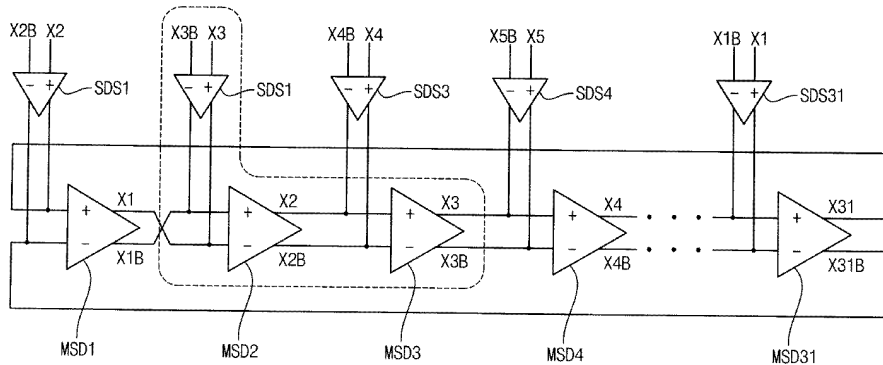
심사관 : 김승조

(54) 서브 피드백 루프를 이용한 전압 제어 발진기 및 이를포함하는 아날로그 디지털 변환기

(57) 요약

아날로그 디지털 변환기는 전압 제어 발진기 및 위상 검출부를 포함한다. 전압 제어 발진기는 링 형태의 메인 루프로 연결된 복수의 지연 스테이지들 및 복수의 지연 스테이지들과 연결되어 적어도 하나 이상의 서브 피드백 루프를 형성하는 서브 피드백 스테이지들을 포함하고, 입력 신호에 응답하여 복수의 지연 스테이지들 각 출력단에서 서로 위상차가 있는 복수의 발진 신호들을 출력한다. 위상 검출부는 복수의 발진 신호의 위상 변화량을 검출하고, 검출된 위상 변화량을 기초하여 입력 신호에 대응되는 디지털 값을 결정한다.

대표도



특허청구의 범위

청구항 1

링 형태의 메인 루프로 연결된 복수의 지연 스테이지들 및 상기 복수의 지연 스테이지들과 연결되어 적어도 하나 이상의 서브 피드백 루프를 형성하는 서브 피드백 스테이지들을 포함하고, 입력 신호에 응답하여 상기 복수의 지연 스테이지들 각 출력단에서 서로 위상차가 있는 복수의 발진 신호들을 출력하며, 바이어스 전압에 응답하여 상기 입력 신호의 변화에 대한 상기 복수의 발진 신호의 주파수 변화의 비율인 주파수 이득을 조절하는 전압제어 발진기; 및

상기 복수의 발진 신호의 위상 변화량을 검출하고, 상기 검출된 위상 변화량을 기초하여 상기 입력 신호에 대응되는 디지털 값을 결정하는 위상 검출부를 포함하고,

상기 복수의 지연 스테이지들과 상기 서브 피드백 스테이지들 각각은

이전 지연 스테이지의 출력 신호를 반전시켜 증폭하는 차동 증폭부; 및

상기 입력 신호에 응답하여 상기 차동 증폭부가 상기 이전 지연 스테이지의 출력 신호를 반전시켜 증폭하는 지연 시간을 조절하여 상기 복수의 발진 신호의 주파수를 조절하며, 상기 바이어스 전압에 응답하여 상기 입력 신호의 변화에 대한 상기 주파수 이득을 조절하는 주파수 제어부를 포함하고,

상기 바이어스 전압은 제1 바디 바이어스 전압 및 제2 바디 바이어스 전압을 포함하며,

상기 주파수 제어부는

상기 입력 신호 및 상기 제1 바디 바이어스 전압에 응답하여 상기 차동 증폭부의 풀업 동작을 보조하는 풀업 제어부; 및

상기 입력 신호에 및 상기 제2 바디 바이어스 전압에 응답하여 상기 차동 증폭부의 풀다운 동작을 보조하는 풀다운 제어부를 포함하고,

상기 차동 증폭부는

소스 단자가 제1 전원 전압에 연결되며 게이트 단자로 상기 이전 지연 스테이지의 출력 신호를 입력받아 드레인 단자로 현재 지연 스테이지의 출력 신호를 출력하는 제1 엔모스 트랜지스터 쌍; 및

소스 단자가 제2 전원 전압에 연결되고, 하나의 게이트 단자가 다른 하나의 드레인 단자와 교차하여 연결되며, 드레인 단자가 상기 제1 엔모스 트랜지스터 쌍의 드레인 단자와 연결된 제1 피모스 트랜지스터 쌍을 포함하는 것을 특징으로 하는 아날로그 디지털 변환기.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 풀업 제어부는 소스 단자가 상기 제2 전원 전압과 연결되고 드레인 단자가 상기 제1 엔모스 트랜지스터 쌍의 드레인 단자와 연결되며 게이트 단자로 상기 입력 신호를 입력 받고, 바디로 상기 제1 바디 바이어스 전압을 인가 받는 제2 피모스 트랜지스터 쌍을 포함하며,

상기 풀다운 제어부는 소스 단자가 상기 제1 전원 전압과 연결되고 드레인 단자가 상기 제1 엔모스 트랜지스터

쌍의 드레인 단자와 연결되며 게이트 단자로 상기 입력 신호를 입력 받고 바디로 상기 제2 바디 바이어스 전압을 인가 받으며, 상기 제2 피모스 트랜지스터 쌍의 문턱전압의 절대값보다 더 큰 절대값의 문턱전압을 가지는 제2 엔모스 트랜지스터 쌍을 포함하는 것을 특징으로 하는 아날로그 디지털 변환기.

청구항 6

제5항에 있어서, 상기 제2 피모스 트랜지스터의 문턱 전압의 절대값과 상기 제2 엔모스 트랜지스터의 문턱 전압의 절대값의 합은 상기 제1 전원 전압과 상기 제2 전원 전압의 차이와 같은 것을 특징으로 하는 아날로그 디지털 변환기.

청구항 7

제6항에 있어서,

상기 제1 바디 바이어스 전압과 상기 제2 바디 바이어스 전압의 공통모드 전압을 증가시키면 상기 입력 신호의 제1 영역에서의 상기 주파수 이득의 절대값이 감소하고 상기 입력 신호의 제2 영역에서의 상기 주파수 이득의 절대값이 증가하며,

상기 제1 바디 바이어스 전압과 상기 제2 바디 바이어스 전압의 차동모드 전압을 증가시키면 상기 제1 영역에서의 상기 주파수 이득의 절대값과 상기 제2 영역에서의 상기 주파수 이득의 절대값이 감소하는 것을 특징으로 하는 아날로그 디지털 변환기.

청구항 8

제1항에 있어서,

상기 입력 신호를 상기 전압 제어 발진기로 공급하기 위해 아날로그 신호를 샘플링하고 일시적으로 홀딩하는 샘플/홀드 회로를 더 포함하는 것을 특징으로 하는 아날로그 디지털 변환기.

청구항 9

제1항에 있어서, 상기 위상 검출부는

샘플링 클럭에 응답하여 상기 복수의 발진 신호의 위상 변화량을 검출하여 양자화하는 위상 양자화기; 및

상기 위상 양자화기의 출력 신호를 데시메이션하는 데시메이션 필터를 포함하는 것을 특징으로 하는 아날로그 디지털 변환기.

청구항 10

링 형태의 메인 루프로 연결된 복수의 지연 스테이지들 및 상기 복수의 지연 스테이지들과 연결되어 적어도 하나 이상의 서브 피드백 루프를 형성하는 서브 피드백 스테이지들을 포함하고 입력 신호에 응답하여 상기 복수의 지연 스테이지들 각 출력단에서 서로 위상차가 있는 복수의 발진 신호들을 출력하며,

상기 복수의 지연 스테이지들과 서브 피드백 스테이지들 각각은

이전 지연 스테이지의 출력 신호를 반전시켜 증폭하는 차동 증폭부; 및

상기 입력 신호에 응답하여 상기 차동 증폭부의 풀업 동작을 제어하여 상기 차동 증폭부가 상기 이전 지연 스테이지의 출력 신호를 반전시켜 증폭하는 지연 시간을 조절하며, 바이어스 전압에 응답하여 상기 입력 신호의 변화에 대한 상기 복수의 발진 신호의 주파수 변화의 비율인 주파수 이득을 조절하는 풀업 제어부; 및

상기 입력 신호에 응답하여 상기 차동 증폭부의 풀다운 동작을 제어하여 상기 차동 증폭부가 상기 이전 지연 스테이지의 출력 신호를 반전시켜 증폭하는 지연 시간을 조절하며, 상기 바이어스 전압에 응답하여 상기 주파수 이득을 조절하는 풀다운 제어부를 포함하고,

상기 차동 증폭부는

소스 단자가 제1 전원 전압에 연결되며 게이트 단자로 상기 이전 지연 스테이지의 출력 신호를 입력받아 드레인 단자로 현재 지연 스테이지의 출력 신호를 출력하는 제1 모스 트랜지스터 쌍; 및

소스 단자가 제2 전원 전압에 연결되고, 하나의 게이트 단자가 다른 하나의 드레인 단자와 교차하여 연결되며,

드레인 단자가 상기 제1 모스 트랜지스터 쌍의 드레인 단자와 연결된 제2 모스 트랜지스터 쌍을 포함하는 것을 특징으로 하는 전압 제어 발진기.

청구항 11

삭제

청구항 12

제10항에 있어서,

상기 풀업 제어부는 소스 단자가 상기 제2 전원 전압과 연결되고 드레인 단자가 상기 제1 모스 트랜지스터 쌍의 드레인 단자와 연결되며 게이트 단자로 상기 입력 신호를 입력 받는 제3 모스 트랜지스터 쌍을 포함하며,

상기 풀다운 제어부는 소스 단자가 상기 제1 전원 전압과 연결되고 드레인 단자가 상기 제1 모스 트랜지스터 쌍의 드레인 단자와 연결되며 게이트 단자로 상기 입력 신호를 입력 받고, 상기 제3 모스 트랜지스터 쌍의 문턱전압의 절대값보다 더 큰 절대값의 문턱전압을 가지는 제4 모스 트랜지스터 쌍을 포함하는 것을 특징으로 하는 전압 제어 발진기.

청구항 13

제12항에 있어서, 상기 제3 모스 트랜지스터의 문턱 전압의 절대값과 상기 제4 모스 트랜지스터의 문턱 전압의 절대값의 합은 상기 제1 전원 전압과 상기 제2 전원 전압의 차이와 같은 것을 특징으로 하는 전압 제어 발진기.

청구항 14

제12항에 있어서,

상기 바이어스 전압은 제1 바이어스 전압 및 제2 바이어스 전압을 포함하며,

상기 제3 모스 트랜지스터 쌍의 바디에 인가되는 상기 제1 바디 바이어스 전압과 상기 제4 모스 트랜지스터 쌍의 바디에 인가되는 상기 제2 바디 바이어스 전압의 공통모드 전압을 증가시키면 상기 입력 전압의 제1 영역에서의 상기 주파수 이득의 절대값이 감소하고 제2 영역에서의 상기 주파수 이득의 절대값이 증가하며,

상기 제1 바디 바이어스 전압과 상기 제2 바디 바이어스 전압의 차동모드 전압을 증가시키면 상기 제1 영역에서의 상기 주파수 이득과 상기 제2 영역에서의 주파수 이득의 절대값이 감소하는 것을 특징으로 하는 전압 제어 발진기.

청구항 15

아날로그 입력 신호에 응답하여, 링 형태의 메인 루프로 연결된 복수의 지연 스테이지들 각각의 출력 신호를 반전하여 증폭하고 다음 지연 스테이지로 제공하는 단계;

상기 복수의 지연 스테이지들 중 적어도 하나의 출력 신호를 반전하여 적어도 한 단계 이상의 이전 지연 스테이지의 입력 신호로 피드백 하여 상기 복수의 지연 스테이지들의 각 출력단에서 복수의 발진 신호를 생성하는 단계; 및

상기 복수의 지연 스테이지들로 인가되는 제1 바이어스 전압 및 제2 바이어스 전압을 조절하여 상기 입력 신호의 제1 영역과 제2 영역에서 상기 아날로그 입력 신호의 변화에 대한 상기 복수의 발진 신호의 주파수 변화의 비율인 주파수 이득을 조절하는 단계를 포함하는 것을 특징으로 하는 전압 제어 발진 방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 전압 제어 발진기 및 아날로그 디지털 변환기에 관한 것으로, 보다 상세하게는 서브 피드백 루프를 이용한 전압 제어 발진기 및 이를 포함하는 아날로그 디지털 변환기에 관한 것이다.

배경 기술

- <2> 최근에 CMOS 기술이 나노미터 수준으로 발전함에 따라, 공급 전압의 감소와 PVT(Process, Voltage, Temperature)의 변화로 인해 높은 성능의 아날로그 디지털 변환기를 설계하는 것이 더 어려워지게 되었다. 이러한 환경적 요인으로 인해 전압 제어 발진기를 이용한 시간 기반(Time-Based)의 아날로그 디지털 변환기에 대한 연구가 이루어지고 있다. 연산 증폭기나 비교기를 이용하여 전압 정보를 처리하는 종래의 아날로그 디지털 변환기와는 달리 전압 제어 발진기(Voltage Controlled Oscillator, VCO)를 이용한 아날로그 디지털 변환기는 세밀한 CMOS 공정 스케일에서의 낮은 공급 전압에 적합한 플립플롭과 논리 게이트들을 이용하여 위상 정보를 처리한다. 전압 제어 발진기를 이용한 아날로그 디지털 변환기는 디지털 회로를 이용하여 낮은 전압에서도 동작할 수 있어 전력 소모를 줄일 수 있는 장점이 있다.
- <3> 전압 제어 발진기의 이용한 아날로그 디지털 변환기에서 중요한 빌딩 블록은 전압 제어 발진기인데, 전압 제어 발진기의 선형성과 튜닝 레인지(전압 제어 발진기의 출력 주파수의 최대값과 최소값의 차이), 위상의 개수(검출할 수 있는 위상의 개수)는 아날로그 디지털 변환기의 해상도와 샘플링 레이트를 결정한다. 그러나 전압 제어 발진기의 중요성에도 불구하고, 현재까지 아날로그 디지털 변환기를 위한 전압 제어 발진기의 설계에 대한 연구는 큰 주목을 받지 못하고 있다. 종래에는 링 오실레이터 형태의 전압 제어 발진기의 딜레이 셀로 인버터가 이용되었는데 선형성이 유지되는 구간에서 발진 신호를 이용하기 위해서 결과적으로 입력 스윙 범위가 특정 레벨로 제한된다. 이러한 입력 스윙 범위의 제한과 불충분한 위상의 개수는 아날로그 디지털 변환기의 성능을 저하시킨다.
- <4> 따라서 넓은 튜닝 레인지를 확보하여 해상도와 선형성을 향상시킨 아날로그 디지털 변환기 및 이를 위한 전압 제어 발진기에 대한 필요성이 증가하고 있다.

발명의 내용

해결 하고자하는 과제

- <5> 본 발명은 상술한 문제점을 해결하기 위해 안출된 것으로서, 본 발명의 목적은 서브 피드백 루프와 바디 바이어스 전압을 이용하여 해상도 및 선형성을 향상시킨 전압 제어 발진기 및 이를 포함한 아날로그 디지털 변환기를 제공하는 것이다.
- <6> 본 발명의 다른 목적은 발진 신호를 서브 피드백 시키고 바디 바이어스 전압을 인가하여 선형성을 향상시킨 전압 제어 발진 방법을 제공하는 것이다.

과제 해결수단

- <7> 본 발명의 목적을 달성하기 위한 본 발명의 일 실시예에 따른 아날로그 디지털 변환기는 전압 제어 발진기 및 위상 검출부를 포함한다. 상기 전압 제어 발진기는 링 형태의 메인 루프로 연결된 복수의 지연 스테이지들 및 상기 복수의 지연 스테이지들과 연결되어 적어도 하나 이상의 서브 피드백 루프를 형성하는 서브 피드백 스테이지들을 포함하고, 입력 신호에 응답하여 상기 복수의 지연 스테이지들 각 출력단에서 서로 위상차가 있는 복수의 발진 신호들을 출력한다. 상기 위상 검출부는 복수의 발진 신호의 위상 변화량을 검출하고, 상기 검출된 위상 변화량을 기초하여 상기 입력 신호에 대응되는 디지털 값을 결정한다.
- <8> 상기 복수의 지연 스테이지들과 서브 피드백 스테이지 각각은 차동 증폭부 및 주파수 제어부를 포함할 수 있다. 상기 차동 증폭부는 이전 지연 스테이지의 출력 신호를 반전시켜 증폭할 수 있다. 상기 주파수 제어부는 상기 입력 신호에 응답하여 상기 차동 증폭부가 상기 이전 지연 스테이지의 출력 신호를 반전시켜 증폭하는 지연 시간을 조절하여 상기 복수의 발진 신호의 주파수를 조절하며, 바이어스 전압에 응답하여 상기 입력 신호의 변화에 대한 상기 복수의 발진 신호의 주파수 변화의 비율인 주파수 이득을 조절할 수 있다.
- <9> 상기 바이어스 전압은 제1 바디 바이어스 전압 및 제2 바디 바이어스 전압을 포함할 수 있으며, 상기 주파수 제어부는 상기 입력 신호 및 상기 제1 바디 바이어스 전압에 응답하여 상기 차동 증폭부의 풀업 동작을 보조하는 풀업 제어부 및 상기 입력 신호에 및 상기 제2 바디 바이어스 전압에 응답하여 상기 차동 증폭부의 풀다운 동작을 보조하는 풀다운 제어부를 포함할 수 있다.
- <10> 상기 차동 증폭부는 제1 엔모스 트랜지스터 쌍 및 제1 피모스 트랜지스터 쌍을 포함할 수 있다. 상기 제1 엔모스 트랜지스터 쌍은 소스 단자가 제1 전원 전압에 연결되며 게이트 단자로 상기 이전 지연 스테이지의 출력 신호

호를 입력받아 드레인 단자로 현재 지연 스테이지의 출력 신호를 출력할 수 있다. 상기 제1 피모스 트랜지스터 쌍은 소스 단자가 제2 전원 전압에 연결되고, 하나의 게이트 단자가 다른 하나의 드레인 단자와 교차하여 연결되며, 드레인 단자가 상기 제1 엔모스 트랜지스터 쌍의 드레인 단자와 연결될 수 있다.

- <11> 상기 풀업 제어부는 소스 단자가 상기 제2 전원 전압과 연결되고 드레인 단자가 상기 제1 엔모스 트랜지스터 쌍의 드레인 단자와 연결되며 게이트 단자로 상기 입력 신호를 입력 받고, 바디로 상기 제1 바디 바이어스 전압을 인가 받는 제2 피모스 트랜지스터 쌍을 포함할 수 있으며, 상기 풀다운 제어부는 소스 단자가 상기 제1 전원 전압과 연결되고 드레인 단자가 상기 제1 엔모스 트랜지스터 쌍의 드레인 단자와 연결되며 게이트 단자로 상기 입력 신호를 입력 받고 바디로 상기 제2 바디 바이어스 전압을 인가 받으며, 상기 제2 피모스 트랜지스터 쌍의 문턱전압의 절대값보다 더 큰 절대값의 문턱전압을 가지는 제2 엔모스 트랜지스터 쌍을 포함할 수 있다.
- <12> 상기 제2 피모스 트랜지스터의 문턱 전압의 절대값과 상기 제2 엔모스 트랜지스터의 문턱 전압의 절대값의 합은 상기 제1 전원 전압과 상기 제2 전원 전압의 차이와 같을 수 있다.
- <13> 상기 제1 바디 바이어스 전압과 상기 제2 바디 바이어스 전압의 공통모드 전압을 증가시키면 상기 입력 전압의 제1 영역에서의 상기 주파수 이득의 절대값이 감소하고 제2 영역에서의 상기 주파수 이득의 절대값이 증가하며, 상기 제1 바디 바이어스 전압과 상기 제2 바디 바이어스 전압의 차동모드 전압을 증가시키면 상기 제1 영역에서의 상기 주파수 이득의 절대값과 상기 제2 영역에서의 상기 주파수 이득의 절대값이 감소할 수 있다.
- <14> 상기 아날로그 디지털 변환기는 상기 입력 신호를 상기 전압 제어 발진기로 공급하기 위해 아날로그 신호를 샘플링하고 일시적으로 홀딩하는 샘플/홀드 회로를 더 포함할 수 있다.
- <15> 상기 위상 검출부는 샘플링 클럭에 응답하여 상기 복수의 발진 신호 각각의 위상 변화량을 검출하여 양자화하는 위상 양자화기 및 상기 위상 양자화기의 출력 신호를 데시메이션하는 데시메이션 필터를 포함할 수 있다.
- <16> 본 발명의 목적을 달성하기 위한 본 발명의 일 실시예에 따른 전압 제어 발진기는 링 형태의 메인 루프로 연결된 복수의 지연 스테이지들 및 상기 복수의 지연 스테이지들과 연결되어 적어도 하나 이상의 서브 피드백 루프를 형성하는 서브 피드백 스테이지들을 포함하고 입력 신호에 응답하여 상기 복수의 지연 스테이지들 각 출력단에서 서로 위상차가 있는 복수의 발진 신호들을 출력하며, 상기 복수의 지연 스테이지들과 서브 피드백 스테이지들 각각은 차동 증폭부, 풀업 제어부 및 풀다운 제어부를 포함한다. 상기 차동 증폭부는 이전 지연 스테이지의 출력 신호를 반전시켜 증폭한다. 상기 풀업 제어부는 상기 입력 신호에 응답하여 상기 차동 증폭부의 풀업 동작을 제어하여 상기 차동 증폭부가 상기 이전 지연 스테이지의 출력 신호를 반전시켜 증폭하는 지연 시간을 조절하고, 바이어스 전압에 응답하여 상기 입력 신호의 변화에 대한 상기 복수의 발진 신호의 주파수 변화의 비율인 주파수 이득을 조절한다. 상기 풀다운 제어부는 상기 입력 신호에 응답하여 상기 차동 증폭부의 풀다운 동작을 제어하여 상기 차동 증폭부가 상기 이전 지연 스테이지의 출력 신호를 반전시켜 증폭하는 지연 시간을 조절하고, 바이어스 전압에 응답하여 상기 주파수 이득을 조절한다.
- <17> 본 발명의 목적을 달성하기 위한 본 발명의 일 실시예에 따른 전압 제어 발진 방법은 아날로그 입력 신호에 응답하여, 링 형태의 메인 루프로 연결된 복수의 지연 스테이지들 각각의 출력 신호를 반전하여 증폭하고 다음 지연 스테이지로 제공하는 단계, 상기 복수의 지연 스테이지들 중 적어도 하나의 출력 신호를 반전하여 적어도 한 단계 이상의 이전 지연 스테이지의 입력 신호로 피드백 하여 상기 복수의 지연 스테이지 각 출력단에서 복수의 발진 신호를 생성하는 단계 및 상기 복수의 지연 스테이지들로 인가되는 제1 바이어스 전압 및 제2 바이어스 전압을 조절하여 상기 입력 신호의 제1 영역과 제2 영역에서 상기 아날로그 입력 신호의 변화에 대한 상기 복수의 발진 신호의 주파수 변화의 비율인 주파수 이득을 조절하는 단계를 포함한다.

효 과

- <18> 본 발명의 일 실시예에 따른 전압 제어 발진기 및 이를 포함한 아날로그 디지털 변환기는 서브 피드백 루프와 바디 바이어스 전압을 이용하여 해상도와 선형성을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- <19> 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.
- <20> 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고

본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.

- <21> 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- <22> 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- <23> 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

실시예

- <24> 이하, 첨부한 도면들을 참조하여, 본 발명의 실시예에 따른 전압 제어 발진기 및 아날로그 디지털 변환기를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- <25> 도 1은 본 발명의 일 실시예에 따른 아날로그 디지털 변환기를 나타내는 블록도이다.
- <26> 도 1을 참조하면, 아날로그 디지털 변환기(100)는 샘플/홀드 회로(110), 전압 제어 발진기(120) 및 위상 검출부(130)를 포함한다.
- <27> 샘플/홀드 회로(110)는 아날로그 신호(SA)를 입력받아서 샘플링하고 이를 일시적으로 홀딩하여 전압 제어 발진기(120)의 입력 신호(SI)로 제공한다.
- <28> 전압 제어 발진기(120)는 입력 신호(SI)에 응답하여 복수의 발진 신호(SO)를 출력한다. 전압 제어 발진기(120)는 입력 신호(SI)의 크기에 비례 또는 반비례하여 복수의 발진 신호(SO)의 주파수를 변화시켜 출력한다.
- <29> 일정 시간 동안의 발진 신호의 위상 변화량은 주파수를 적분한 값과 비례하므로, 발진 신호의 위상 변화량은 조절하거나 검출하는 과정은 발진 신호의 주파수를 조절하거나 검출하는 과정과 같은 의미로 이해될 수 있다. 이하, 본 명세서상에서 위상은 주파수의 의미로도 해석될 수 있고, 주파수 역시 위상의 의미로 해석될 수 있다. 또한 본 발명의 일 실시예를 설명함에 있어 튜닝 레인지는 전압 제어 발진기의 출력 신호의 주파수들 중 아날로그 디지털 변환기에서 유효하게 이용할 수 있는 최대값과 최소값의 차이를 의미하며, 위상의 개수는 샘플링 주기 동안 검출할 수 있는 단위 위상의 개수를 의미한다.
- <30> 전압 제어 발진기(120)는 복수의 지연 스테이지가 링 형태로 연결된 링 오실레이터로 구현될 수 있으며, 서브 피드백 루프를 이용하여 튜닝 레인지의 감소를 줄이면서도 위상차가 있는 복수의 발진 신호의 위상 정보를 이용할 수 있어 해상도를 향상시킬 수 있다.
- <31> 위상 검출부(130)는 전압 제어 발진기(120)의 출력 신호(SO)의 주파수 또는 위상 변화량을 검출하고, 검출된 위상 변화량을 디지털 신호(SD)로 변환하여 출력한다.
- <32> 위상 검출부(130)는 위상 양자화기(131) 및 데시메이션 필터(132)를 포함한다. 위상 양자화기(131)는 샘플링 클럭(SS)에 응답하여 복수의 발진 신호 각각의 위상 변화량을 검출하여 양자화한다. 데시메이션 필터(132)는 위상 양자화기의 출력 신호(SQ)를 데시메이션한다.
- <33> 도 2는 도1의 아날로그 디지털 변환기의 각 신호 흐름을 나타내는 파형도이다.
- <34> 도 2를 참조하면, 샘플링 클럭(SS)의 매 주기마다, 샘플/홀드 회로(110)가 아날로그 신호를 샘플링하고 일정하

게 홀딩하여 전압 제어 발진기(120)에 입력 신호(SI)로 제공한다. 전압 제어 발진기(120)는 입력 신호(SI)에 비례하는 주파수를 가진 발진 신호(SO)를 출력한다. 이때 단일 발진 신호를 출력하는 것보다 복수의 발진 신호를 출력하면, 검출할 수 있는 위상 변화의 간격을 더욱 세분화할 수 있어 해상도를 높일 수 있다. 예를 들어, 도 2의 파형도에서는 8개의 발진 신호를 출력하여 단일 발진 신호를 이용할 때 검출 가능한 위상 변화량의 1/8 간격의 위상 변화량까지 검출할 수 있다.

- <35> 위상 검출부(130)에서는 발진 신호의 위상 변화량을 검출한다. 예를 들어 위상 검출부(130)의 위상 양자화기(131)는 샘플링 클럭(SS)의 매 주기 동안의 단위 위상 변화량의 개수(SQ)를 카운트하여 위상 변화량(PS)을 검출할 수 있다.
- <36> 도 3은 도 1의 아날로그 디지털 변환기에 포함된 본 발명의 일 실시예에 따른 전압 제어 발진기를 나타내는 개념도이다.
- <37> 도 3을 참조하면, 전압 제어 발진기는 복수의 지연 스테이지가 링 형태로 연결된 링 오실레이터로 구현된다. 전압 제어 발진기는 메인 루프를 형성하는 지연 스테이지(MDS1~MDS8) 및 서브 피드백 루프를 형성하는 서브 피드백 스테이지(SDS1~SDS8)를 포함한다.
- <38> 복수의 지연 스테이지들 각각의 출력단에는 서로 위상차가 있는 발진 신호를 출력한다. 본 발명의 일 실시예에 따른 전압 제어 발진기는 메인 루프 이외에 더 짧은 서브 피드백 루프를 형성하기 위한 서브 피드백 스테이지(SDS1~SDS8)를 포함한다. 서브 피드백 루프는 메인 루프보다 길이가 작은 루프일 수 있다. 도 3에서는 8개의 지연 스테이지(MDS1~MDS8)가 직렬로 연결되어 하나의 메인 루프를 형성하고, 메인 루프의 오실레이션 경로를 단축시키는 서브 피드백 스테이지(SDS1~SDS8)가 연결되어 있다. 도3에서 나타낸 실시예에서 서브 피드백 스테이지(SDS1~SDS8)는 각 지연 스테이지(MDS1~MDS8)의 출력 신호를 한 단계 이전 지연 스테이지의 입력 신호로 피드백한다. 예를 들어, 세 번째 지연 스테이지(MDS3)의 출력 신호는 서브 피드백 스테이지(SDS2)를 거쳐 두 번째 지연 스테이지(MDS2)의 입력 신호로 제공된다. 네 번째 지연 스테이지(MDS4)의 출력 신호는 서브 피드백 스테이지(SDS3)를 거쳐 세 번째 지연 스테이지(MDS3)의 입력 신호로 제공된다. 이와 마찬가지로 각 지연 스테이지들은 서브 피드백 스테이지를 거쳐 한 단계 이전 지연 스테이지의 입력 신호로 제공된다. 도 3에서 도시된 실시예에서는 8개의 지연 스테이지와 서브 피드백 스테이지를 이용하였으나 지연 스테이지의 개수와 서브 피드백 스테이지의 개수는 자유롭게 변형할 수 있으며, 서브 피드백 스테이지의 연결 관계 또한 자유롭게 변형할 수 있을 것이다.
- <39> 도 4는 도 3의 전압 제어 발진기의 다른 일 실시예를 나타내는 블록도이다.
- <40> 도 4를 참조하면, 전압 제어 발진기는 차동 입력 신호를 인가받아 반전하여 출력하는 복수의 지연 스테이지(MSD1~MSD31)를 포함하며, 복수의 지연 스테이지(MSD1~MSD31) 각 출력단의 출력하는 발진 신호의 한 단계 이상 피드백 하는 서브 피드백 스테이지(SDS1~SDS8)를 포함한다. 오실레이션이 일어나도록 하기 위해서 하나의 지연 스테이지의 출력 신호를 다음 지연 스테이지로 바로 연결할 수도 있고 교차하여 연결 할 수도 있다.
- <41> 본 발명의 일 실시예에 따른 아날로그 디지털 변환기는 전압 제어 발진기에서 출력되는 복수의 발진 신호의 위상 정보를 이용하여 위상의 개수를 증가시킬 수 있다. 또한 종래의 아날로그 디지털 변환기가 위상의 개수를 증가시킬 경우 튜닝 레인지가 감소하여 해상도를 향상시키기가 어려운 것에 비해서 본 발명의 일 실시예에 따른 아날로그 디지털 변환기는 복수의 발진 신호를 이용하여 위상의 개수를 증가시키면서도 서브 피드백 루프로 인해 튜닝 레인지의 감소를 줄일 수 있어 해상도를 향상시킬 수 있다.
- <42> 도 5는 도 4의 전압 제어 발진기의 지연 스테이지(MDS1~MDS31) 또는 서브 피드백 스테이지(SDS1~SDS31)를 나타내는 회로도이다.
- <43> 도 5를 참조하면, 지연 스테이지(MDS1~MDS31) 또는 서브 피드백 스테이지(SDS1~SDS31) 각각은 차동 증폭부(510) 및 주파수 제어부(520)를 포함한다.
- <44> 차동 증폭부(510)는 이전 스테이지의 출력 신호를 입력받아 이를 반전하여 증폭하고, 출력 신호를 다음 지연 스테이지로 제공한다. 차동 증폭부(510)는 제1 엔모스 트랜지스터 쌍(NM1, NM2) 및 제1 피모스 트랜지스터 쌍(PM1, PM2)을 포함한다. 제1 엔모스 트랜지스터 쌍(NM1, NM2)은 소스 단자가 제1 전원 전압(VSS)에 연결되고, 게이트 단자로 이전 지연 스테이지의 출력 신호를 입력받아 드레인 단자로 현재 지연 스테이지의 출력 신호를 출력한다. 제1 전원 전압(VSS)은 접지 전압일 수 있다. 제1 피모스 트랜지스터 쌍(PM1, PM2)은 소스 단자가 제2 전원 전압(VDD)에 연결되고, 하나의 게이트 단자가 다른 하나의 드레인 단자와 교차하여 연결되며, 드레인 단자가 상기 제1 엔모스 트랜지스터 쌍과 연결된다. 도 5에서는 제1 엔모스 트랜지스터 쌍과 제1 피모스 트랜지스터

쌍을 포함하는 차동 증폭부를 일 실시예로서 도시하였으나, 트랜지스터의 수와 전도 타입은 실시예에 따라서 자유롭게 변형할 수 있다.

- <45> 주파수 제어부(520)는 입력 신호(SI)에 응답하여 차동 증폭부(510)에서 신호가 지연되는 시간을 조절하여 전압 제어 발진기(120)에서 출력되는 발진 신호의 주파수를 조절한다. 주파수 제어부(520)는 입력 신호(SI)의 크기에 상응하는 주파수의 발진 신호를 출력하도록 하고, 위상 검출부에서 발진 신호의 위상 정보를 검출하여 디지털 신호로 변환함으로써 아날로그 디지털 변환을 수행한다. 또한, 주파수 제어부(520)는 바이어스 전압들(VB1, VB2)을 이용해 입력 신호의 변화에 대한 복수의 발진 신호의 주파수 변화의 비율인 주파수 이득을 조절하여 선형성을 향상시킨다.
- <46> 주파수 제어부는 풀업 제어부(520) 및 풀다운 제어부(530)를 포함한다. 풀업 제어부(510) 및 풀다운 제어부(520)는 입력 신호(SI)에 응답하여 각각 차동 증폭부(510)의 풀업 동작과 풀다운 동작을 보조한다.
- <47> 풀업 제어부(521)는 제2 피모스 트랜지스터 쌍(PM3, PM4)을 포함한다. 제2 피모스 트랜지스터 쌍(PM3, PM4)은 소스 단자가 제2 전원 전압(VDD)에 연결되고 드레인 단자가 상기 제1 엔모스 트랜지스터 쌍(NM1, NM2)의 드레인 단자와 연결되며, 게이트 단자로 상기 입력 신호(SI)를 입력 받는다. 또한 제2 피모스 트랜지스터의 바디로 제1 바디 바이어스 전압(VB1)을 인가 받아 전압 제어 발진기에서 출력되는 발진 신호들의 주파수 이득을 조절한다.
- <48> 풀다운 제어부(522)는 제2 엔모스 트랜지스터 쌍(NM3, NM4)을 포함한다. 제2 엔모스 트랜지스터 쌍(NM3, NM4)은 소스 단자가 제1 전원 전압(VSS)과 연결되고 드레인 단자가 제1 엔모스 트랜지스터 쌍(NM1, NM2)의 드레인 단자와 연결되며 게이트 단자로 입력 신호(SI)를 입력 받는다. 또한, 바디로 제2 바디 바이어스 전압(VB2)을 인가 받아 전압 제어 발진기에서 출력되는 발진 신호들의 주파수 이득을 조절한다.
- <49> 도 6a 및 도 6b는 전압 제어 발진기의 입력 신호와 전압 제어 발진기에서 출력되는 발진 신호의 주파수의 관계를 나타내는 다이어그램이다.
- <50> 이하, 도 5, 도 6a 및 도 6b를 참조하여 전압 제어 발진기의 선형성을 향상시키는 방법을 설명한다.
- <51> 전압 제어 발진기의 입력 신호(SI)가 증가함에 따라 제2 피모스 트랜지스터 쌍(PM3, PM4)의 영향으로 발진 신호의 주파수는 감소한다. 그러나 입력 신호(SI)가 계속 증가하여 제2 피모스 트랜지스터 쌍(PM3, PM4)이 턴오프 되면 제2 엔모스 트랜지스터(NM3, NM4)의 영향으로 주파수는 더 감소될 수 있어 튜닝 레인지의 제한이 줄어든다.
- <52> 도 6a 및 도 6b에서 그래프의 기울기는 입력 신호의 변화에 대한 발진 신호의 주파수 변화의 비율, 즉 주파수 이득을 나타낸다. 즉, 그래프의 기울기가 급격해지는 것은 주파수 이득의 절대값이 커지는 것을 의미하고 그래프의 기울기가 완만해지는 것은 주파수 이득의 절대값이 작아지는 것을 의미한다. 만약, 입력 신호(SI)에 의해 제2 피모스 트랜지스터 쌍(PM3, PM4)과 제2 엔모스 트랜지스터(NM3, NM4)가 모두 턴온 되면 그래프의 기울기는 한 쌍의 트랜지스터가 턴온 될 때에 비해 더욱 급격한 경사를 나타낼 수 있으며, 모든 트랜지스터가 턴오프 되면 기울기가 영(0)이 될 수 있으므로, 본 발명의 일 실시예에 따른 아날로그 디지털 변환기에서는 제2 피모스 트랜지스터 쌍(PM3, PM4)과 제2 엔모스 트랜지스터 쌍(NM3, NM4) 중 한 쌍만 턴온 되도록 트랜지스터의 문턱 전압을 조절하여 선형성을 향상시킬 수 있다. 예를 들어, 제2 피모스 트랜지스터 쌍(PM3, PM4)의 문턱 전압의 절대값과 제2 엔모스 트랜지스터 쌍(NM3, NM4)의 문턱 전압의 합이 제1 전원 전압(VSS)과 제2 전원 전압(VDD)의 차이와 같도록 제2 엔모스 트랜지스터 쌍(NM3, NM4)의 길이를 설계하고, 그래프의 기울기가 일정하게 유지되도록 제2 피모스 트랜지스터 쌍(PM3, PM4) 및 제2 엔모스 트랜지스터 쌍(NM3, NM4)의 폭을 설계하여 선형성을 향상시킬 수 있다. 이 경우 제2 엔모스 트랜지스터 쌍(NM3, NM4)의 문턱 전압은 제2 피모스 트랜지스터 쌍(PM3, PM4)의 문턱 전압보다 더 높을 수 있다.
- <53> 그러나 이렇게 트랜지스터의 특성을 결정하여 설계하더라도 제조 공정상 변화가 있을 수 있는데, 본 발명의 일 실시예에 따른 아날로그 디지털 변환기는 바디 바이어스 전압을 이용하여 선형성을 더욱 향상시킬 수 있다. 제1 바디 바이어스 전압(VB1)을 증가시키면 제2 피모스 트랜지스터 쌍(PM3, PM4)의 유효 저항과 문턱 전압이 증가하고, 제2 바디 바이어스 전압을 감소시키면 제2 엔모스 트랜지스터 쌍(NM3, NM4)의 유효 저항과 문턱 전압이 증가한다. 따라서 제1 바디 바이어스 전압(VB1)과 제2 바디 바이어스 전압(VB2)의 공통 모드 전압((VB1 + VB2)/2)을 증가시키면 입력 신호의 제1 영역(AR1)에서의 주파수 이득의 절대값(LINE 1의 기울기의 크기)은 더욱 평탄해지고 입력 신호의 제2 영역(AR2)에서의 주파수 이득의 절대값(LINE 2의 기울기의 크기)은 더욱 급격해진다. 또한 제1 바디 바이어스 전압(VB1)과 제2 바디 바이어스 전압(VB2)의 차동 모드 전압((VB1-VB2)/2)을 증가시키면 입력 신호의 제1 영역(AR1)에서의 주파수 이득의 절대값(LINE 1의 기울기의 크기)과 입력 신호의 제2 영역(AR

2)에서의 주파수 이득의 절대값(LINE 2의 기울기의 크기)이 감소한다. 따라서 제1 바디 바이어스 전압(VB1)과 제2 바디 바이어스 전압(VB2)을 조절하여 도 6a 및 도 6b의 LINE 1과 LINE 2가 일직선이 되도록 하면 전압 제어 발진기의 선형성이 유지될 수 있다.

<54> 도 7은 도 4의 전압 제어 발진기를 시뮬레이션한 결과를 나타내는 다이어그램이다.

<55> 도 7의 다이어그램은 0.13 마이크로미터의 CMOS 기술과 1.2V의 공급 전압을 이용하여 시뮬레이션한 결과이다. 도 7을 참조하면, 본 발명의 일 실시예에 따른 전압 제어 발진기는 0.88GHz의 튜닝 레인지를 얻을 수 있으며, 그래프가 거의 직선에 가까워 선형성이 높음을 알 수 있다.

<56> [표 1]

	종래의 VCO	본 발명의 VCO
위상의 개수	6	62
소비 전력	1.2mW	15.5mW
시간 해상도	183ps	18.3ps
튜닝 레인지	1.41~2.32GHz	1.02~1.90GHz
위상 잡음	-92.84~-92.91dB	-104.3~-106.5dB
ENOB	8.10bit	11.28bit

<58> 표 1은 서브 피드백 루프와 바디 바이어스 기술을 적용하지 않은 종래의 전압 제어 발진기와 본 발명의 일 실시예에 따른 전압 제어 발진기의 성능을 비교한 것이다.

<59> 표 1을 참조하면, 본 발명의 전압 제어 발진기는 종래의 전압 제어 발진기보다 시간 해상도가 약 10배 향상되었으며 유효비트수(Effective Number of Bits, ENOB)가 약 3.18bit 향상되었다. 위상의 개수는 약 10.3배 향상되었지만 튜닝 레인지는 크게 감소되지 않았다.

산업이용 가능성

<60> 상술한 바와 같이 본 발명의 일 실시예에 따른 전압 제어 발진기 및 이를 포함한 아날로그 디지털 변환기는 서브 피드백 루프와 바디 바이어스 전압을 이용하여 해상도와 선형성을 향상시킬 수 있다.

<61> 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

<62> 도 1은 본 발명의 일 실시예에 따른 아날로그 디지털 변환기를 나타내는 블록도이다.

<63> 도 2는 도1의 아날로그 디지털 변환기의 각 신호 흐름을 나타내는 파형도이다.

<64> 도 3은 도 1의 아날로그 디지털 변환기에 포함된 본 발명의 일 실시예에 따른 전압 제어 발진기를 나타내는 개념도이다.

<65> 도 4는 도 3의 전압 제어 발진기의 다른 일 실시예를 나타내는 블록도이다.

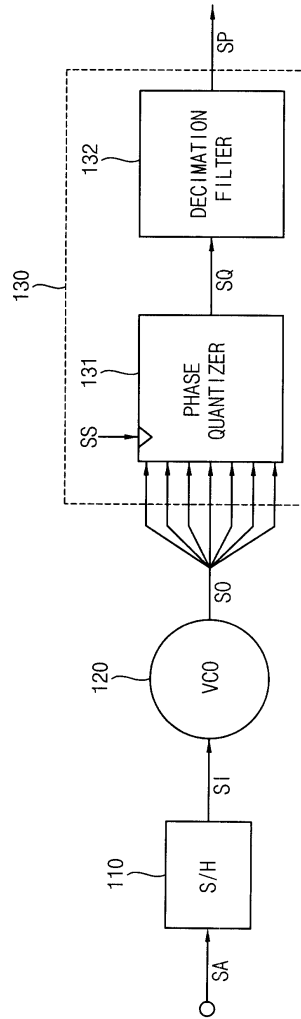
<66> 도 5는 도 4의 전압 제어 발진기의 지연 스테이지 또는 서브 피드백 스테이지를 나타내는 회로도이다.

<67> 도 6a 및 도 6b는 전압 제어 발진기의 입력 신호와 전압 제어 발진기에서 출력되는 발진 신호의 주파수의 관계를 나타내는 다이어그램이다.

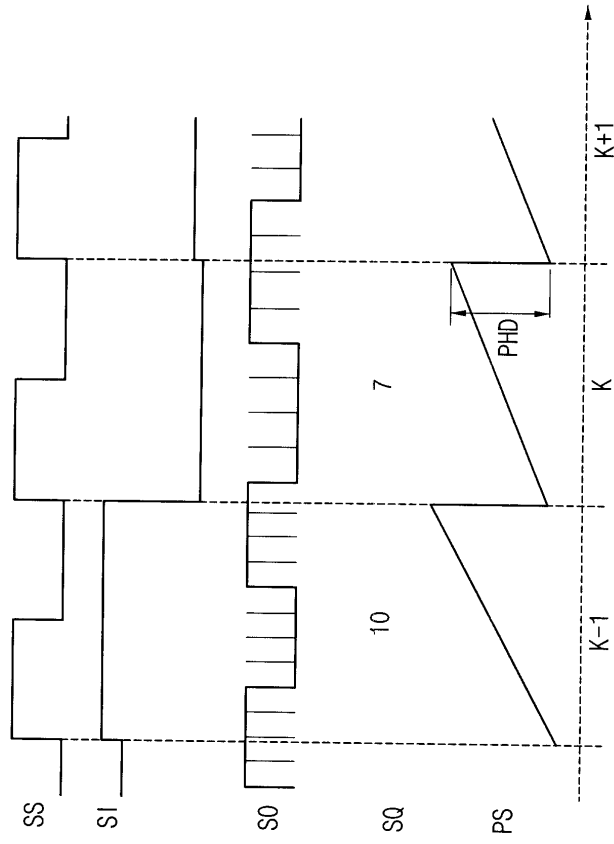
<68> 도 7은 도4의 전압 제어 발진기를 시뮬레이션한 결과를 나타내는 다이어그램이다.

도면

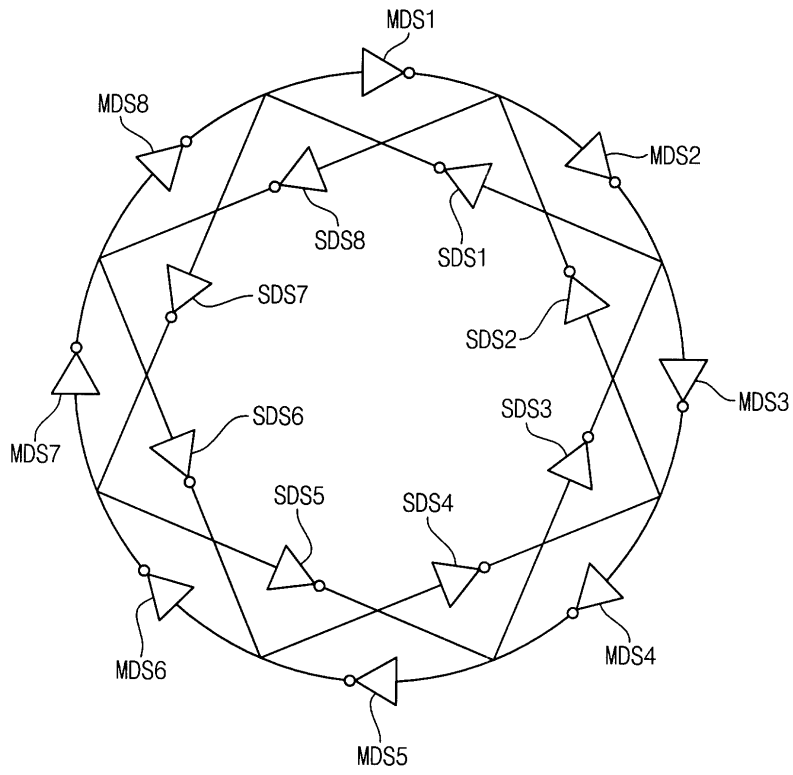
도면1



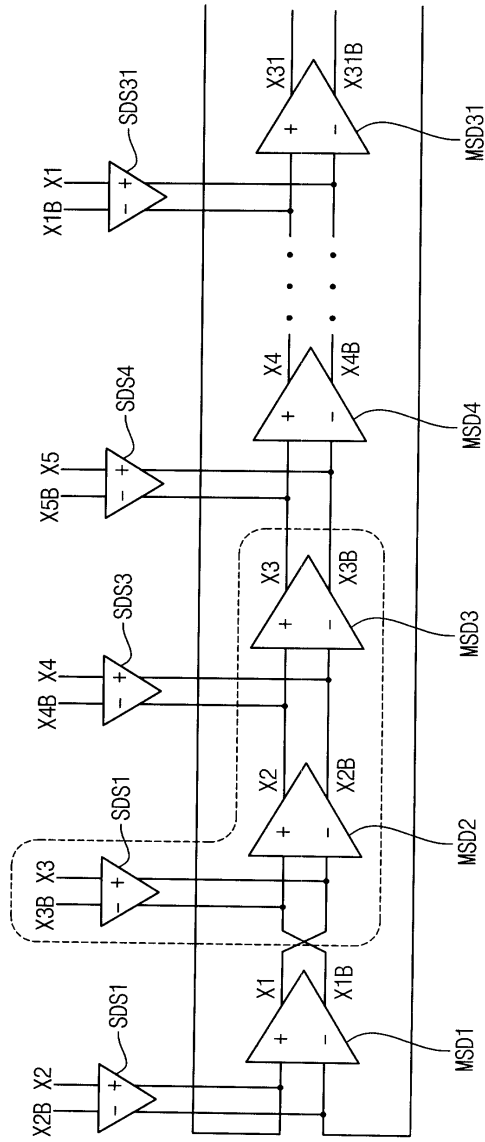
도면2



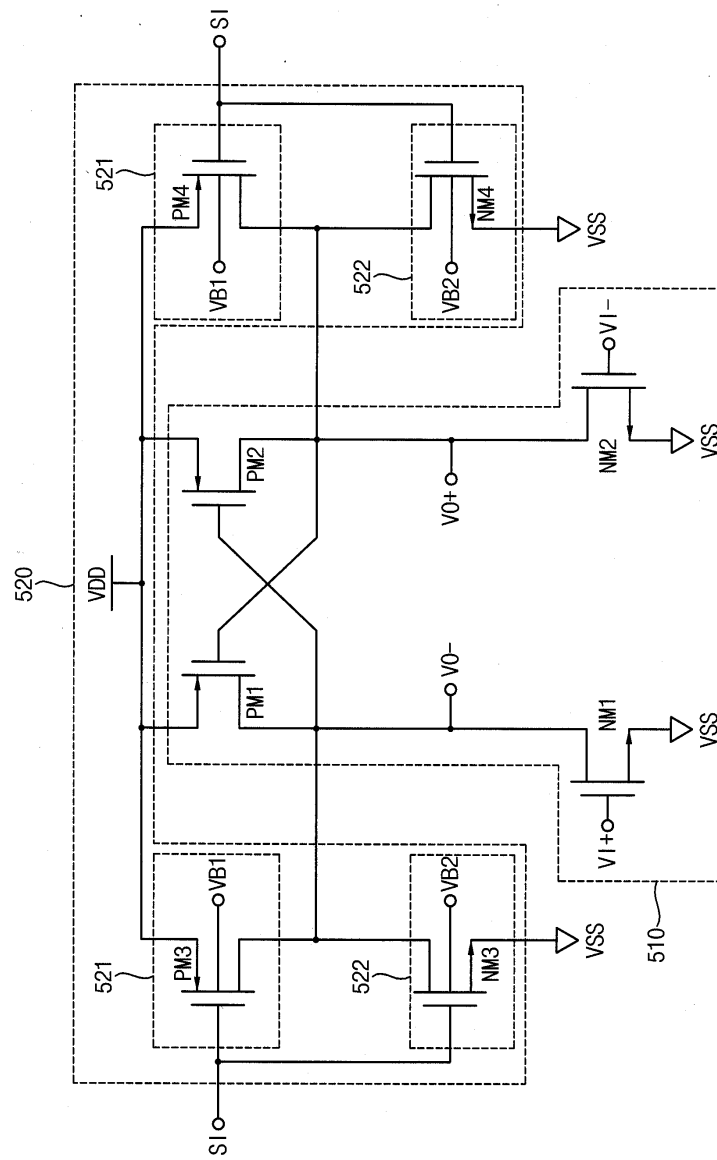
도면3



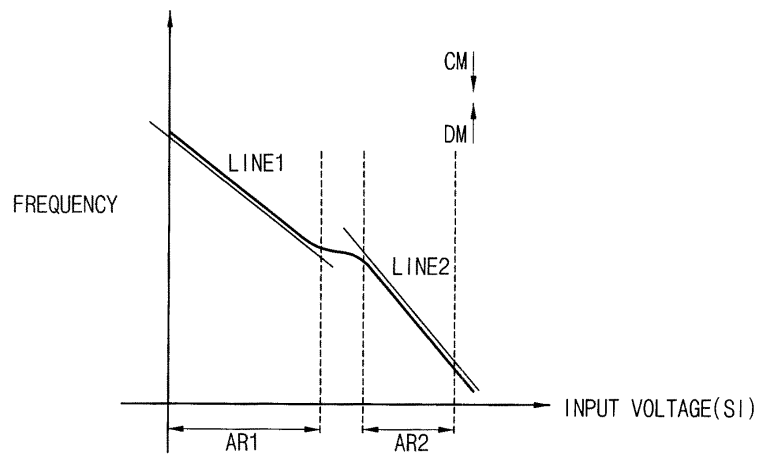
도면4



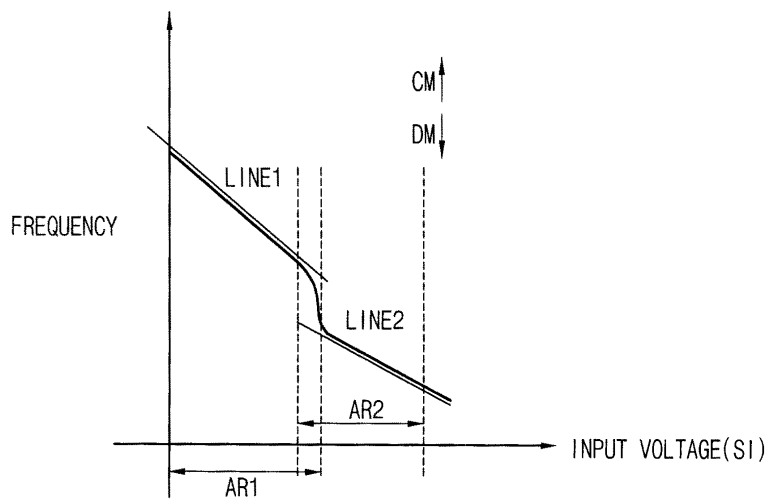
도면5



도면6a



도면6b



도면7

