

ФЕДЕРАЛЬНАЯ СЛУЖБА  
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

## (12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(52) СПК

*H03K 19/00* (2021.08); *H03K 19/0944* (2021.08); *H03K 19/096* (2021.08); *H03K 19/20* (2021.08); *H03K 17/08* (2021.08)

(21)(22) Заявка: 2021115151, 27.05.2021

(24) Дата начала отсчета срока действия патента:  
27.05.2021Дата регистрации:  
30.12.2021

Приоритет(ы):

(22) Дата подачи заявки: 27.05.2021

(45) Опубликовано: 30.12.2021 Бюл. № 1

Адрес для переписки:

305040, г. Курск, ул. 50 лет Октября 94 ЮЗГУ,  
УИР

(72) Автор(ы):

Передельский Геннадий Иванович (RU)

(73) Патентообладатель(и):

Федеральное государственное бюджетное  
образовательное учреждение высшего  
образования «Юго-Западный  
государственный университет» (ЮЗГУ) (RU)  
(RU)(56) Список документов, цитированных в отчете  
о поиске: RU 2715178 C1, 25.02.2020. RU  
2704748 C1, 30.10.2019. RU 2693306 C1,  
02.07.2019. RU 2693298 C1, 02.07.2019. RU  
2710950 C1, 14.01.2020. RU 2166837 C1,  
10.05.2001. US 4912745 A1, 27.03.1990. US 4680484  
A1, 14.07.1987. EP 423940 A2, 24.04.1991.

(54) Триггерный логический элемент И/И-НЕ на полевых транзисторах

(57) Реферат:

Изобретение относится к цифровой схемотехнике, автоматике и промышленной электронике. Технический результат заключается в повышении нагрузочной способности триггерного логического элемента И/И-НЕ на полевых транзисторах. Триггерный логический элемент И/И-НЕ на полевых транзисторах содержит шесть полевых транзисторов, восемь

резисторов и источник питающего постоянного напряжения. Получение технического результата при осуществлении изобретения обеспечено тем, что в схеме логического элемента сила электрического тока внешней нагрузки и на неинвертирующем и на инвертирующем выходах равна сумме силы токов двух полевых транзисторов. 2 ил.





FEDERAL SERVICE  
FOR INTELLECTUAL PROPERTY

(51) Int. Cl.  
*H03K 19/094* (2006.01)  
*H03K 19/20* (2006.01)

(12) **ABSTRACT OF INVENTION**

(52) CPC

*H03K 19/00* (2021.08); *H03K 19/094* (2021.08); *H03K 19/096* (2021.08); *H03K 19/20* (2021.08); *H03K 17/08* (2021.08)

(21)(22) Application: **2021115151, 27.05.2021**

(24) Effective date for property rights:  
**27.05.2021**

Registration date:  
**30.12.2021**

Priority:

(22) Date of filing: **27.05.2021**

(45) Date of publication: **30.12.2021** Bull. № 1

Mail address:  
**305040, g. Kursk , ul. 50 let Oktyabrya 94 YUZGU,  
UIR**

(72) Inventor(s):

**Peredelskii Gennadii Ivanovich (RU)**

(73) Proprietor(s):

**Federalnoe gosudarstvennoe biudzhethnoe  
obrazovatelnoe uchrezhdenie vysshego  
obrazovaniia «Iugo-Zapadnyi gosudarstvennyi  
universitet» (IuZGU) (RU) (RU)**

(54) **TRIGGER LOGIC ELEMENT AND/AND-NOT ON FIELD-EFFECT TRANSISTORS**

(57) Abstract:

FIELD: digital circuitry.

SUBSTANCE: invention relates to digital circuitry, automation and industrial electronics. Trigger logic element AND/AND-NOT on field-effect transistors contains six field-effect transistors, eight resistors and a source of DC voltage. Obtaining a technical result in the implementation of the invention is provided by the fact that in the logic element circuit, the electric current

of the external load at both the non-inverting and inverting outputs is equal to the sum of the currents of the two field-effect transistors.

EFFECT: increasing the load capacity of the trigger logic element AND/AND-NOT on field-effect transistors.

1 cl, 2 dwg

**RU 2 763 585 C1**

**RU 2 763 585 C1**



Изобретение относится к цифровой схемотехнике, автоматике и промышленной электронике. Оно, в частности, может быть применено в блоках вычислительной техники, использующих логические элементы.

Известна схема, реализующая логическую операцию И [1. Опадчий Ю.Ф., Глудкин О.П., Гуров А.И. Аналоговая и цифровая электроника. - М.: Горячая линия - Телеком, 2003, стр. 515, рис. 14.8, а], содержащая три логических элемента и источник питающего постоянного напряжения. При реализации двухвходового варианта логических элементов на полевых транзисторах она состоит из девяти полевых транзисторов и источника питающего постоянного напряжения [2. Гольденберг Л.М. Импульсные и цифровые устройства. - М.: Связь, 1973, стр. 185, рис. 2.61, а].

Недостаток ее заключается в том, что у нее малая нагрузочная способность, т.к. сила электрического тока внешней нагрузки определяется силой электрического тока одного полевого транзистора. Если бы удалось получить, что сила тока нагрузки равнялась сумме токов двух и более транзисторов, то это повысило бы нагрузочную способность приведенной схемы.

Наиболее близкой по технической сущности и достигаемому результату является выбранная в качестве прототипа схема, реализующая логическую операцию И [1. стр. 516, рис. 14,9 б], содержащая два логических элемента И-НЕ и источник питающего постоянного напряжения. При реализации двухвходового варианта логических элементов на полевых транзисторах оно включает в себя шесть полевых транзисторов и источник питающего постоянного напряжения [2. стр. 185, рис. 2.61, б].

Недостаток ее заключается в том, что у него малая нагрузочная способность, так как сила электрического тока внешней нагрузки определяется силой электрического тока одного полевого транзистора. Если бы удалось получить, что сила тока нагрузки равнялась сумме силы токов двух транзисторов, то это повысило бы нагрузочную способность обсуждаемой схемы.

Задача, на решение которой направлено изобретение, состоит в повышении нагрузочной способности триггерного логического элемента И/И-НЕ на полевых транзисторах.

Это достигается тем, что в триггерный логический элемент И/И-НЕ на полевых транзисторах, содержащий источник питающего постоянного напряжения, общая шина (минусовой вывод) которого заземлена, последовательно соединенные первый и второй полевые транзисторы с индуцированными каналами n-типа, выводы затворов которых образуют относительно «земли» первый и второй входы логического элемента, подложки обоих полевых транзисторов и исток второго транзистора заземлены, также имеется третий полевой транзистор тоже с индуцированным каналом n-типа, подложка которого соединена с его истоком, введены восемь резисторов и три дополнительных полевых транзистора, последовательно между собой включены первый резистор, третий полевой транзистор и второй резистор, свободный вывод первого резистора подключен к выходу (плюсовой вывод) источника питающего постоянного напряжения, общий вывод этого резистора и стока третьего полевого транзистора подсоединен к стоку первого полевого транзистора, последовательно между собой включены третий резистор, первый дополнительный полевой транзистор с индуцированным p-каналом и четвертый резистор, свободный вывод третьего резистора подключен к общему выводу первого резистора и выхода источника питающего постоянного напряжения, затвор первого дополнительного полевого транзистора подсоединен к общему выводу первого резистора, стоков первого и третьего полевых транзисторов, подложка первого дополнительного полевого транзистора соединена с общим выводом его истока и

третьего резистора, общий вывод стока последнего полевого транзистора и четвертого резистора подключен к затвору третьего полевого транзистора, свободный вывод четвертого резистора соединен со свободным выводом второго резистора и их общий вывод образует относительно «земли» неинвертирующий выход логического элемента, последовательно включены второй дополнительный полевой транзистор с индуцированным р-каналом и пятый резистор, сток и подложка второго дополнительного транзистора подсоединены к общему выводу третьего резистора, истока и подложки первого дополнительного полевого транзистора, свободный вывод пятого резистора подключен к выводу инвертирующего выхода относительно «земли» логического элемента, последовательно между собой включены шестой резистор, третий дополнительный полевой транзистор с индуцированным n-каналом и седьмой резистор, свободный вывод шестого резистора подсоединен к общему выводу первого, третьего резисторов и выхода источника питания, общий вывод шестого резистора и стока третьего дополнительного транзистора подключен к затвору второго дополнительного транзистора, затвор третьего дополнительного транзистора соединен с общим выводом стока второго дополнительного транзистора и пятого резистора, подложка третьего дополнительного транзистора подключена к общему выводу истока этого транзистора и седьмого резистора, свободный вывод этого седьмого резистора соединен с общим выводом пятого резистора и инвертирующего выхода логического элемента, восьмой резистор включен между «землей» и общим выводом шестого резистора, затвора второго дополнительного транзистора и стока третьего дополнительного транзистора.

Сущность изобретения поясняется схемой триггерного логического элемента И/И-НЕ на полевых транзисторах (фиг. 1) и его таблицей истинности (фиг. 2).

В триггерном логическом элементе И/И-НЕ на полевых транзисторах (фиг. 1) общая шина (минусовой вывод) источника 1 питающего постоянного напряжения заземлена. Последовательно между собой включены полевые транзисторы 2 и 3 с индуцированными каналами n-типа. Подложки обоих транзисторов заземлены, а вывод затворов образуют относительно «земли» первый  $x_1$  и второй  $x_2$  входы логического элемента И/И-НЕ.

Исток полевого транзистора 3 заземлен.

Последовательно между собой включены резистор 4, полевой транзистор 5 с индуцированным каналом n-типа и резистор 6. Свободный вывод резистора 4 подключен к выходу (плюсовой вывод) источника 1 питающего постоянного напряжения. Общий вывод этого резистора и стока полевого транзистора 5 подсоединен к стоку полевого транзистора 2. Подложка полевого транзистора 5 соединена с общим выводом его истока резистора 6.

Последовательно включены резистор 7, полевой транзистор 8 с индуцированным каналом p-типа и резистор 9. Свободный вывод резистора 7 подключен к общему выводу резистора 4 и выхода источника 1 питающего постоянного напряжения. Затвор полевого транзистора 8 подсоединен к общему выводу резистора 4, стоков полевых транзисторов 2 и 5. Подложка полевого транзистора 8 соединена с общим выводом истока этого транзистора и резистора 7. Общий вывод стока транзистора 8 и резистора 9 соединен с затворами полевого транзистора 5. Свободный вывод резистора 9 подключен к свободному выводу резистора 6 и их общий вывод образует относительно «земли» неинвертирующий выход  $y$  логического элемента. Последовательно включены полевой транзистор 10 с индуцированным каналом p-типа и резистор 11. Исток и подложка транзистора 10 подсоединены к общему выводу резистора 7, истока и подложки транзистора 8. Свободный вывод резистора 11 подключен к выводу

инвертирующего выхода  $\bar{y}$  логического элемента. Последовательно между собой включены резистор 12, полевой транзистор 13 с индуцированным каналом n-типа и резистор 14. Свободный вывод резистора 12 подсоединен к общему выводу резисторов 4, 7 и выхода источника 1 питания. Общий вывод резистора 12 и стока полевого транзистора 13 подключен к затвору транзистора 10. Затвор полевого транзистора 13 соединен с общим выводом стока транзистора 10 и резистора 11. Подложка транзистора 13 подключена к общему выводу его истока и резистора 14. Свободный вывод резистора 14 соединен с общим выводом резистора 11 и выводом инвертирующего выхода  $\bar{y}$  логического элемента. Резистор 15 включен между «землей» и общим выводом резистора 12, затвора транзистора 10 и стока транзистора 13. Для наглядности на фиг. 1 пунктирными линиями приведены резисторы  $R_H$ , который условно отображает внешнюю нагрузку логического элемента по неинвертирующему выходу  $y$ , и  $r_H$ , который условно отображает внешнюю нагрузку по инвертирующему  $\bar{y}$  выходу. Часть схемы на фиг. 1 на полевых транзисторах 5, 8 и резисторах 4, 6, 7 и 9 является первым триггером на полевых транзисторах противоположного типа проводимости. Второй такой триггер выполнен на полевых транзисторах 10, 13. Для этих двух триггеров резистор 7 является общим.

Триггерный логический элемент И/И-НЕ на полевых транзисторах работает следующим образом. В цифровой электронике используются входные и выходные электрические сигналы с низким и высоким уровнем напряжения. Низкий уровень - уровень логического нуля соответствует значениям напряжения в районе нуля (ближе к нулю), высокий уровень - уровень логической единицы соответствует значениям напряжения в районе единиц вольт (нередко в районе четырех вольт). Работа логического элемента И/И-НЕ отображается известной таблицей истинности (фиг. 2), где  $N$  - номер строки по порядку,  $x_1$  и  $x_2$  - условное отображение входных сигналов,  $y$  - условное отображение выходного сигнала на неинвертирующем выходе и  $\bar{y}$  - на инвертирующем выходе.

Первые три строки таблицы истинности (фиг. 2) соответствуют тому, что на один или оба входа  $x_1$ ,  $x_2$  воздействует напряжение уровня логического нуля. Состояние полевых транзисторов 2, 3 в районе порогового напряжения, сила тока через них в районе нуля, напряжение от него на резисторе 4 тоже в районе нуля, меньше порогового напряжения полевого транзистора 8 и не влияет на состояние триггера на полевых транзисторах 5, 8. Триггер на полевых транзисторах противоположного типа проводимости имеет два состояния равновесия. Первое (условно) состояние этого триггера соответствует закрытому состоянию обоих транзисторов и нулевым значениям силы электрического тока через резисторы 4, 6, 7 и 9. Такой ток определяет нулевые значения напряжения в том числе на резисторах 4 и 9. Эти напряжения приложены к затворам транзисторов 5 и 8, меньше по абсолютной величине пороговых напряжений этих транзисторов и поддерживают их в закрытом состоянии. Во втором (условно) состоянии транзисторы 5, 8 триггера открыты, их электрические токи создают в том числе на резисторах 4, 9 значения напряжений, по абсолютной величине превышающие пороговые напряжения транзисторов и тем самым поддерживают их в открытом состоянии. Обсуждаемый триггер переходит из первого состояния во второе и наоборот,

как и другие распространенные триггеры, если значения управляющих напряжений превысят пороговые напряжения срабатывания триггера на транзисторах противоположного типа проводимости. Значение сопротивления резистора 15 может обеспечивать на резисторе 12 значение напряжения превышающее пороговое напряжение срабатывания триггера на транзисторах 10, 13 и обеспечивать его второе состояние. Тогда электрические токи транзисторов 10 и 13 обеспечивают на инвертирующем выходе  $\bar{y}$  логического элемента И/И-НЕ и на внешней нагрузке  $r_n$  уровень логической единицы (высокий уровень напряжения). Напряжение на резисторе 7 от электрического тока полевого транзистора 10 через резистор 4 плюс приложено к затвору транзистора 8 с индуцированным каналом р-типа и в итоге обеспечивает первое состояние первого триггера на транзисторах 5, 8. Тогда на неинвертирующем выходе  $y$  и условной нагрузке  $R_n$  низкий уровень напряжения - уровень логического нуля.

В соответствии с четвертой строкой таблицы истинности (фиг. 2) на оба входа логического элемента поступают напряжения уровня логической единицы. От этого повышенная сила электрического тока последовательно соединенных полевых транзисторов 2, 3 создает повышенное напряжение на резисторе 4 и на затворе полевого транзистора 8 достаточное для перевода триггера на полевых транзисторах 5, 8 во второе состояние с учетом делителя на транзисторах 12, 15 и резистора 7 общего для двух имеющихся триггеров. Тогда электрические токи полевых транзисторов 5, 8 создают на неинвертирующем выходе  $y$  и на условной нагрузке  $R_n$  повышенное напряжение уровня логической единицы. Электрический ток полевого транзистора 8 создает на резисторе 7 напряжение, которое через резистор 12 плюс прикладывается к затвору транзистора 10 с индуцированным р-каналом и является достаточным для перевода второго триггера на транзисторах 10, 13 в первое состояние с учетом делителя на резисторах 12, 15. Тогда на инвертирующем выходе  $\bar{y}$  и на условной нагрузке  $r_n$  имеется напряжение уровня логического нуля.

Таким образом, в триггерном логическом элементе И/И-НЕ на полевых транзисторах сила электрического тока внешней нагрузки и на неинвертирующем, и на инвертирующем выходах равна сумме силы токов не одного, а двух полевых транзисторов, что повышает его нагрузочную способность.

#### (57) Формула изобретения

Триггерный логический элемент И/И-НЕ на полевых транзисторах, содержащий источник питающего постоянного напряжения, общая шина (минусовой вывод) которого заземлена, последовательно соединённые первый и второй полевые транзисторы с индуцированными каналами п-типа, выводы затворов которых образуют относительно «земли» первый и второй входы логического элемента, подложки обоих полевых транзисторов и исток второго транзистора заземлены, также имеется третий полевой транзистор тоже с индуцированным каналом п-типа, подложка которого соединена с его истоком, отличающийся тем, что в него введены восемь резисторов и три дополнительных полевых транзистора, последовательно между собой включены первый резистор, третий полевой транзистор и второй резистор, свободный вывод первого резистора подключён к выходу (плюсовой вывод) источника питающего постоянного напряжения, общий вывод этого резистора и стока третьего полевого транзистора подсоединён к стоку первого полевого транзистора, последовательно

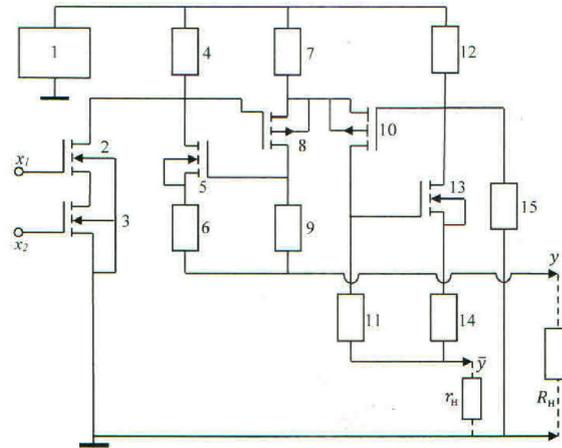
между собой включены третий резистор, первый дополнительный полевой транзистор с индуцированным р-каналом и четвёртый резистор, свободный вывод третьего резистора подключён к общему выводу первого резистора и выхода источника питающего постоянного напряжения, затвор первого дополнительного полевого транзистора подсоединён к общему выводу первого резистора, стоков первого и третьего полевых транзисторов, подложка первого дополнительного полевого транзистора соединена с общим выводом его истока и третьего резистора, общий вывод стока последнего полевого транзистора и четвёртого резистора подключён к затвору третьего полевого транзистора, свободный вывод четвёртого резистора соединён со свободным выводом второго резистора и их общий вывод образует относительно «земли» неинвертирующий выход логического элемента, последовательно включены второй дополнительный полевой транзистор с индуцированным р-каналом и пятый резистор, сток и подложка второго дополнительного транзистора подсоединены к общему выводу третьего резистора, истока и подложки первого дополнительного полевого транзистора, свободный вывод пятого резистора подключён к выводу инвертирующего выхода относительно «земли» логического элемента, последовательно между собой включены шестой резистор, третий дополнительный полевой транзистор с индуцированным n-каналом и седьмой резистор, свободный вывод шестого резистора подсоединён к общему выводу первого, третьего резисторов и выхода источника питания, общий вывод шестого резистора и стока третьего дополнительного транзистора подключён к затвору второго дополнительного транзистора, затвор третьего дополнительного транзистора соединён с общим выводом стока второго дополнительного транзистора и пятого резистора, подложка третьего дополнительного транзистора подключена к общему выводу истока этого транзистора и седьмого резистора, свободный вывод этого седьмого резистора соединён с общим выводом пятого резистора и инвертирующего выхода логического элемента, восьмой резистор включён между «землёй» и общим выводом шестого резистора, затвора второго дополнительного транзистора и стока третьего дополнительного транзистора.

30

35

40

45



Фиг. 1

ТАБЛИЦА ИСТИННОСТИ

$N$	$x_1$	$x_2$	$y$	$\bar{y}$
1	0	0	0	1
2	0	1	0	1
3	1	0	0	1
4	1	1	1	0

Фиг. 2