(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H03L 7/00

(45) 공고일자 2003년08월25일
(11) 등록번호 10-0395467
(24) 등록일자 2003년08월11일

(21) 출원번호 10-2001-0010801
(22) 출원일자 2001년03월02일

(65) 공개번호 특2001-0087275
(43) 공개일자 2001년09월15일

(30) 우선권주장 특원2000-060101호 2000년03월06일 일본(JP)

(73) 특허권자 엔이씨 일렉트로닉스 코포레이션
일본 211-8668 가나가와껭 가와사끼시 나까하라꾸 시모누마베 1753

(72) 발명자 사에키타카노리
일본도쿄도미나토구시바5-7-1닛뽄덴끼가부시끼가이샤내

(74) 대리인 최달용

심사관 : 박재일

(54) 동기 지연회로 및 반도체 집적회로 장치

요약

본 발명은 클록 주기(tCK)와 클록 전파경로의 지연(tCTS)이 같은 정도일 때 지터(jitter) 등의 영향으로 tCTS가 tCK와 비교하여 길어지거나 짧아지는 경우에도 클록이 불연속적으로 되는 것을 확실하게 피할 수 있는 동기 지연회로장치를 제공하는 것을 목적으로 하며, 이를 위한 수단으로서, 입력된 클록을 진행시키는 주기 측정용 제 1 지연 회로열과, 주기 재현용 제 2 지연 회로열을 포함하는 동기 지연회로(100, 101)를 2조 구비하고, 클록이 클록 전파경로의 입력 노드로부터 소정의 출력 노드까지 전파하는 전파 지연시간을 검지하여 각 동기 지연회로에 대하여 입력된 클록신호의 진행을 정지시키도록 제어하는 제어신호를 출력하는 지연 검지회로(5, 7)를 구비하고, 2개의 지연 검지회로 중, 한쪽의 지연 검지회로(7)의 입력에 지연회로(6)를 삽입함으로써 지연 검지회로(7)에서 검지하는 지연시간을 지연 검지회로(5)에서 검지하는 지연시간과 상위시켜, 동기 지연회로(101)로 측정되는 주기를 동기 지연회로(l00)에서 측정되는 주기와 다르게 하고, 클록 전파경로(4)의 전파 지연시간이 클록 주기와 비교하여 길어지거나 짧아지는 경우에도, 동기 지연회로로부터 클록 전파경로에 공급되는 클록에 불연속점이 발생하지 않도록 한다.

대표도

도 1

색인어

지연 검지회로, 동기 지연회로, 클록 전파경로, 제어회로

명세서

도면의 간단한 설명

도 1은 본 발명의 제 1 실시예의 구성을 도시한 도면.

도 2는 본 발명의 제 1 실시예의 동작을 설명하기 위한 타이밍도.
도 3은 본 발명의 제 1 실시예인 동기 지연회로의 구성의 1예를 도시한 도면.
도 4는 본 발명의 제 1 실시예의 변형을 도시한 도면.
도 5는 종래의 동기 지연회로의 구성을 도시한 도면.
도 6은 종래의 동기 지연회로의 구성의 1예를 도시한 도면.
도 7은 종래의 동기 지연회로의 동작을 설명하기 위한 타이밍도.
도 8은 종래의 동기 지연회로의 동작을 설명하기 위한 타이밍도.
도 9는 종래의 동기 지연회로의 동작을 설명하기 위한 타이밍도.
도 10은 종래의 동기 지연회로의 구성의 다른 예를 도시한 도면.
<도면의 주요부분에 대한 부호의 설명>
3 : 클록(입력 클록) 4 : 클록 트리
5, 7 : 지연 검지회로 6, 8 : 지연회로(고정 지연회로)
10 : 전환기 11 : 제 1 지연 회로열
12 : 제 2 지연 회로열 13 : 제 3 지연 회로열
14 : 제 4 지연 회로열 24 : 분주기
100, 101 : 동기 지연회로 MP11 내지 MP14 : P채널 MOS 트랜지스터
MN11 내지 MN14 : N채널 MOS 트랜지스터
VCC : 전원 GND : 그라운드 전위

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적회로의 클록 제어기술에 관한 것으로서, 특히 클록신호를 제어하는 동기 지연회로 및 그 동기 지연회로를 구비한 반도체 집적회로 장치에 관한 것이다.
(종래의 기술)
단시간의 동기시간으로 클록 스큐(clock skew)를 제거하는 동기 지연회로가, 회로 구성의 단순함과 소비전류가 적음으로써, 고속 클록 동기회로에 이용되게 되었다. 이 종류의 동기 지연회로로서, 예를 들면 하기 기재의 문헌 등이 참조된다.
[1] 일본 특허공개 평8-237091호 공보,
[2] 일본 특허공개 평11-73238호 공보,
[3] Jin-Man Han 외, “Skew Minimization Techinique for 256M-bit Synchronous DRAM and beyond.” 1996 Symp. on VLSI Circ. pp.192-193.
[4] Richard B. Watson 외, “Clock Buffer Chip with Absolute Delay Regulation Over Pricrss and Environment Variations.” Proc. of IEEE 1992 CICC (Custum Integrated Circuits Conference), 25. 2.
[5] Yoshihiro OKAJIMA 외, “Digita1 Delay Locked Loop and Design Technique for High-Speed Synchronous Interface.” IEICE TRANS. ELECTRON.., VOL. E79-C, NO.6 JUNE 1996 pp.798-807.
도 5는, 종래의 동기 지연회로를 구비한 반도체 집적회로 장치의 구성의 1예를 도시한 도면이다. 또한, 도 5에 도시한 구성은, 문헌[2](일본 특허공개 평11-73238호 공보)에 기재된 동기 지연회로의 구성에 의거한 것이다.
동기 지연회로(100)는, 그 기본 구성으로서, 클록의 펄스 또는 펄스 에지를 진행시키는 주기(지연) 측정용 제 1 지연 회로열(11)과, 제 1 지연 회로열 내를 펄스 또는 펄스 에지가 진행한 길이와 대응한 길이분과 펄스 또는 펄스 에지를 통과시키는 것이 가능한 지연 재현용 제 2 지연 회로열(12)을 구비하고 있다.
도 5에 도시한 구성은, 클록 트리(4)의 전파 지연시간의 격차 등을 고려하여, 클록 트리(4)의 지연량(tCTS)(tCTS는 후술하는 바와 같이 지연 검지회로(5)에서 검지된다)을 입력 클록(3)의 클록 주기(tCK)로부터 제거한 시간(tCK-tCTS)을 동기 지연회로(100)로 측정함으로써, 클록 트리(4)의 전파 지연시간(tCTS)이 변화되어도 입력 클록(3)과 실질적으로 스큐가 없는 클록을 얻도록 한 것이다.
반도체 집적회로의 설계 등에 있어서, 클록신호의 지연시간 차를 최소화하기 위하여, 클록신호 배선망에 지연을 균등화하기 위한 버퍼를 적합하게 삽입하고, 트 리형상으로 레이아웃하고, 클록신호를 플립플롭 등 각 클록 사용 회로에 분배하는 클록 트리 신서사이즈(Clock Tree Synthesis : CTS)법 등에 의한 설계 등이 이용되고 있으며, 클록 트리(4)는 트리형상으로 레이아웃된 클록 배선경로로 이루어진다. 또한, 도 5에 있어서, 클록 트리(4)의 삼각형의 기호는 클록 트리에 있어서, 지연을 균등화하여 부하를 구동하기 위하여 삽입되는 버퍼를 모식적으로 나타내고 있다. 또한, 도면에 있어서, 클록 트리(4)는 모식적으로 도시한 것이며, 클록 트리(4)에 포함되는 버퍼회로의 단 수는 물론 4단으로 한정되지 않는다. 또한 도 5에 있어서, A는 클록 트리(4)의 입력 노드, B는 클록 트리(4)중 제어 대상으로 선택된 소정의 출력 노드(예를 들면, 클록 트리(4)의 최대 지연노드 등)를 나타내고 있다. 단지, 클록 트리(4)의 위치에 배치된 클록 전파경로는, CTS법 배선 등에 의한 클록 전파용 신호 배선경로에 한정되는 것이 아니라, 반도체 집적회로 내에

있어서의 임의의 클록신호 배선경로로서 좋다.
도 5를 참조하면, 반도체 집적회로 장치에 있어서, 도시하지 않은 클록 드라이버 등으로부터 공급되는 입력 클록(3)(IN)은, 전환기(10)를 통하여 클록 트리(4)의 입력 노드(A)에 입력되었을 때, 당해 클록신호를 제 1 입력단에 입력하는 지연 검지회로(5)는 그 출력(D)(「모니터 신호」라고도 칭함)을 리셋하고(인액티브로 하고), 지연 회로열(11)은 클록신호의 진행을 정지한다.
클록 트리(4)의 노드(A)에 입력된 클록이, 전파 지연시간(tCTS) 후에 노드(B)에 도달했을 때 당해 클록신호를 제 2 입력단에 입력하는 지연 검지회로(5)는 그 출력(D)을 세트하고(액티브로 하고), 이 출력(D)을 받아 지연 회로열(11)은 클록을 진행시킨다.
도 6은, 도 5에 도시한 동기 지연회로(100) 및 지연 검지회로(5) 구성의 1예를 도시한 도면이다. 도 6을 참조하면, 동기 지연회로(100)는 복수의 단위 지연소자로 이루어지고, 입력 클록(IN)의 펄스 또는 펄스 에지를 전달하여 전달경로의 임의의 위치로부터 출력을 추출할 수 있는 제 1 지연 회로열(11)과, 복수의 단위 지연소자로 이루어지며, 클록의 펄스 또는 펄스 에지를 전달경로의 임의의 위치로부터 입력을 넣어 전달하는 제 2 지연 회로열(12)과, 신호의 입력단자와 출력단자와 입출력 제어단자를 갖는 복수의 제어회로로 이루어지는 제어회로열(18)을 가지며, 제 1 지연 회로열(11)과 제 2 지연 회로열(12)은, 각각 신호 전달경로가 역방향이 되도록 배치되고, 제어회로열(18)을 통하여 제 1 지연 회로열(11)의 클록(IN)의 입력단에 가까운 측과, 제 2 지연 회로열(12)의 클록 출력단에 가까운 측이 순차적으로 접속되고, 제 1 지연 회로열(11)에 클록신호를 입력한 후 일정시간 진행한 위치(다음 클록신호가 입력된 시점)에서 당해 위치에 대응하는 제어회로(18)의 입출력 제어단자에 신호를 입력하고, 제 1 지연 회로열(11) 내를 진행한 클록신호를, 당해 진행한 위치에 대응하는 위치로부터 제 2 지연 회로열(12) 내에 입력하여 전송하는 구성으로 되어 있다.
또한, 도 6에 도시한 예에서는, 지연 측정용 지연 회로열(11), 지연 재현용 지연 회로열(12)이 역 방향으로 배치되는 구성으로 되어 있지만, 이러한 구성에 물론 한정되지 않는다. 이미 공지되어 있는 바와 같이, 같은 방향으로 진행하는 한 쌍의 지연 회로열에 의해서도, 동기 지연회로를 구성할 수 있다(동기 지연회로의 다른 구성의 상세한 것은 상기의 각 문헌 등이 참조된다).
클록 펄스를 입력단(C)으로부터 입력된 제 1 지연 회로열(11)에 있어서는, 당해 클록 펄스가 제 1 지연 회로열(11) 내를 진행해 가고, 당해 클록 펄스의 다음 클록 펄스가 입력되었을 때, 다음의 클록 펄스를 받아 제어회로(18)는 활성화되며, 제 1 지연 회로열(11)을 클록 펄스가 진행한 위치로부터, 당해 위치에 대응하는 제어회로(18)를 통하여, 제 2 지연 회로열(12)에 클록 펄스를 전송하고, 제 2 지연 회로열(12) 내에 전송된 클록 펄스는, 제 2 지연 회로열(12) 내를 제 1 지연 회로열(11)의 클록 펄스의 진행방향과는 역 방향으로 진행하여 출력된다. 도 7에 도시한 예에서는, 지연 측정용 지연 회로열(11) 내를 해칭을 실시한 지연회로분(3개의 지연회로분)과, 한 방향(→)으로 클록이 진행하고, 다음의 클록입력(IN)을 받아 해칭을 실시한 제어회로(18)를 통하여 지연의 재현용 지연 회로열(12)에 전송되고, 지연 회로열(12)의 해칭을 실시한 3개의 지연회로만큼, 역 방향(←)으로 진행하여 출력된다.
지연 검지회로(5)는, 클록 트리(4)의 입력 노드(A)에 리셋(R)단자가 접속되고, 클록 트리(4)의 출력 노드(B)에 세트(S)단자가 접속된 SR플립플롭(래치)회로 등으로 구성되어 있으며, 클록 펄스가 클록 트리(4)의 입력 노드(A)에 도달한 시점에서 리셋되고, 제어신호(모니터 신호)(D)는 로우 레벨로 되며, 클록 펄스가 클록 트리(4)의 노도(B)에 도달한 시점에서 세트되고, 제어신호(D)는 하이 레벨이 된다.
도 5 및 도 6을 참조하여 설명한, 종래의 동기 지연회로의 동작에 관하여, 도 7 및 도 8의 타이밍도를 참조하여 이하에 설명한다.
클록 트리(4)의 전파 지연시간(tCTS)이, 클록 주기(tCK)보다도 작은 경우(tCTS<tCK)에는, 도 7에 도시한 바와 같은 타이밍 파형이 된다. 도 7에 있어서, IN은 입력 클록(3), A는 클록 트리(4)의 입력 노드, B는 클록 트리(4)의 출력 노드의 클록신호 파형을 각각 도시하고 있다.
우선, 전환기(10)는 클록(3)(IN)을 선택하고, 클록 트리(4)의 노드(A)에 클록신호가 입력된 시점으로부터, 클록 트리(4)의 지연시간(tCTS)분과, 지연 검지회로(5)의 출력이 리셋상태로 되고, 제 1 지연 회로열(11) 내의 단위 지연소자(클록화된 인버터)는 오프상태로 되고, tCTS 후에, 클록신호가 클록 트리(4)의 노드(B)에 도달한 시점에서, 지연 검지회로(5)의 출력이 세트상태로 되고, 제 1 지연 회로열(11) 내의 단위 지연소자를 구성하는 클록화된 인버터는 온상태로 된다.
도 7에 있어서, 입력 클록(IN)의 1번째의 클록은 제 1 지연 회로열(11)을 시간(tCK-tCTS) 진행한 시점에서, 클록입력(IN)의 2번째의 클록을 받아, tCK-tCTS의 위치로부터 제어회로(18)를 통하여 제 2 지연 회로열(12)에 전송되고, 제 2 지연 회로열(12)은 재현시간(tCK-tCTS) 동안 클록을 진행시켜 출력하고, 전환기(10)를 통하여 클록 트리(4)의 노드(A)에 입력된다.
클록 트리(4)의 노드(A)에 입력되는 클록의 상승 에지는, 입력 클록(IN)에 대하여 재현시간(tCK-tCTS)분이 지연된다.
도 8은, 클록 트리(4)의 전파 지연시간(tCTS)이 클록 주기(tCK)보다도 큰 경우의 동작을 설명하기 위한 도면이다.
이 경우, 클록 트리(4)의 노드(A)로의 클록의 입력시점으로부터 클록 트리(4)의 전파 지연시간(tCTS) 후에, 노드(B)에 클록이 도달한다. 즉, 1클록 사이클(tCK)을 초과하여 다음 클록 사이클 내에 시간(tCTS-tCK)을 잠식한 기간까지, 제 1 지연 회로열(11)은 지연 검지회로(5)의 출력을 받아 클록의 전파를 정지하고, 당해 다음의 클록 사이클 내의 tCTS-tCK의 시점으로부터, 제 1 지연 회로열(11)은 입력된 클록(도 8의 입력 클록(IN)의 2번째의 클록)의 전파를 개시하고, 다음의 클록 펄스(도 8의 입력 클록(IN)의 3번째의 클록)가 동기 지연회로(100)에 입력되기 까지의 동안, 동기 지연회로(100)의 제 1 지연 회로열(11) 내로 클록을 진행시킨다.
즉, 제 1 지연 회로열(11) 내를 클록(도 8의 입력 클록(IN)의 2번째의 클록)은 시간,
tCK-(tCTS-tCK)=2tCK-tCTS

진행한 시점에서, 다음 클록 펄스(도 8의 입력 클록(IN)의 3번째의 클록)의 입력을 받아, 제 1 지연 회로열(11)에 있어서의 측정시간(2tCK-tCTS)의 위치로부터, 재현용 제 2 지연 회로열(12)에 전송되며, 당해 클록은 제 2 지연 회로열(12)을 재현시간(2tCK-tCTS) 전송하여 제 2 지연 회로열(12)로부터 출력되고, 전환기(10)를 통하여 클록 트리(4)의 노드(A)에 입력된다(도 8의 A의 2번째의 클록). 또한, 도 8의 노드(A)에 있어서의 3번째의 클록은, 도 8의 입력 클록(IN)의 2번째의 클록 펄스가 제 1 지연 회로열(11)에 입력되어 측정시간으로 반환되고, 재현시간을 전파하여 제 2 지연 회로열(12)로부터 출력되어 클록 트리(4)의 노드(A)에 도달한 클록신호이다.
동기 후에 있어서는, 클록 트리(4)의 노드(A)에는, 입력 클록(IN)의 상승 에 지로부터 tCK-(2tCK-tCTS)=tCTS-tCK의 시간분과, 진행한 타이밍(위상)으로 클록신호가 공급된다.
상기한 바와 같이, 동기 지연회로는 기본적으로 한 쌍의 지연 회로열로 이루어진 1조로 구성되어 있다.
또한, 동기 지연회로를 2조 구비한 구성도 공지되어 있지만, 2조의 동기 지연회로에 있어서, 주기 검지량은 동등한 지연량이 이용되고 있다. 동기 지연회로를 2조 구비한 구성으로서, 예를 들면, 도 10에 도시한 바와 같은 구성이 공지되어 있다(예를 들면, 일본 특허공개 평11-73238호 공보 참조). 도 10에 도시한 회로는, 클록 펄스 에지를 이용하여 클록 주기를 측정한 것이며, 지연 회로열을 2조 준비하고, 클록(3)을 분주기(24)로 분주하고, 1주기마다 교대로 동작시키는 것이다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명은, 상기 문제점을 감안하여 이루어진 것으로서, 그 주된 목적은 클록 주기와 클록 전파경로의 지연시간이 같은 정도일 때, 지터, 스큐편차 등의 영향으로 클록 트리의 지연시간이 클록 주기와 비교하여 길어지거나 짧아지는 경우에도, 클록이 불연속으로 되는 것을 확실히 회피 가능하게 하는 동기 지연회로장치를 제공하는 데 있다. 이외의 본 발명의 목적, 특징, 이점 등은 이하의 실시형태의 기재 등으로 당업자에게는 명백하게 될 것이다.
(과제를 해결하기 위한 수단)
상기 목적을 달성하기 위한 본 발명은, 입력 클록신호를 진행시키는 지연 측정용 제 1 지연 회로열에서 클록을 전파 출력하는 소정의 회로 또는 경로의 지연시간과, 상기 입력 클록 신호의 주기와의 차를 측정하고, 상기 측정된 시간차를 제 2 지연 회로열에서 재현하여 출력하는 동기 지연회로가 복수조 병렬 배치되고, 상기 복수조의 동기 지연회로 중의 적어도 1조의 동기 지연 회로에 지연회로를 설치하고, 상기 지연회로가 설치된 적어도 1조의 동기 지연회로에는 상기 소정의 회로 또는 경로의 출력과 입력의 한쪽을 상기 지연회로에서 지연시켜 상기 소정의 회로 또는 경로의 지연시간을 가변시킨 지연 시간과, 상기 입력 클록 신호의 주기와의 시간차를 상기 제 1 지연회로열에서 측정하고, 상기 측정된 시간차를 상기 제 2 지연회로열에서 재현하여 출력하는 구성으로 되고, 상기 지연회로가 설치된 상기 적어도 1조의 동기 지연회로에서의 상기 측정된 시간차는 다른 조의 동기 지연회로를 서로 다르게 하고, 상기 복수조의 동기 지연 회로의 출력 중 하나의 출력이 전환기를 거쳐 상기 소정의 회로 또는 경로에 공급시켜 상기 소정의 회로 또는 경로의 지연시간과 상기 입력 클록 신호의 주기와의 대소관계가 변화된 경우에도, 상기 복수조의 동기 지연회로 중의 1조의 동기 지연 회로로부터 출력되고, 상기 소정의 회로 또는 경로에 공급되는 클록에 불연속이 발생하지 않도록 한 것이다.
본 발명은 입력 클록신호를 진행시키는 주기 측정용 제 1 지연 회로열과, 상기 제 1 지연 회로열 내를 클록신호가 진행한 길이에 대응한 길이분과, 클록신호를 통과시키는 주기 재현용 제 2 지연 회로열을 포함하는 동기 지연회로를 복수조 구비하고, 소정의 클록 전파경로의 입력 노드로부터 소정의 출력 노드까지 클록이 전파하는 데 요하는 전파 지연시간을 검지하고, 상기 전파 지연시간에 대응시켜, 상기 각 동기 지연회로에 대하여 각각 클록신호의 진행을 정지시키도록 제어하는 제어신호를 출력하는 지연 검지회로를 상기 복수조의 각 동기 지연회로에 대응시켜 구비하고, 상기 지연 검지회로 중, 적어도 하나의 지연 검지회로의 입력에 지연을 삽입함으로써, 상기 하나의 지연 검지회로에서 검지하는 지연시간을 다른 지연 검지회로에서 검지하는 지연시간과 상위시켜, 상기 클록 전파 경로에는 전환기를 거쳐 상기 복수조의 동기 지연회로 중의 1조의 동기 지연회로의 출력을 공급하여 상기 클록 전파경로의 전파 지연시간이 클록 주기와 비교하여 길어지거나 짧아지는 경우에도, 상기 복수조의 동기 지연회로 중의 1조로부터 상기 클록 전파경로에 공급되는 클록에 불연속점이 발생하지 않도록 한다.

발명의 구성 및 작용

본 발명의 실시형태에 관하여 설명한다. 본 발명의 클록제어회로는, 그 바람직한 1실시형태에 있어서, 도 1을 참조하면, 클록이 소정의 클록 전파경로(4)의 입력 노드(A)에 입력되었을 때로부터 클록 전파경로(4)가 있는 노드(B)로부터 출력되는 시점까지 제어신호(D)를 출력하는 주기(지연) 측정용 제 1 지연 검지회로(5)와, 클록신호를 진행시키는 제 1 지연 회로열(11)과, 제 1 지연 회로열 내를 진행한 클록신호를 입력하고, 제 1 지연 회로열을 상기 클록신호가 진행한 길이에 대응한 길이분과, 상기 입력된 클록신호를 통과시키는 주기(지연) 재현용 제 2 지연 회로열(12)을 구비하고, 제 1 지연 검지회로(5)로부터 출력되는 제어신호(D)에 의해, 제 1 지연 회로열(11) 내에 있어서 클록신호의 진행을 정지시키도록 구성된 제 1 동기 지연회로(100)와, 클록이 클록 전파경로(4)의 입력 노드(A)에 입력되었을 때로부터 클록 전파경로의 노드(B)로부터 출력된 시점까지의 전파 지연시간에 지연회로(6)의 지연시간을 가산한 기간, 제어신호(D')를 출력하는 제 2 지연 검지회로(7)와, 클록신호를 진행시키는 주기 측정용 제 3 지연 회로열(13)과, 제 3 지연 회로열 내를 진행한 클록신호를 입력하고, 제 3 지연 회로열을 상기 클록신호가 진행한 길이에 대응한 길이분과, 상기 입력된 클록신호를 통과시키는 주기 재현용 제 4 지연 회로열(14)을 구비하고, 제 2 지연 검지회로(7)로부터 출력되는 제어신호(D')에 의해 제 3 지연 회로열(13) 내에 있어서 클록신호의 진행을 정지하도록 구성되는 제 2 동기 지

연회로(101)와, 제 2, 제 4 지연 회로열(12, 14)의 출력과, 입력 클록(3)을 전환하는 전환기(10)를 구비하고, 전환기(10)의 출력이 클록 전파경로(4)의 입력 노드(A)에 접속되어 있다. 제 4 지연 회로열(14)의 출력단과 전환기(10) 사이에는 소정 지연시간의 지연회로(8)가 삽입되어 있다.

본 발명의 1실시형태에 있어서는, 제 1, 제 2 지연 검지회로(5, 7)는 클록 전파경로(4)로의 입력 클록 및 상기 클록 전파경로로부터의 출력 클록으로 각각 리셋 및 세트되는 SR플립플롭으로 구성하여도 좋다.

본 발명의 1실시형태에 있어서는, 제 2 지연 검지회로(7)의 지연 검지량을 제 1 지연 검지회로(5)의 지연 검지량(=클록 전파경로의 전파 지연시간)과 다르게 함으로써 동기 지연회로(100, 101)에 있어서의 주기 검지량(측정용 지연 회로열에 있어서의 측정 지연량)을 다르게 하고, 클록 전파경로(4)의 전파 지연시간(tCTS)이 입력 클록의 클록 주기(tCK)와 비교하고 길어지거나 짧아지는 경우에도 동기 지연회로(100, 101)로부터 클록 전파경로(4)에 공급되는 클록에 불연속점이 발생하지 않도록 하고 있다.

(실시예)

상기한 본 발명의 실시형태에 관하여 더 상세히 설명하기 위하여, 본 발명의 실시예에 관하여 설명한다. 도 1은, 본 발명의 제 1 실시예의 구성을 도시한 도면이다. 도 1을 참조하면, 본 발명의 제 1 실시예는, 클록신호의 펄스 또는 펄스 에지를 진행시키는 주기 측정용 제 1 지연 회로열(11)과, 제 1 지연 회로열(11) 내를 클록신호의 펄스 또는 펄스 에지가 진행한 길이와 대응한 길이분과, 클록신호의 펄스 또는 펄스 에지를 통과시키는 주기 재현용 제 2 지연 회로열(12)을 포함하는 동기 지연회로(100)와, 클록신호의 펄스 또는 펄스 에지를 진행시키는 주기 측정용 제 3 지연 회로열(13)과, 제 3 지연 회로열(13) 내를 클록신호의 펄스 또는 펄스 에지가 진행한 길이와 대응한 길이분과, 클록신호의 펄스 또는 펄스 에지를 통과시키는 주기 재현용 제 4 지연 회로열(14)을 포함하는 동기 지연회로(101)를 구비하고, 이들 2조의 동기 지연회로(100, 101)에 대응시켜, 클록이 클록 트리(4)를 전파하는 전파 지연시간분, 제 1, 제 3 지연 회로열(11, 13) 내의 펄스 또는 펄스 에지의 진행을 정지시키는 지연 검지회로(5, 7)를 각각 구비한다.

클록 트리(4)의 출력 노드(B)와, 지연 검지회로(7)와의 사이에 고정 지연시간(td)의 지연회로(6)를 삽입하고, 지연 검지회로(7)로 검출하는 지연시간은 클록 트리(4)의 전파 지연시간(tCTS)에 지연회로(6)의 지연시간(td)을 가산한 것으로 이루어지고, 제어신호(「모니터신호」라고도 칭함)(D')도, tCTS+td 사이의 로우 레벨로 된다.

클록 트리(4)의 전파 지연시간(tCTS)이 클록 주기(tCK)보다도 길어진 시점(변화시점)에서 동기 지연회로(100)로부터의 출력에 클록의 빠짐이 발생하는 경우(도 9 참조)에도, 동기 지연회로(101)로부터는 일정하게 클록이 출력되어 클록 트리(4)의 입력 노드(A)에 공급되며, 클록 트리(4)의 입력 노드(A)에 공급되는 클록의 빠짐(불연속성)이 발생하지 않도록 한다.

동기 지연회로(101)의 제 4 지연 회로열(14)의 출력은, 고정 지연시간(=td)의 지연회로(8)를 통하여 전환회로(10)에 입력되고, 전환회로(10)를 통하여 입력 클록(3), 동기 지연회로(100, 101)로부터의 출력 클록의 하나가 클록 트리(4)의 입력 노드(A)에 공급된다.

본 발명의 제 1 실시예에 있어서, 지연 검지회로(5)와, 동기 지연회로(100)는 도 5, 도 10을 참조하여 설명한 종래의 회로 구성과 같은 구성으로 실현할 수 있다. 또한 지연 검지회로(7)와 동기 지연회로(101)도 지연 검지회로(5)와 동기 지연회로(100)의 구성과 같은 구성으로 되어 있다.

도 2는, 본 발명의 제 1 실시예에 있어서, 클록 트리(4)의 지연시간(tCTS)과 입력 클록의 클록 주기(tCK)가 거의 같으며, 지터 등에 의해 동기 후에 있어서, tCTS>tCK로 되거나, tCTS≤tCK로 변동한 경우의 타이밍 동작을 설명하기 위한 도면이다.

도 2에 도시한 바와 같이, tCTS<tCK의 상태일 때에는, 동기 지연회로(100)로부터는, 입력 클록(IN)의 상승 에지로부터 소정의 시간(tCK-tCTS) 지연되어 클록을 출력하고, 동기 지연회로(101)로부터는, 입력 클록(IN)의 상승 에지로부터, 2tCK-(tCTS+td)+td 지연되어 클록을 출력한다.

지터 등에 의해, tCTS>tCK로 된 경우, 전술한 바와 같이, 동기 지연회로(100)의 제 1 지연 회로열(11)에 있어서의 측정시간은 2tCK-tCTS가 되고, 동기 지연회로(100)에 입력되는 클록신호를 받아, 이 진행위치로부터 제어회로(18)를 통하여 지연 재현용 제 2 지연 회로열(12)에 전송되고, 재현시간(2tCK-tCTS)의 시간 후에, 제 2 지연 회로열(12)로부터 출력된다. 이 경우, 동기 지연회로(100)의 출력에는 클록의 빠짐(불연속성)이 발생한다.

이 경우에도, 동기 지연회로(101)에 있어서는, 지연시간(td)의 지연회로(7)에 의해(여기서는, 지연시간(td)은 tCTS+td>tCK으로 한다), 도 7을 참조하여 설명한 바와 같이, 입력 클록(3)의 상승 에지로부터 재현시간(2tCK-(tCTS+td))이 지연되어, 지연 회로열(13)로부터 클록을 출력하고, 클록 빠짐은 발생하지 않는다.

동기 지연회로(101)의 제 4 지연 회로열(14)로부터 출력된 클록(F)은 지연회로(8)(지연시간(td))로 지연되고, 입력 클록(IN)의 상승 에지로부터, 재현시간(2tCK-(tCTS+td))에 지연시간(td)을 더한 분, 즉 시간(2tCK-tCTS) 지연되어 동기 지연회로(101)로부터의 클록이 클록 트리(4)의 입력 노드(A)에 공급되게 된다.

지연회로(8)는 동기 지연회로(101)측에 있어서의 주기 검지량을 단축시키고, 동기 지연회로(100)의 주기 검지량과 상위시키기 때문에 지연 검지회로(7)의 입력에 삽입된 지연회로(6)의 지연시간(td)분과, 증가한 재현시간(2tCK-(tCTS+td))에 대하여 지연시간(td)을 상쇄한 타이밍(2tCK-tCTS)에서 상승하는 클록을 전환회로(10)를 통하여 클록 트리(4)의 입력 노드(A)에 공급한다. 또한, 지연회로(8)는 응용회로에 있어서 필요하지 않으면 생략하여도 좋다.

상기와 같은 원리로, tCTS>tCK의 경우, 지터 등에 의해 tCTS<tCK, tCTS>tCK로 변화되면, 동기 지연회로(100)의 출력 클록에는 불연속점이 발생하지만, 이 경우도 지연 검지회로(8)의 지연 검지시간이 tCTS+td인 동기 지연회로(101)로부터는, 입력 클록(3)에 동기한 클록이 출력되고, 전환회로(10)를 통하여 클록 트리(4)의 입력 노드(A)에 공급된다.

또한, tCTS+td<tCK 이라도 좋다. 이 경우, 지터 등에 의해 tCTS+td>tCK로 변화된 시점에서, 동기 지연회로(101)의 출력 클록에는 불연속점이 발생하지만, 이 경우에는 동기 지연회로(100)로부터는 입력 클록(3)에 동기한 클록이 출력

되어 전환회로(10)를 통하여 클록 트리(4)의 입력 노드(A)에 공급된다.
이와 같이, 본 발명의 제 1 실시예에 있어서는, tCTS가 tCK와 같은 정도일 때, tCTS>tCK 로부터 tCTS<tCK로 변화된 시점에서, 한쪽의 동기 지연회로로부터의 클록이 불연속으로 된 경우에도 주기 검출량이 다른 그 밖의 동기 지연회로로부터는 클록이 출력되기 때문에 동기 지연회로로부터 공급되는 클록이 두절되는 일은 없다.
도 3은, 본 발명의 제 1 실시예에 있어서, 제 1 지연 회로열(11)(제 3 지연 회로열(13)), 제어회로(18) 및 제 2 지연 회로열(12)(제 4 지연 회로열(14))의 구성의 1예를 도시한 도면이다. 지연 회로열의 단위 지연소자로서는 클록화된 인버터로 구성되며, 클록 펄스가 클록 트리(4)를 통과하는 기간은 클록 트리(4)의 입력 노드(A)에 도달한 클록을 받아 지연 검지회로(5, 7)에서 발생되는 제어신호(D)가 로우 레벨로 되고, 지연 회로열(11, 13)의 MOS 트랜지스터(MN11, MN12, MP11, MP12)를 오프시켜 클록 펄스가 지연 회로열(11, 13) 내를 진행하지 않도록 한다.
즉, 클록 펄스가 클록 트리(4)의 노드(A)에 입력될 때, SR플립플롭으로 이루어지는 지연 검지회로(5(7))가 리셋되며, 신호(D(D'))는 로우 레벨로 되고, 클록 펄스의 에지가 노드(B)에 도달한 시점에서 지연 검지회로(5)의 SR플립플롭(5)은 세트되고(지연 검지회로(7)에서는 또한 지연시간(td) 후, SR플립플롭이 세트되고), 신호(D(D'))는 하이 레벨로 되고, 지연 회로열(11(13))의 MOS 트랜지스터(MN11, MN12, MP11, MP12)가 온상태로 된다.
이와 같이, 클록 펄스 또는 에지가 클록 트리(4)를 통과하는 기간, 신호(D)는 로우 레벨로 되고, 지연 회로열(11)의 클록화된 인버터는 오프상태로 되며, 클록의 진행을 정지한다. 또한 클록 펄스 또는 에지가 클록 트리(4)를 통과하는 기간(tCTS)+지연회로(6)의 지연시간(td) 동안 신호(D')는 로우 레벨로 되고, 지연 회로열(13)의 클록화된 인버터는 오프상태로 되며 클록의 진행을 정지한다.
지연 회로열(12, 14)의 클록화된 인버터의 구성에 관하여는 지연 회로열(11(13))과의 지연시간을 같게 하기 위하여 배치하였으며, 항상, 온상태로 되어 있다. 즉 MOS 트랜지스터(MN13, MN14, MP13, MP14)는 온상태로 설정되어 있다.
또한 도 3을 참조하여, n번째의 단위 지연소자에 관하여 설명하면, 지연 회로열(11)의 n-1번째의 인버터의 출력(FIn)은 NAND 게이트(NAND11)에 입력되는 동시에 제어회로(18)의 NAND 게이트의 2개의 입력단자 중, 제어단자(C)(제어단자(C)는 입력 클록의 입력단(IN)에 접속된다)와 접속되어 있지 않은 입력단자와 접속되고, 제어회로(18)의 NAND 게이트의 출력(MNn)은 지연 회로열(11)의 n+1번째의 NAND 게이트(도시생략)의 2개의 입력단자의 하나로 n번째의 인버터(INV12)의 출력(FIn+1)의 출력과 접속되어 있지 않은 입력단자와 접속되는 동시에 지연 회로열(12)의 NAND 게이트(NAND14)의 2개의 입력단자의 하나로 전단의 인버터 출력(BIn+1)의 출력과 접속되지 않은 입력단자와 접속된다. 지연 회로열(12)의 NAND 게이트(NAND14)의 출력은 지연 회로열(12)의 인버터(INV13)의 입력에 접속되어 있다. 지연 회로열(12)의 NAND 게이트(NAND14)의 전단의 인버터에 출력(BIh+1)은 NAND 게이트(NAND14)에 입력되는 동시에 부하 조정소자인 NAND 게이트(NAND15)의 2개의 입력단자 중 하나로 접지선과 접속되지 않은 입력단자와 접속되어 있다. 또한, 부하 조정소자인 NAND15의 출력은 어디에도 접속되어 있지 않다. 제 3, 제 4 지연 회로열(13, 14)의 구성도 동일하게 이루어진다.
이와 같이, 본 발명에 있어서는, 동기 지연회로(100, 101)에 있어서의 주기 검지량을 서로 다르게 함으로써 tCTS<tCK로부터 tCTS>tCK 로의 변화에 의해 발생되는 클록 빠짐을 방지하는 것이다. 지연회로(6)는, 예를 들면 도 4에 도시한 바와 같이, 클록 트리(4)의 노드(A)와 지연 검지회로(7)의 입력단(리셋단자(R))과의 사이에 삽입하여도 좋다.
도 4에 도시한 구성에 있어서, tCTS<tCK의 상태일 때에는, 동기 지연회로(100)는 상기 실시예와 같이 입력 클록(3)(IN)의 상승 에지로부터 소정 시간(tCK-tCTS)지연되어 클록을 출력하고, 지연 검지회로(7)는 클록 트리(4)의 노드(A)에 클록이 입력된 시점으로부터 지연시간(td) 지연되어 제어신호(모니터)(D')를 로우 레벨로 하고, tCTS-td의 기간, 즉 클록 트리(4)의 노드(B)에 클록이 도달하는 시점까지 제어신호(모니터)(D')를 로우 레벨로 하여, 제 3 지연 회로열(13)의 클록의 진행을 정지시킨다. 이 때문에 제 3 지연 회로열(13)의 측정 지연량은, tCK-(tCTS-td)가 되고, 제 4 지연 회로열(14)의 재현 지연량은, tCK-(tCTS-td)가 되며, 입력 클록(3)의 상승 에지로부터, tCK-(tCTS-td)=tCK-tCTS+td 지연되어 클록이 클록 트리(4)의 입력 노드(A)에 공급된다.
tCTS<tCK의 상태로부터, 지터 등에 의해 tCTS>tCK로 변화됨으로써, 동기 지연회로(100)로부터 출력되는 클록에 빠짐이 발생되어도, tCTS-td<tCK인 경우, 동기 지연회로(101)로부터는 입력 클록(3)의 상승 에지로부터 tCK-tCTS+td 지연되어 클록(F)이 출력되고, 이것에 의해 클록 트리(4)의 입력 노드(A)에 공급되는 클록에 빠짐(불연속성)이 발생하는 일은 없다.
또한, 상기 실시예에서는, 동기 지연회로를 2조 구비한 구성을 예로 설명하였지만, 본 발명에 있어서, 동기 지연회로는 물론 2조에 한정되지 않는다. 예를 들면, 동기 지연회로를 3조 이상 구비하고, 각각의 동기 지연회로에 대응시켜 지연 검지회로를 구비하고, 지연 검지회로에 지연을 삽입함으로써, 동기 지연회로에 있어서의 주기 검지량을 상위시키는 구성으로 하여도 좋다.
그리고, 본 발명에 있어서, 동기 지연회로는 클록 진행방향이 역 방향인 1 쌍의 지연 회로열의 구성에 한정되는 것이 아니고, 클록 진행방향이 동일 방향인 1 쌍의 지연 회로열의 구성(일본 특개평11-73238호 공보 참조)에도, 그대로 적용 가능한 것은 물론이다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 의하면, 동기 지연회로를 복수조 구비하고, 각 동기 지연회로에 있어서의 주기 검지량을 다르게 하였기 때문에 지터, 스큐 편차 등에 의해 지연시간의 검지를 행하는 클록 전파경로의 전파 지연시간이 클록 주기에 비하여 그 대소가 변화되고, 한쪽의 동기 지연회로로부터의 클록 출력에 빠짐이 발생하는 경우에도, 다른쪽의 동기 지연회로로부터는 입력 클록에 동기하여 클록이 출력되기 때문에 동기 지연회로로부터 클록 전파경로에

공급되는 클록에 불연속점이 발생하지 않도록 할 수 있다는 효과를 갖는다. 본 발명에 의하면, 동작 주파수의 고속화 및 회로 규모의 증대의 일로에 있는 반도체 집적회로 장치에 있어서, 확실한 클록 제어동작을 보증하며, 그 실용적 가치가 매우 높다.

(57) 청구의 범위

청구항 1.

입력 클록신호를 진행시키는 지연 측정용 제 1 지연 회로열에서, 클록을 전파 출력하는 소정의 회로 또는 경로의 지연시간과, 상기 입력 클록 신호의 주기와의 차를 측정하고, 상기 측정된 시간차를 제 2 지연 회로열에서 재현하여 출력하는 동기 지연회로가 복수조 병렬 배치되고,
상기 복수조의 동기 지연회로 중의 적어도 1조의 동기 지연 회로에 지연회로를 설치하고,
상기 지연회로가 설치된 상기 적어도 1조의 동기 지연회로에서 상기 소정의 회로 또는 경로의 출력과 입력의 한쪽을 상기 지연회로에서 지연시켜 상기 소정의 회로 또는 경로의 지연 시간을 가변시킨 지연 시간과, 상기 입력 클록 신호의 주기와의 시간차를 상기 제 1 지연회로열에서 측정하고, 상기 측정된 시간차를 상기 제 2 지연 회로열에서 재현하여 출력하는 구성으로 되며, 상기 지연 회로가 설치된 상기 적어도 1조의 동기 지연회로에서의 상기 측정된 시간차는 다른 조의 동기 지연회로와 상위시키고,
상기 복수조의 동기 지연회로의 출력 중 하나의 출력이 전환기를 거쳐 상기 소정의 회로 또는 경로에 공급되고 상기 소정의 회로 또는 경로의 지연시간과 상기 입력 클록 신호 주기와의 대소관계가 변화된 경우에도, 상기 복수조의 동기 지연회로 중의 1조의 동기 지연회로로부터 출력되어 상기 소정의 회로 또는 경로에 공급되는 클록에 불연속이 발생하지 않도록 한 것을 특징으로 하는 동기 지연회로장치.

청구항 2.

입력 클록신호를 진행시키는 주기 측정용 제 1 지연 회로열과, 상기 제 1 지연 회로열 중을 클록신호가 진행한 길이에 대응한 길이분과, 클록신호를 통과시키는 주기 재현용 제 2 지연 회로열을 포함하는 동기 지연회로를 복수조 구비하고,
소정의 클록 전파경로의 입력 노드로부터 소정의 출력 노드까지 클록이 전파하는 데 요하는 전파 지연시간을 검지하고, 상기 전파 지연시간에 대응시켜 상기 각 동기 지연회로에 대하여 각각 클록신호의 진행을 정지시키도록 제어하는 제어신호를 출력하는 지연 검지회로를 상기 복수조의 동기 지연회로에 대응시켜 구비하고,
상기 복수의 지연 검지회로 중, 적어도 하나의 지연 검지회로의 입력에 지연을 삽입함으로써, 상기 하나의 지연 검지회로에서 검지하는 지연시간을 다른 지연 검지회로에서 검지하는 지연시간과 상위시켜, 상기 하나의 지연 검지회로에 대응하는 동기 지연회로에 있어서의 주기 검지량을, 상기 다른 지연 검지회로의 각각에 대응하는 동기 지연회로에 있어서의 주기 검지량과 다르게 하여,
상기 클록 전파경로에는 전환기를 거쳐 상기 복수조의 동기 지연회로 중의 1조의 동기 지연회로의 출력이 공급되고, 상기 클록 전파 경로의 전파 지연 시간이 클록 주기와 비교하여 길거나 짧게 되는 경우에도 상기 복수조의 동기 지연회로 중의 1조로부터 상기 클록 전파경로에 공급되는 클록에 불연속점이 발생하지 않도록 한 것을 특징으로 하는 동기 지연회로장치.

청구항 3.

입력 클록신호의 펄스 또는 펄스 에지를 진행시키는 주기 측정용 제 1 지연 회로열과, 상기 제 1 지연 회로열 중을 클록신호의 펄스 또는 펄스 에지가 진행한 길이에 대응한 길이분과, 클록신호의 펄스 또는 펄스 에지를 통과시키는 주기 재현용 제 2 지연 회로열을 포함하는 동기 지연회로를 2조 구비하고,
클록이 클록 전파경로의 입력 노드로부터 소정의 출력 노드까지 전파하는 전파 지연시간을 검지하고, 상기 검지한 전파 지연시간에 대응시켜, 상기 각 동기 지연회로에 대하여 각각 입력된 클록신호의 펄스 또는 펄스 에지의 진행을 정지시키도록 제어하는 제어신호를 출력하는 지연 검지회로를 상기 각 동기 지연회로에 대응시켜 2개 구비하고,
상기 2개의 지연 검지회로 중 한쪽의 지연 검지회로의 입력에 지연을 삽입함으로써, 상기 한쪽의 지연 검지회로에서 검지하는 지연시간을, 다른쪽의 상기 지연 검지회로에서 검지되는 지연시간과 상위시키고, 상기 한쪽의 지연 검지회로에 대응하는 동기 지연회로에서 측정되는 주기를 상기 다른쪽의 상기 지연 검지회로에 대응하는 동기 지연회로에서 측정되는 주기와 다르게 하여,
상기 클록 전파경로에는 전환기를 거쳐 상기 복수조의 동기 지연회로 중의 1조의 동기 지연회로의 출력이 공급되어, 상기 클록 전파경로의 전파 지연시간이 클록 주기와 비교하여 길거나 짧은 경우에도 상기 복수조의 동기 지연회로 중의 1조로부터 상기 클록 전파 경로에 공급되는 상기 클록에 불연속점이 발생하지 않도록 한 것을 특징으로 하는 동기 지연회로장치.

청구항 4.

제 2 항 또는 제 3 항에 있어서,
상기 제 1 지연 회로열을 구성하는 지연회로 소자가 상기 제어신호로서 온 및 오프가 제어되는 클록화된 인버터로 이루어진 것을 특징으로 하는 동기 지연회로.

청구항 5.

제 2 항 또는 제 3 항에 있어서,
상기 전환기가 상기 복수조의 동기 지연회로의 상기 각 제 2 지연 회로열의 출력과 상기 입력 클록을 입력하고, 상기 전환기의 출력이 상기 클록 전파경로의 입력 노드에 접속되어 이루어진 것을 특징으로 하는 동기 지연회로장치.

청구항 6.
제 2 항 또는 제 3 항에 있어서,
상기 지연 검지회로가 상기 클록 전파경로의 입력 노드로의 클록의 입력을 받아 리셋되며, 상기 클록 전파경로의 출력 노드로부터의 상기 클록의 출력을 받아 세트되는 플립플롭으로 이루어진 것을 특징으로 하는 동기 지연회로장치.

청구항 7.
클록 전파경로에 공급되는 클록신호를 동기 지연회로를 이용하여 제어하는 반도체 집적회로 장치에 있어서,
입력 클록신호를 진행시키는 주기 측정용 제 1 지연 회로열과, 상기 제 1 지연 회로열 내를 클록신호가 진행한 길이에 대응한 길이분과, 클록신호를 통과시키는 주기 재현용 제 2 지연 회로열을 포함하는 동기 지연회로를 복수조 구비하고,
소정의 클록 전파경로의 입력 노드로부터 소정의 출력 노드까지 클록이 전파하는 데 요하는 지연시간을 검지하고, 검지된 지연시간에 대응시켜, 상기 각 동기 지연회로에 대하여 각각 클록신호의 진행을 정지시키도록 제어하는 제어신호를 출력하는 복수의 지연 검지회로를 상기 각 동기 지연회로에 각각 대응시켜 구비하고,
상기 복수의 지연 검지회로 중, 적어도 하나의 지연 검지회로의 입력에 지연(td)을 삽입함으로써, 상기 하나의 지연 검지회로에서 검지하는 지연시간을 다른 지연 검지회로에서 검지하는 지연시간과 상위시켜, 상기 하나의 지연 검지회로에 대응하는 동기 지연회로에 있어서의 주기 검지량을 상기 다른 지연 검지회로의 각각에 대응하는 동기 지연회로에 있어서의 주기 검지량과 다르게 하여,
상기 클록 전파경로의 전파 지연시간(tCTS)이 상기 입력 클록 신호의 주기(tCK)보다 작은 경우, 상기 복수조의 동기 지연회로 중, 상기 동기 지연 검지회로의 입력에 지연(td)이 삽입되지 않은 상기 동기 지연회로로부터의 출력이 전환기를 거쳐 상기 클록 전파 경로에 공급되고, 상기 클록 전파 경로의 전파 지연시간(tCTS)가 상기 입력 클록 신호 주기(tCK)보다 큰 경우에는 상기 복수조의 동기 지연회로 중 상기 지연 검지회로의 입력에 지연(td)이 삽입된 상기 동기 지연회로로부터 출력이 상기 전환기를 거쳐 상기 클록 전파 경로에 공급되고, 상기 클록 전파 경로의 전파 지연시간(tCTS)와 입력 클록신호 주기(tCK)와의 대소 관계가 변화하고, 상기 복수조의 동기 지연회로 중 어떤 상기 동기 지연회로로부터의 클록에 불연속점이 발생하는 경우에도 다른 상기 동기 지연회로로부터는 상기 입력 클록 신호에 동기한 클록이 출력되고, 상기 전환기를 거쳐 상기 클록 전파경로에 공급되는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 8.
클록 전파경로에 공급되는 클록신호를 동기 지연회로를 이용하여 제어하는 반도체 집적회로 장치에 있어서,
입력된 클록신호를 진행시키는 주기 측정용 제 1 지연 회로열과, 상기 제 1 지연 회로열 내를 클록신호가 진행한 길이에 대응한 길이분과 클록신호를 통과시키는 주기 재현용 제 2 지연 회로열을 포함하는 제 1 동기 지연회로와,
클록이 상기 클록 전파경로의 입력 노드로부터 소정의 출력 노드까지 전파하는 전파 지연시간(tCTS)을 검지하고, 상기 전파 지연시간분, 상기 제 1 동기 지연회로에 대하여 상기 클록신호의 진행을 정지시키도록 제어하는 제 1 제어신호를 출력하는 제 1 지연 검지회로와,
입력된 클록신호를 진행시키는 주기 측정용 제 3 지연 회로열과, 상기 제 3 지연 회로열 내를 클록신호가 진행한 길이와 대응한 길이분과 클록신호를 통과시키는 주기 재현용 제 4 지연 회로열을 포함하는 제 2 동기 지연회로와,
상기 클록이 클록 전파경로의 입력 노드로부터 소정의 출력 노드까지 전파하는 전파 지연시간(tCTS)을 검지하고, 상기 전파 지연시간에 소정의 지연시간(td)을 가산한 기간, 상기 제 2 동기 지연회로에 대하여 상기 클록신호의 진행을 정지시키도록 제어하는 제 2 제어신호를 출력하는 제 2 지연 검지회로를 구비하고,
상기 제 2 및 제 4 지연 회로열의 출력은 전환회로를 통하여 상기 클록 전파경로의 상기 입력 노드에 입력되는 구성으로 이루어진 것을 특징으로 하는 반도체 집적회로 장치.

청구항 9.
제 8 항에 있어서,
상기 클록 전파경로에 출력 노드와 상기 제 2 지연 검지회로의 입력단의 사이에는 고정 지연시간의 제 1 지연회로가 삽입되어 있고, 상기 제 4 지연 회로열의 출력과 상기 전환기의 입력단 사이에는 상기 고정 지연시간의 제 2 지연회로가 삽입되어 있는 것을 특징으로 하는 반도체 집적회로 장치.

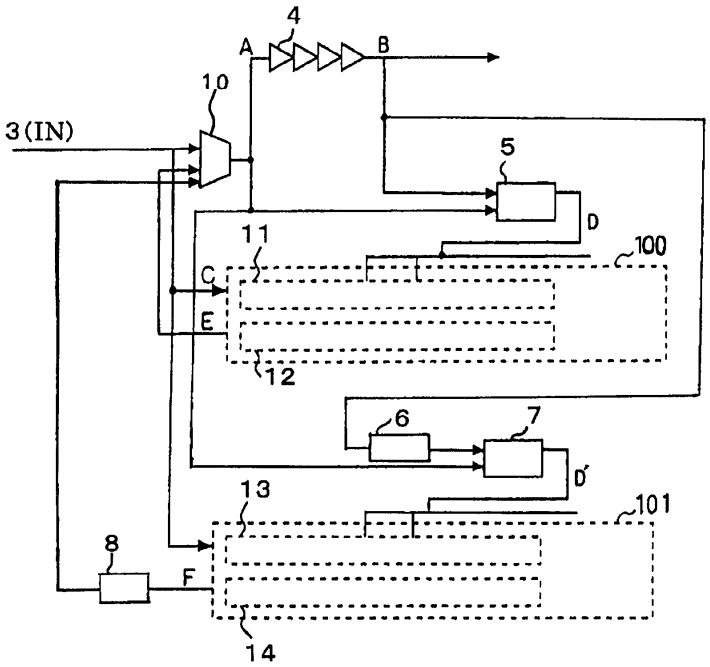
청구항 10.
제 7 항 또는 제 8 항에 있어서,
상기 제 1 지연 회로열을 구성하는 지연회로 소자가 상기 제어신호로 온 및 오프가 제어되는 클록화된 인버터로 이루어진 것을 특징으로 하는 반도체 집적회로 장치.

청구항 11.
제 8 항에 있어서,
상기 제 1, 제 2 지연 검지회로가 상기 클록 전파경로으로의 입력 클록 및 상기 클록 전파경로로부터의 출력 클록으로 각각 리셋 및 세트되는 플립플롭으로 이루어진 것을 특징으로 하는 반도체 집적회로 장치.

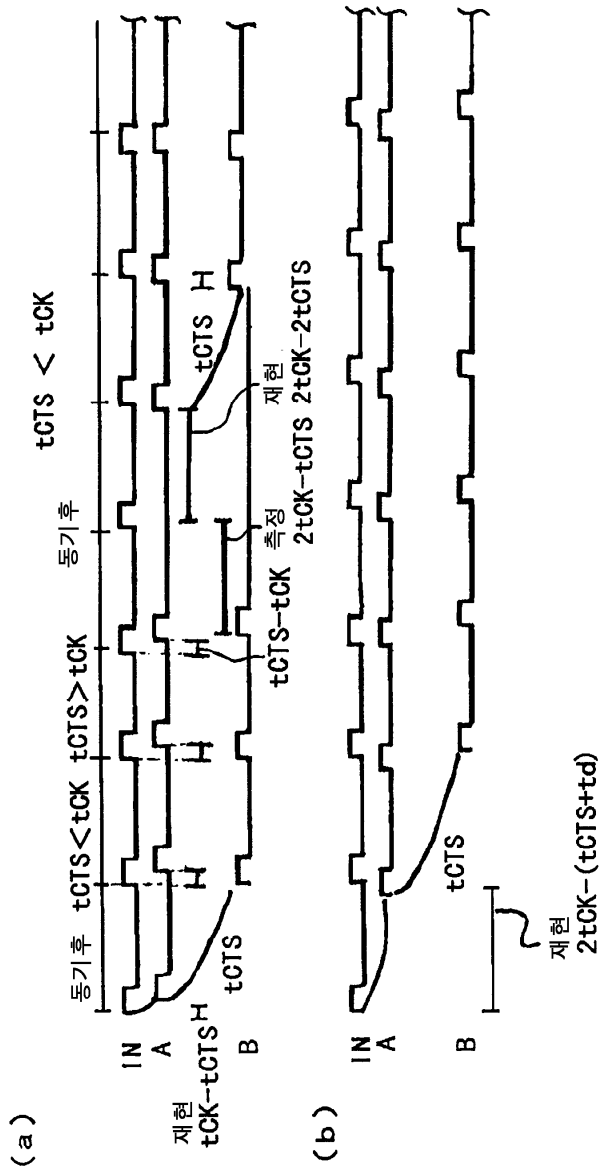
청구항 12.
제 10 항에 있어서,
상기 클록 전파경로의 출력 노드와 상기 제 2 지연 검지회로의 세트 입력단 사이에는 고정 지연시간의 제 1 지연회로가 삽입되어 있고, 상기 제 4 지연 회로열의 출력단과 상기 전환기의 입력단 사이에는 상기 고정 지연시간의 제 2 지연회로가 삽입되어 있는 것을 특징으로 하는 반도체 집적회로 장치.

도면

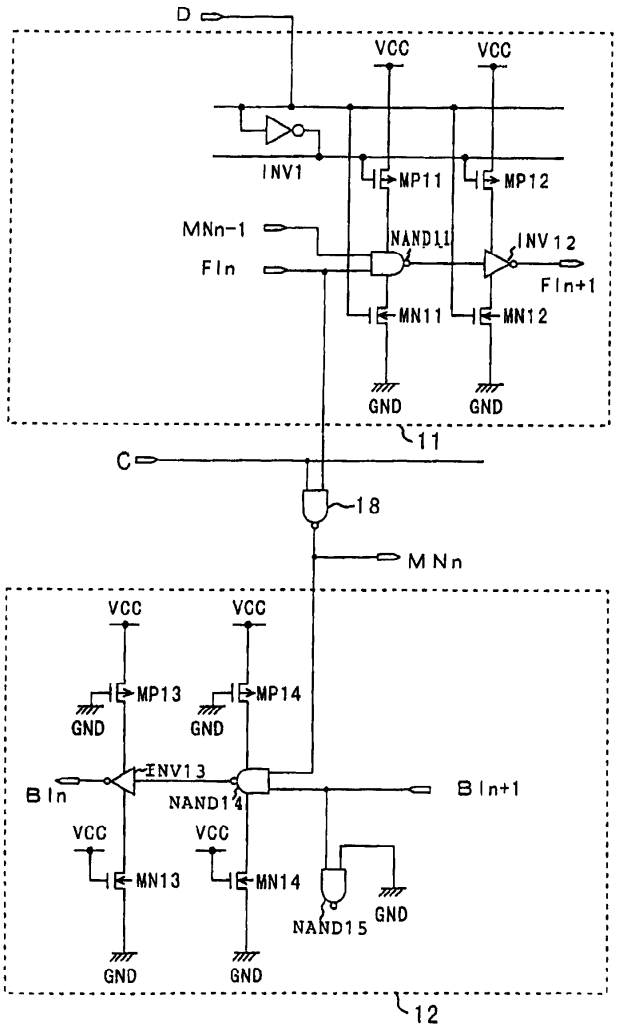
도면1



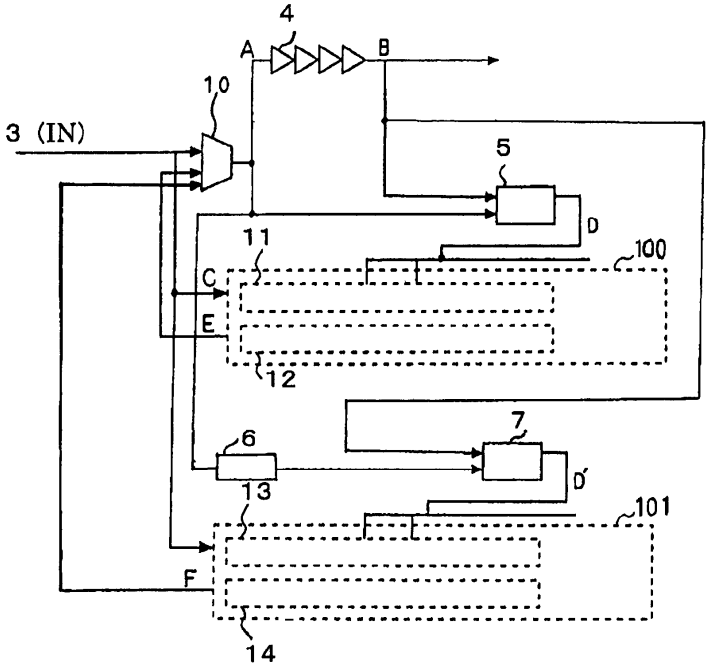
도면2


(a)
tCTS < tCK
동기후
tCTS<tCK tCTS>tCK
동기후
IN
A
B
제현
tCK-tCTS
H
tCTS
tCTS
H
제현
측정
tCTS-tCK
2tCK-tCTS
2tCK-2tCTS
(b)
IN
A
B
tCTS
제현
2tCK-(tCTS+td)

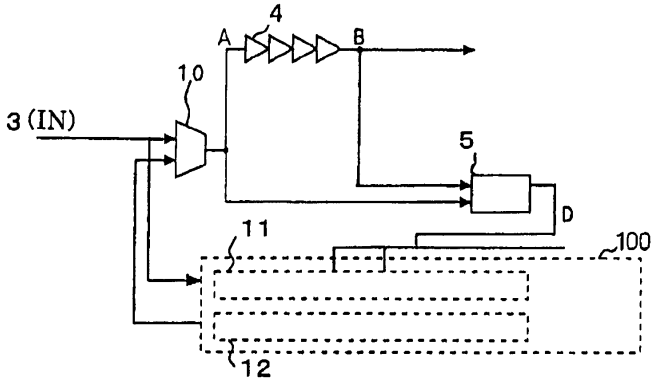
도면3


D
VCC
VCC
INV1
MP11
MP12
MNn-1
NAND11
INV12
Fln
Fln+1
MN11
MN12
GND
GND
11
C
18
MNn
VCC
VCC
MP13
MP14
GND
GND
INV13
Bln
NAND14
Bln+1
VCC
VCC
MN13
MN14
NAND15
GND
GND
GND
12

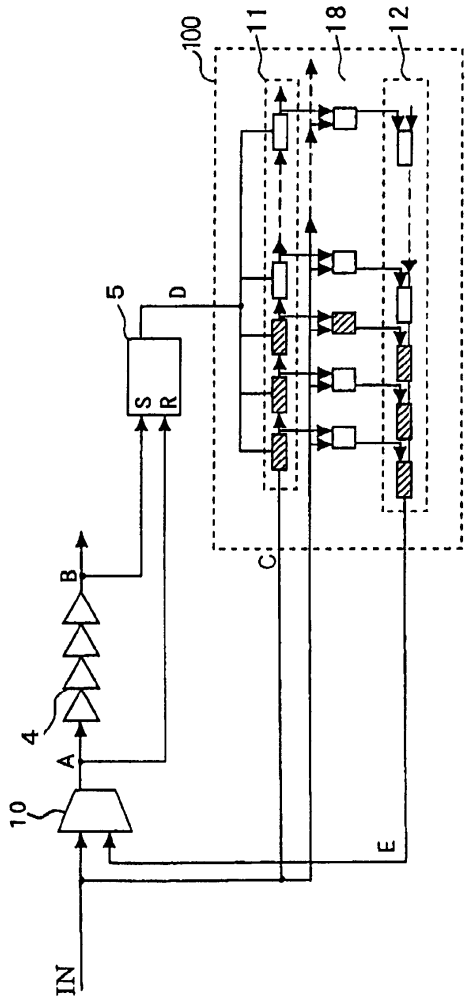
도면4


4
A
B
10
3 (IN)
5
D
11
100
C
E
12
7
6
D'
13
101
F
14

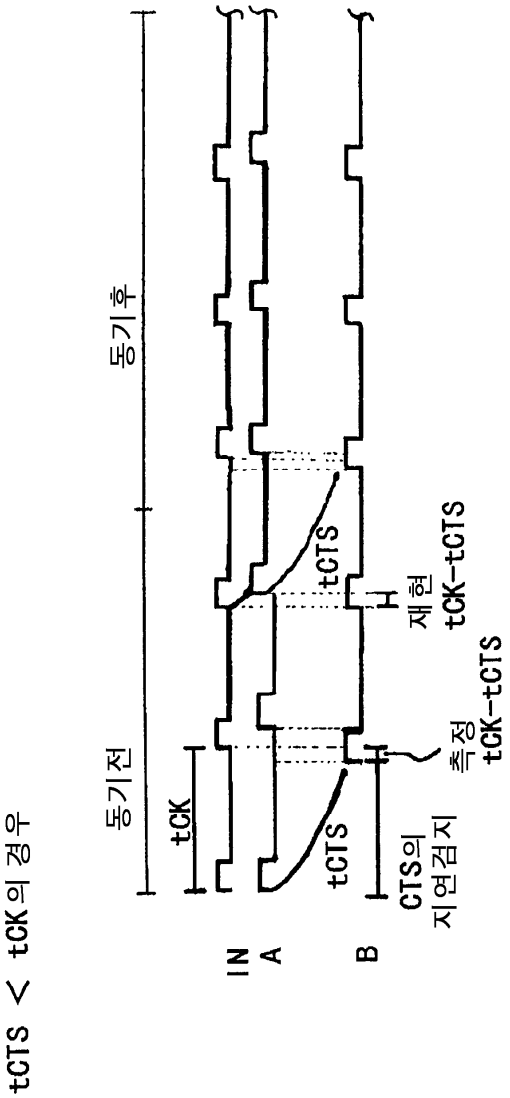
도면5



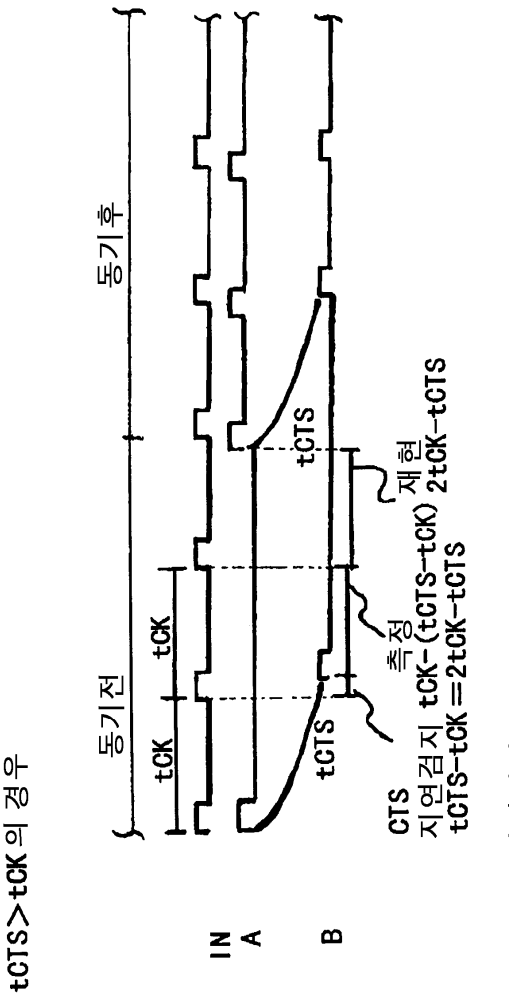
도면6



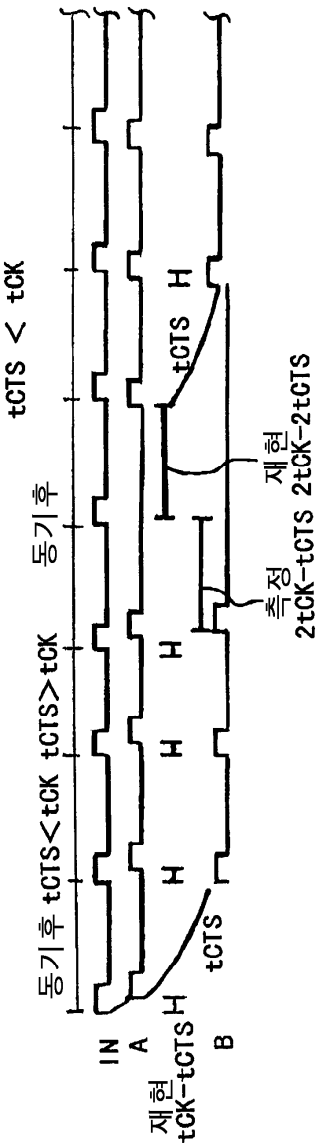
도면7


tCTS < tCK의 경우
동기전
동기후
tCK
IN
A
B
tCTS
tCTS
CTS의
지연검지
H
재현
tCK-tCTS
측정
tCK-tCTS

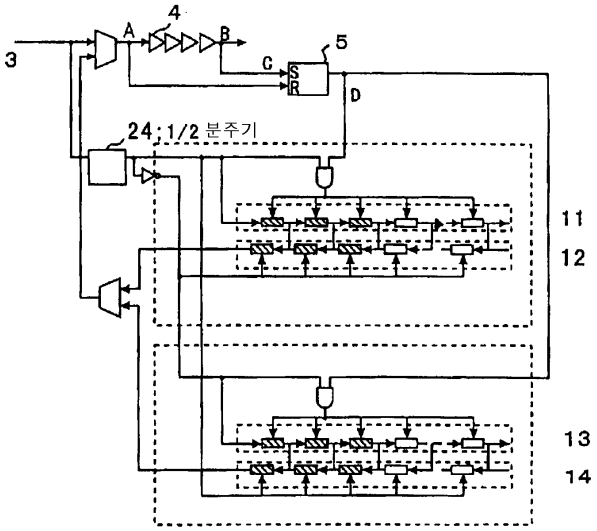
도면8


tCTS>tCK의 경우
동기전
동기후
tCK
tCK
IN
A
B
tCTS
tCTS
재현
측정
CTS
지연검지 tCK-(tCTS-tCK) 2tCK-tCTS
tCTS-tCK=2tCK-tCTS

도면9


tCTS < tCK
동기 후
tCTS
H
재현
2tCK-tCTS 2tCK-2tCTS
측정
동기 후 tCTS<tCK tCTS>tCK
H
H
H
tCTS
IN
A
재현
tCK-tCTS
H
B

도면10


4
A
B
3
5
C
D
24 ; 1/2 분주기
11
12
13
14