



(10) **DE 10 2018 105 953 B4** 2023.09.21

(12)

## Patentschrift

(21) Aktenzeichen: **10 2018 105 953.1**  
(22) Anmeldetag: **15.03.2018**  
(43) Offenlegungstag: **02.05.2019**  
(45) Veröffentlichungstag  
der Patenterteilung: **21.09.2023**

(51) Int Cl.: **H01L 29/51** (2006.01)  
**H01L 29/78** (2006.01)  
**H01L 21/311** (2006.01)  
**H01G 7/06** (2006.01)  
**H10B 51/00** (2023.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:

<b>62/578,919</b>	<b>30.10.2017</b>	<b>US</b>
<b>15/908,348</b>	<b>28.02.2018</b>	<b>US</b>

(73) Patentinhaber:

**Taiwan Semiconductor Manufacturing Co. Ltd.,  
Hsinchu, TW**

(74) Vertreter:

**BOEHMERT & BOEHMERT Anwaltspartnerschaft  
mbB - Patentanwälte Rechtsanwälte, 28209  
Bremen, DE**

(72) Erfinder:

**Lu, Chun-Chieh, Hsinchu, TW; Diaz, Carlos H.,  
Hsinchu, TW; Chang, Chih-Sheng, Hsinchu, TW;  
Peng, Cheng-Yi, Hsinchu, TW; Yeh, Ling-Yen,  
Hsinchu, TW**

(56) Ermittelter Stand der Technik:

**siehe Folgeseiten**

(54) Bezeichnung: **HALBLEITER-BAUELEMENT UND VERFAHREN ZU DESSEN HERSTELLUNG**

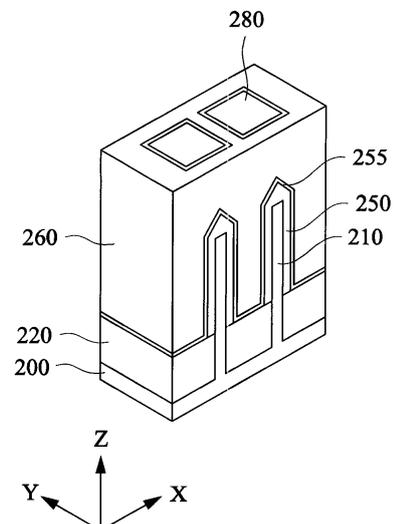
(57) Hauptanspruch: Verfahren zur Herstellung einer Struktur mit negativer Kapazität, mit den folgenden Schritten:

Herstellen einer dielektrischen Schicht (30) über einem Substrat (10), das aus einem Halbleiter besteht, so dass die dielektrische Schicht (30) mit dem Substrat (10) oder einer Oxid-Zwischenschicht (20) über dem Substrat (10) in Kontakt steht;

Herstellen einer ersten Metallschicht (40) über der dielektrischen Schicht (30);

nachdem die erste Metallschicht (40) hergestellt worden ist, Durchführen eines Glühprozesses, an den sich ein Abkühlprozess anschließt; und

Herstellen einer zweiten Metallschicht (52) über der dielektrischen Schicht (30), wobei nach dem Abkühlprozess die dielektrische Schicht (30) zu einer ferroelektrischen dielektrischen Schicht (30) wird, die eine orthorhombische Kristallphase aufweist; wobei die ferroelektrische dielektrische Schicht (30) dotiertes  $\text{HfO}_2$  aufweist; wobei eine Hauptfläche der ferroelektrischen dielektrischen Schicht (30) eine (111)-Kristallfläche aufweist; wobei eine Hauptfläche der ersten Metallschicht (40) eine (111)-Kristallfläche aufweist; wobei die Hauptfläche der ferroelektrischen dielektrischen Schicht (30) parallel zu einer Oberfläche des Substrats (10) ist; und wobei die Hauptfläche der ersten Metallschicht (40) parallel zu einer Oberfläche des Substrats (10) ist.



(56) Ermittelter Stand der Technik:

<b>US</b>	<b>9 722 093</b>	<b>B1</b>
<b>US</b>	<b>2008 / 0 233 288</b>	<b>A1</b>
<b>US</b>	<b>2009 / 0 057 737</b>	<b>A1</b>
<b>US</b>	<b>2014 / 0 225 226</b>	<b>A1</b>
<b>US</b>	<b>2015 / 0 076 437</b>	<b>A1</b>
<b>US</b>	<b>2016 / 0 211 849</b>	<b>A1</b>
<b>US</b>	<b>5 567 979</b>	<b>A</b>

**Beschreibung**

## Gebiet der Erfindung

**[0001]** Die vorliegende Erfindung betrifft integrierte Halbleiterschaltkreise und insbesondere Halbleiter-Bauelemente, die Feldeffekttransistoren mit negativer Kapazität (NC-FETs) umfassen.

## Hintergrund der Erfindung

**[0002]** Der Subthreshold-Hub (subthreshold = Unterschwellspannung) ist ein Merkmal einer Strom-Spannungs-Charakteristik eines Transistors. In dem Subthreshold-Bereich ist das Drain-Stromverhalten dem exponentiell ansteigenden Strom einer in Durchlassrichtung vorgespannten Diode ähnlich. Eine Kurve des logarithmischen Drain-Stroms in Abhängigkeit von der Gate-Spannung bei feststehender Drain-, Source- und Volumenspannung zeigt ein annähernd logarithmisches lineares Verhalten in diesem Betriebsbereich eines Metall-oxidhalbleiter-Feldeffekttransistors (MOSFET). Um die Subthreshold-Eigenschaften zu verbessern, wurde ein Feldeffekttransistor mit negativer Kapazität (NC-FET), bei dem ein ferroelektrisches Material verwendet wird, vorgeschlagen. Verfahren zur Herstellung von ferroelektrischen, kristallinen Schichten sind beschrieben in Us 2009 / 0 057 737 A1, US 2015 / 0 076 437 A1, US 5 567 979 A, US 2014 / 0 225 226 A1, US 9 722 093 B1 und US 2008 / 0 233 288 A1. US 2016 / 0211 849 A1 beschreibt ein Logik-Bauteil mit einem ersten Transistor und einem zweiten Transistor mit negativer Kapazität.

## Kurze Beschreibung der Zeichnungen

**[0003]** Aspekte der vorliegenden Erfindung lassen sich am besten anhand der nachstehenden detaillierten Beschreibung in Verbindung mit den beigefügten Zeichnungen verstehen. Es ist zu beachten, dass entsprechend der üblichen Praxis in der Branche verschiedene Elemente nicht maßstabsgetreu gezeichnet sind. Vielmehr können der Übersichtlichkeit der Erörterung halber die Abmessungen der verschiedenen Elemente beliebig vergrößert oder verkleinert sein.

**Fig. 1A** zeigt eine Schnittansicht eines Metall-Isolator-Halbleiter(MIS)-FET mit negativer Kapazität, und **Fig. 1B** zeigt eine Schnittansicht eines Metall-Isolator-Metall-Isolator- Halbleiter (MIMIS)-FET mit negativer Kapazität.

Die **Fig. 2A** bis **Fig. 2D** zeigen verschiedene Stufen der Herstellung einer Struktur mit negativer Kapazität gemäß einer Ausführungsform der vorliegenden Erfindung.

Die **Fig. 3A** bis **Fig. 3D** zeigen verschiedene Stufen der Herstellung einer Struktur mit negati-

ver Kapazität gemäß einer Ausführungsform der vorliegenden Erfindung. Die **Fig. 3E** und **Fig. 3F** zeigen verschiedene Stufen der Herstellung einer Struktur mit negativer Kapazität gemäß einer weiteren Ausführungsform der vorliegenden Erfindung.

Die **Fig. 4A** bis **Fig. 4D** zeigen verschiedene Atomstrukturen von HfO<sub>2</sub>. **Fig. 4E** zeigt Messergebnisse der Röntgenbeugung.

Die **Fig. 5** und **Fig. 6** zeigen Messergebnisse der Elektronenenergieverlustspektroskopie (EELS)

Die **Fig. 7A** bis **Fig. 7D** zeigen verschiedene Stufen der Herstellung eines NC-FET gemäß einer Ausführungsform der vorliegenden Erfindung.

Die **Fig. 8A** bis **Fig. 8D** zeigen verschiedene Stufen der Herstellung eines NC-FET gemäß einer Ausführungsform der vorliegenden Erfindung.

Die **Fig. 9A** bis **Fig. 9C** zeigen verschiedene Stufen der Herstellung eines NC-FET gemäß einer Ausführungsform der vorliegenden Erfindung.

Die **Fig. 10A** bis **Fig. 10C** zeigen verschiedene Stufen der Herstellung eines NC-FET gemäß einer Ausführungsform der vorliegenden Erfindung.

Die **Fig. 11A** bis **Fig. 11C** zeigen verschiedene Stufen der Herstellung eines NC-FET gemäß einer Ausführungsform der vorliegenden Erfindung.

Die **Fig. 12A** bis **Fig. 12C** zeigen verschiedene Stufen der Herstellung eines NC-FET gemäß einer Ausführungsform der vorliegenden Erfindung.

Die **Fig. 13A** bis **Fig. 13D** zeigen verschiedene Stufen der Herstellung eines NC-FET gemäß einer Ausführungsform der vorliegenden Erfindung.

Die **Fig. 14A** bis **Fig. 14D** zeigen Herstellungsschritte für einen NC-FET gemäß einer weiteren Ausführungsform der vorliegenden Erfindung.

Die **Fig. 15A** bis **Fig. 15D** zeigen Herstellungsschritte für einen NC-FET gemäß einer Ausführungsform der vorliegenden Erfindung.

## Detaillierte Beschreibung

**[0004]** Es ist klar, dass die nachstehende Beschreibung viele verschiedene Ausführungsformen oder Beispiele zum Implementieren verschiedener Merkmale der Erfindung bereitstellt. Nachstehend werden spezielle Beispiele für Komponenten und Anordnun-

gen beschrieben, um die vorliegende Erfindung zu vereinfachen. Zum Beispiel sind die Abmessungen von Elementen nicht auf den angegebenen Bereich von Werten beschränkt, sondern sie können von Prozessbedingungen und/oder gewünschten Eigenschaften des Bauelements abhängig sein. Außerdem kann die Herstellung eines ersten Elements über oder auf einem zweiten Element in der nachstehenden Beschreibung Ausführungsformen umfassen, bei denen das erste und das zweite Element in direktem Kontakt hergestellt werden, und sie kann auch Ausführungsformen umfassen, bei denen zusätzliche Elemente zwischen dem ersten und dem zweiten Element so hergestellt werden können, dass das erste und das zweite Element nicht in direktem Kontakt sind. Verschiedene Elemente können der Einfachheit und Übersichtlichkeit halber beliebig in verschiedenen Maßstäben gezeichnet sein. In den beigefügten Zeichnungen können der Einfachheit halber einige Schichten oder Strukturelemente weggelassen sein.

**[0005]** Darüber hinaus können hier räumlich relative Begriffe, wie etwa „darunter befindlich“, „unter“, „untere(r)“, „unteres“, „darüber befindlich“, „obere (r)“, „oberes“ und dergleichen, zur einfachen Beschreibung der Beziehung eines Elements oder einer Struktur zu einem oder mehreren anderen Elementen oder Strukturen verwendet werden, die in den Figuren dargestellt sind. Die räumlich relativen Begriffe sollen zusätzlich zu der in den Figuren dargestellten Orientierung andere Orientierungen des in Gebrauch oder in Betrieb befindlichen Bauelements umfassen. Das Bauelement kann anders ausgerichtet werden (um 90 Grad gedreht oder in einer anderen Orientierung), und die räumlich relativen Deskriptoren, die hier verwendet werden, können ebenso entsprechend interpretiert werden. Darüber hinaus kann der Begriff „hergestellt aus“ entweder „weist auf“ oder „besteht aus“ bedeuten. Außerdem kann es in dem nachstehenden Herstellungsprozess ein oder mehrere weitere Schritte in oder zwischen den beschriebenen Schritten geben, und die Reihenfolge der Schritte kann geändert werden.

**[0006]** Zum Verringern des Subthreshold-Hubs (subthreshold swing; SS) eines Feldeffekttransistors (FET) stellt eine NC-Technologie (NC: negative Kapazität), wie etwa das Einbauen von ferroelektrischen (FE) Materialien, eine mögliche Lösung zum erheblichen Verringern der  $V_{DD}$  (Versorgungsspannung) dar, und mit der NC-Technologie wird ein FET mit einem steilen SS für einen Betrieb bei geringem Stromverbrauch erzielt.

**[0007]** Bei einem NC-FET ist ein Kondensator (z. B. ein ferroelektrischer Kondensator), der eine negative Kapazität hat, mit einem Gate eines MOSFET in Reihe geschaltet. Der ferroelektrische negative Kondensator kann bei einigen Ausführungsformen ein

einzelner Kondensator sein, der durch eine leitfähige Schicht (z. B. einen Draht oder einen Kontakt) mit dem Gate des MOSFET verbunden ist. Bei anderen Ausführungsformen ist eine der Elektroden des negativen Kondensators eine Gate-Elektrode des MOSFET. In diesem Fall wird der negative Kondensator in Seitenwand-Abstandshaltern des MOSFET hergestellt.

**[0008]** Bei herkömmlichen Bauelementen sind High-k-Materialien, wie etwa  $HfO_2$ , normalerweise eine amorphe Schicht. Das undotierte  $HfO_2$  ist jedoch amorph und paraelektrisch, sodass kein NC-Effekt entsteht. Ferroelektrische Materialien mit einer Perovskitstruktur, wie etwa PZT oder  $BaTiO_3$ , haben sehr gute ferroelektrische Eigenschaften. Bei diesen Materialien gibt es jedoch Schwierigkeiten, da ihre Herstellung nicht vollständig kompatibel mit Halbleitern auf Siliziumbasis ist, und die ferroelektrischen Eigenschaften verschlechtern sich auf Grund eines Größen-Effekts mit dem Reduzieren der Materialdicke.

**[0009]** In der vorliegenden Erfindung werden eine dotierte  $HfO_2$ -Schicht, die eine orthorhombische Kristallphase hat, die ferroelektrische Eigenschaften zeigt, und Verfahren zu deren Herstellung bereitgestellt. Außerdem wird in der vorliegenden Erfindung die Kristallorientierung der dotierten  $HfO_2$ -Schicht so gesteuert, dass der größte ferroelektrische Effekt erzielt wird, wenn die Eigenpolarisation des dotierten  $HfO_2$  mit dem äußeren elektrischen Feld einer Gate-Elektrode parallel gekoppelt wird. Zum Steuern der Kristallorientierung werden eine untere Kristallstruktur-Steuerschicht und/oder eine obere Kristallstruktur-Steuerschicht bereitgestellt.

**[0010]** Fig. 1A zeigt eine Schnittansicht eines Metall-Isolator-Halbleiter(MIS)-FET mit negativer Kapazität, und Fig. 1B zeigt eine Schnittansicht eines Metall-Isolator-Metall-Isolator-Halbleiter (MIMIS)-FET mit negativer Kapazität. Die Fig. 1A und Fig. 1B zeigen zwar NC-FETs mit einer planaren MOS-Transistorstruktur, aber es können auch Fin-FETs und/oder Gate-all-around-FETs verwendet werden.

**[0011]** Wie in Fig. 1A gezeigt ist, weist ein MIS-NC-FET ein Substrat 100, einen Kanal 101 und einen Source-/Drain-Bereich 102 auf. Der Source-/Drain-Bereich 102 ist entsprechend mit Dotierungsstoffen dotiert. Außerdem sind der Source-/Drain-Bereich und der Kanal (aktive Bereiche) von einer dielektrischen Trennschicht (nicht dargestellt), wie etwa einer flachen Grabenisolation (STI), umgeben, die zum Beispiel aus Siliziumoxid besteht.

**[0012]** Bei einigen Ausführungsformen wird eine Zwischenschicht 103 über der Kanalschicht 101 hergestellt. Bei einigen Ausführungsformen besteht die

Zwischenschicht 103 aus Siliziumoxid und hat eine Dicke in dem Bereich von etwa 0,5 nm bis etwa 1,5 nm.

**[0013]** Über der Zwischenschicht 103 ist eine ferroelektrische dielektrische Schicht 105 angeordnet. Die ferroelektrische dielektrische Schicht 105 weist  $\text{HfO}_2$  auf, das mit einem oder mehreren Elementen aus der Gruppe Si, Zr, La, Y, Gd und Sr dotiert ist. Bei einigen Ausführungsformen weist die ferroelektrische dielektrische Schicht 105  $\text{HfO}_2$  auf, das mit Si und/oder Zr dotiert ist. Bei bestimmten Ausführungsformen weist die ferroelektrische dielektrische Schicht 105  $\text{HfO}_2$  auf, das mit Zr dotiert ist, wie etwa  $\text{HfZrO}_2$  (HF : Zr = 1 : 1). Weiterhin weist bei einigen Ausführungsformen die ferroelektrische dielektrische Schicht 105  $\text{HfO}_2$  auf, das mit Al mit einer Konzentration in dem Bereich von etwa 7 Mol-% bis etwa 11 Mol-% dotiert ist. In der vorliegenden Erfindung weist die ferroelektrische dielektrische Schicht 105 eine orthorhombische Kristallphase auf, die (111)-orientiert ist. Eine (111)-orientierte Schicht bedeutet, dass die Hauptfläche (die Fläche, die parallel zu der Oberfläche eines Substrats ist, auf dem die Schicht hergestellt ist) eine (111)-Kristallfläche hat (d. h., einen Normalvektor, der parallel zu einer  $\langle 111 \rangle$ -Richtung ist). Bei einigen Ausführungsformen ist der orthorhombische Kristall der ferroelektrischen dielektrischen Schicht 105 im Wesentlichen einkristallin, oder die Mehrheit der Kristallphasen umfasst (111)-orientierte Kristalle. Bei anderen Ausführungsformen ist der orthorhombische Kristall der ferroelektrischen dielektrischen Schicht 105 (111)-orientiert polykristallin. Die Identifikation der orthorhombischen Kristallphase und die Identifikation der (111)-Orientierung eines speziellen Kristallkorns können durch Präzessionselektronenbeugung (PED) erfolgen, mit der eine bevorzugte Orientierung jedes Kristallkorns und ein Zwischenschichtabstand von Schichten (d-Abstand) ermittelt werden können. Die Dicke der ferroelektrischen dielektrischen Schicht 105 liegt bei einigen Ausführungsformen in dem Bereich von etwa 1,0 nm bis etwa 5 nm.

**[0014]** Über der ferroelektrischen dielektrischen Schicht 105 ist eine Gate-Elektrodenschicht 106 angeordnet. Die Gate-Elektrodenschicht 106 umfasst eine oder mehrere Metallschichten. Bei einigen Ausführungsformen weist die Gate-Elektrodenschicht 106 Folgendes auf: eine erste leitfähige Schicht (eine Verkappungsschicht), die auf der ferroelektrischen dielektrischen Schicht 105 angeordnet ist; eine zweite Schicht (eine Sperrschicht), die auf der ersten leitfähigen Schicht angeordnet ist; eine dritte leitfähige Schicht (eine Austrittsarbeits-Einstellungsschicht), die auf der zweiten leitfähigen Schicht angeordnet ist; eine vierte leitfähige Schicht (eine Klebstoffschicht), die auf der dritten leitfähigen Schicht angeordnet ist; und/oder eine fünfte leitfähige

Schicht (eine metallische Gate-Hauptschicht), die auf der vierten leitfähigen Schicht angeordnet ist.

**[0015]** Die Verkappungsschicht weist ein Material auf TiN-Basis auf, wie etwa TiN und TiN, das mit einem oder mehreren weiteren Elementen dotiert ist. Bei einigen Ausführungsformen ist die TiN-Schicht mit Si dotiert. Die Sperrschicht weist bei einigen Ausführungsformen TaN auf.

**[0016]** Die Austrittsarbeits-Einstellungsschicht umfasst eine oder mehrere Schichten aus einem leitfähigen Material, wie etwa eine Einfachschicht aus TiN, TaN, TaAlC, TiC, TaC, Co, Al, TiAl, HfTi, TiSi, TaSi oder TiAlC, oder eine Mehrfachschicht aus zwei oder mehr dieser Materialien. Für den n-Kanal-FET werden eine oder mehrere der Verbindungen/Elemente TaN, TaAlC, TiN, TiC, Co, TiAl, HfTi, TiSi und TaSi als die Austrittsarbeits-Einstellungsschicht verwendet, und für den p-Kanal-FET werden eine oder mehrere der Verbindungen TiAlC, Al, TiAl, TaN, TaAlC, TiN, TiC und Co als die Austrittsarbeits-Einstellungsschicht verwendet.

**[0017]** Die Klebstoffschicht weist bei einigen Ausführungsformen Ti, TiN und/oder TaN auf. Die metallische Gate-Hauptschicht weist ein Metall aus der Gruppe W, Cu, Ti, Al und Co auf.

**[0018]** Außerdem werden Seitenwand-Abstandshalter 119 auf gegenüberliegenden Seitenflächen der Gate-Struktur hergestellt, wie in **Fig. 1A** gezeigt ist. Die Seitenwand-Abstandshalter 119 umfassen eine oder mehrere Schichten aus einem Isoliermaterial, wie etwa Siliziumoxid, Siliziumnitrid und Siliziumoxidnitrid.

**[0019]** In **Fig. 1B** werden ähnlich wie in **Fig. 1A** ein Kanal 101 und ein Source-/Drain-Bereich 102 auf einem Substrat 100 hergestellt. Über dem Kanal 101 ist eine erste dielektrische Gate-Schicht 113 angeordnet. Die erste dielektrische Gate-Schicht 113 umfasst bei einigen Ausführungsformen eine oder mehrere dielektrische High-k-Schichten (die z. B. eine Dielektrizitätskonstante haben, die größer als 3,9 ist). Die eine oder die mehreren dielektrischen High-k-Schichten können zum Beispiel eine oder mehrere Schichten aus einem Metalloxid oder einem Silicat von Hf, Al, Zr, einer Kombination davon und Mehrfachschichten davon umfassen. Andere geeignete Materialien sind La, Mg, Ba, Ti, Pb und Zr in der Form von Metalloxiden, Metalllegierungsoxiden und Kombinationen davon. Beispielhafte Materialien sind  $\text{MgO}_x$ , SiN ( $\text{Si}_3\text{N}_4$ ),  $\text{Al}_2\text{O}_3$ ,  $\text{La}_2\text{O}_3$ ,  $\text{Ta}_2\text{O}_3$ ,  $\text{Y}_2\text{O}_3$ ,  $\text{HfO}_2$ ,  $\text{ZrO}_2$ ,  $\text{GeO}_2$ ,  $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ ,  $\text{Ga}_2\text{O}_3$ ,  $\text{Gd}_2\text{O}_3$ ,  $\text{TaSiO}_2$ ,  $\text{TiO}_2$ ,  $\text{HfSiON}$ ,  $\text{YGe}_x\text{O}_y$ ,  $\text{YSi}_x\text{O}_y$  und  $\text{LaAlO}_3$  und dergleichen. Bei bestimmten Ausführungsformen werden  $\text{HfO}_2$ ,  $\text{ZrO}_2$  und/oder  $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$  verwendet. Die Herstellungsverfahren für die erste dielektrische Gate-Schicht 113 sind Moleku-

larstrahlabscheidung (MBD), Atomlagenabscheidung (ALD), physikalische Aufdampfung (PVD), chemische Aufdampfung (CVD) und dergleichen. Bei einigen Ausführungsformen hat die erste dielektrische Gate-Schicht 113 eine Dicke von etwa 1,0 nm bis etwa 5,0 nm.

**[0020]** Bei einigen Ausführungsformen kann vor der Herstellung der ersten dielektrischen Gate-Schicht 113 eine Zwischenschicht (nicht dargestellt) über dem Kanal 101 hergestellt werden, wobei die erste dielektrische Gate-Schicht 113 über der Zwischenschicht hergestellt wird.

**[0021]** Auf der ersten dielektrischen Gate-Schicht 113 ist eine erste Gate-Elektrode 114 als eine Innenelektrode angeordnet. Die erste Gate-Elektrode 114 kann aus einem oder mehreren Metallen bestehen, wie etwa W, Cu, Ti, Ag, Al, TiAl, TiAlN, TaC, TaCN, TaSiN, Mn, Co, Pd, Ni, Re, Ir, Ru, Pt und Zr. Bei einigen Ausführungsformen weist die erste Gate-Elektrode 114 eine oder mehrere der Verbindungen/Elemente TiN, WN, TaN und Ru auf. Es können auch Metalllegierungen, wie etwa Ti-Al, Ru-Ta, Ru-Zr, Pt-Ti, Co-Ni und Ni-Ta, und/oder Metallnitride verwendet werden, wie etwa  $WN_x$ ,  $TiN_x$ ,  $MoN_x$ ,  $TaN_x$  und  $TaSi_xN_y$ . Bei einigen Ausführungsformen wird mindestens eine der Verbindungen/Elemente W, Ti, Ta, TaN und TiN für die erste Gate-Elektrode 114 verwendet. Bei einigen Ausführungsformen weist die erste Gate-Elektrode 114 eine Austrittsarbeits-Einstellungsschicht auf.

**[0022]** Auf der ersten Gate-Elektrode 114 wird eine ferroelektrische dielektrische Schicht 115 hergestellt. Die ferroelektrische dielektrische Schicht 115 gleicht weitgehend der ferroelektrischen dielektrischen Schicht 105.

**[0023]** Weiterhin wird eine zweite Gate-Elektrode 116 als eine Außenelektrode auf der ferroelektrischen dielektrischen Schicht 115 angeordnet. Die zweite Gate-Elektrode 116 kann aus einem Metall bestehen, das aus der Gruppe W, Cu, Ti, Ag, Al, TiAl, TiAlN, TaC, TaCN, TaSiN, Mn, Co, Pd, Ni, Re, Ir, Ru, Pt und Zr gewählt ist. Die zweite Gate-Elektrode 116 besteht aus dem gleichen Material wie, oder einem anderen Material als, die erste Gate-Elektrode 114. Außerdem werden Seitenwand-Abstandshalter 119 auf gegenüberliegenden Seitenflächen der Gate-Struktur hergestellt, wie in **Fig. 1B** gezeigt ist. Die Seitenwand-Abstandshalter 119 umfassen eine oder mehrere Schichten aus einem Isoliermaterial, wie etwa Siliziumoxid, Siliziumnitrid und Siliziumoxidnitrid.

**[0024]** Wie in den **Fig. 1A** und **Fig. 1B** gezeigt ist, haben die ferroelektrischen dielektrischen Schichten 105 und 115 und die erste dielektrische Gate-Schicht 113 im Querschnitt eine U-Form mit einem dünnen

Mittelteil und dicken Seitenteilen in der vertikalen Richtung.

**[0025]** Die **Fig. 2A** bis **Fig. 2D** zeigen verschiedene Stufen der Herstellung einer Struktur mit negativer Kapazität gemäß einer Ausführungsform der vorliegenden Erfindung. Es ist klar, dass weitere Schritte vor, während und nach den in den **Fig. 2A** bis **Fig. 2D** gezeigten Prozessen vorgesehen werden können und einige der nachstehend beschriebenen Schritte bei weiteren Ausführungsformen des Verfahrens ersetzt oder weggelassen werden können. Die Reihenfolge der Schritte/Prozesse ist austauschbar. Darüber hinaus können Materialien, Konfigurationen, Abmessungen und/oder Prozesse, die denen der vorstehenden Ausführungsformen, die unter Bezugnahme auf die **Fig. 1A** und **Fig. 1B** beschrieben worden sind, gleichen oder ähnlich sind, in den folgenden Ausführungsformen verwendet werden, und ihre detaillierte Erläuterung kann entfallen.

**[0026]** Wie in **Fig. 2A** gezeigt ist, wird eine Zwischenschicht 20 auf einem Substrat 10 hergestellt. Bei einigen Ausführungsformen besteht das Substrat 10 aus Folgendem: einem geeigneten elementaren Halbleiter, wie etwa Silizium, Diamant oder Germanium; einem geeigneten Legierungs- oder Verbindungshalbleiter, wie etwa Verbindungshalbleitern der Gruppe IV, z. B. Siliziumgermanium (SiGe), Siliziumcarbid (SiC), Siliziumgermaniumcarbid (SiGeC), GeSn, SiSn und SiGeSn, oder Verbindungshalbleitern der Gruppe III-V, z. B. Galliumarsenid (GaAs), Indiumgalliumarsenid (InGaAs), Indiumarsenid (InAs), Indiumphosphid (InP), Indiumantimonid (InSb), Galliumarsenphosphid (GaAsP) oder Galliumindiumphosphid (GaInP); oder dergleichen. Außerdem kann das Substrat 10 eine Epitaxialschicht aufweisen, die zur Verbesserung der Leistung verspannt sein kann, und/oder es kann eine Silizium-auf-Isolator(SOI)-Struktur haben.

**[0027]** Bei einigen Ausführungsformen besteht die Zwischenschicht 20 aus einem Siliziumoxid, das durch chemische Reaktionen gebildet werden kann. Ein chemisches Siliziumoxid kann zum Beispiel durch vollentsalztes Wasser + Ozon ( $DIO_3$ ),  $NH_4OH + H_2O_2 + H_2O$  (APM) oder mit anderen Verfahren hergestellt werden. Bei anderen Ausführungsformen können ein anderes Material oder andere Prozesse für die Zwischenschicht verwendet werden. Bei einigen Ausführungsformen hat die Zwischenschicht eine Dicke von etwa 0,5 nm bis etwa 1,5 nm.

**[0028]** Dann wird eine dielektrische Schicht 30 über der Zwischenschicht 20 hergestellt. Die dielektrische Schicht 30 weist  $HfO_2$  auf, das mit einem oder mehreren Elementen aus der Gruppe Si, Zr, Al, La, Y, Gd und Sr dotiert ist.

**[0029]** Die Herstellungsverfahren für die dielektrische Schicht 30 sind Molekularstrahlabscheidung (MBD), Atomlagenabscheidung (ALD), physikalische Aufdampfung (PVD), chemische Aufdampfung (CVD) und dergleichen. Bei einigen Ausführungsformen kann mit Zr dotiertes  $\text{HfO}_2$  durch ALD unter Verwendung von  $\text{HfCl}_4$  und  $\text{H}_2\text{O}$  als ein erster Vorläufer und von  $\text{ZrCl}_4$  und  $\text{H}_2\text{O}$  als ein zweiter Vorläufer bei einer Temperatur von etwa  $200\text{ }^\circ\text{C}$  bis  $400\text{ }^\circ\text{C}$  hergestellt werden. Wenn  $\text{HfO}_2$ , das mit Si dotiert ist, hergestellt wird, können  $\text{SiH}_4$ ,  $\text{Si}_2\text{H}_6$  und/oder  $\text{SiH}_2\text{Cl}_2$  oder ein anderes geeignetes Silizium-Quellgas verwendet werden. Die abgeschiedene dielektrische Schicht 30 ist amorph und paraelektrisch. Bei einigen Ausführungsformen hat die dielektrische Schicht 30 eine Dicke von etwa  $1\text{ nm}$  bis etwa  $5\text{ nm}$ .

**[0030]** Nachdem die dielektrische Schicht 30 hergestellt worden ist, wird eine Verkappungsschicht 40 als eine obere Kristallstruktur-Steuerschicht auf der dielektrischen Schicht 30 hergestellt, wie in **Fig. 2B** gezeigt ist. Die Verkappungsschicht 40 weist bei einigen Ausführungsformen ein Material auf TiN-Basis auf, wie etwa TiN und TiN, das mit einem oder mehreren weiteren Elementen dotiert ist. Bei einigen Ausführungsformen ist die TiN-Schicht mit Si dotiert. Die Verkappungsschicht 40 kann durch ALD, CVD oder physikalische Aufdampfung, wie etwa Sputtern, oder mit anderen geeigneten Verfahren hergestellt werden. Die Dicke der Verkappungsschicht 40 liegt bei einigen Ausführungsformen in dem Bereich von etwa  $1\text{ nm}$  bis etwa  $5\text{ nm}$ .

**[0031]** In der vorliegenden Erfindung weist die Verkappungsschicht 40 auf TiN-Basis Kristallkörner auf, die (111)- und/oder (220)-orientiert sind. Die (111)- und (220)-Orientierungen der Verkappungsschicht 40 können das Steuern der Kristallorientierung der  $\text{HfO}_2$ -Schicht auf eine (111)-Orientierung erleichtern. Die Verkappungsschicht 40 auf TiN-Basis kann durch ALD hergestellt werden. Wenn die Schicht auf TiN-Basis in einem einzigen Abscheidungsschritt durch ALD abgeschieden wird, bildet sie eine monoatomare Schicht in einer dicht gepackten Konfiguration [z. B. (111)-orientiert] mit einer hohen Dichte. Bei einigen Ausführungsformen zeigt die monoatomare Schicht eine (200)- und/oder eine (220)-Orientierung mit einer geringeren Dichte. Nach dem Glühen wird im Röntgenbeugungsbild ein (111)-Signal deutlicher und schärfer, auch wenn (200) und/oder (222) zu beobachten sind.

**[0032]** Bei einigen Ausführungsformen kann die Verkappungsschicht 40 auf TiN-Basis unter Verwendung von  $\text{TiCl}_4$  und  $\text{NH}_3$  als Vorläufer und Ar als ein Trägergas bei einer Temperatur von etwa  $350\text{ }^\circ\text{C}$  bis etwa  $450\text{ }^\circ\text{C}$  hergestellt werden. Bei einigen Ausführungsformen wird ein Si-Dotierungsgas, wie etwa  $\text{SiH}_4$ , hinzugefügt. Durch Steuern der ALD-Bedingungen und der Glüh-temperatur kann die Kristall-

orientierung der TiN-basierten Verkappungsschicht 40 auf die (111)-Orientierung gesteuert werden. Bei anderen Ausführungsformen werden TaN und/oder W, die ebenfalls eine gesteuerte Kristallorientierung haben, für die Verkappungsschicht 40 verwendet.

**[0033]** Nachdem die Verkappungsschicht 40 hergestellt worden ist, wird eine Glühung durchgeführt, wie in **Fig. 2C** gezeigt ist. Die Glühung wird bei einer Temperatur in dem Bereich von etwa  $700\text{ }^\circ\text{C}$  bis etwa  $1000\text{ }^\circ\text{C}$  in einer Inertgas-Umgebung, wie etwa  $\text{N}_2$ , Ar und/oder He, durchgeführt. Die Glühdauer liegt bei einigen Ausführungsformen in dem Bereich von etwa  $10\text{ s}$  bis  $1\text{ min}$ . Nach der Glühung wird eine Kühlung durchgeführt. Bei einigen Ausführungsformen wird das Substrat auf unter  $100\text{ }^\circ\text{C}$  oder auf Raumtemperatur (etwa  $25\text{ }^\circ\text{C}$ ) heruntergekühlt. Die Glühung nach der Herstellung der Verkappungsschicht 40 bewirkt, dass die Zr-dotierte  $\text{HfO}_2$ -Struktur von der amorphen Phase in eine tetragonale Hochtemperaturphase, die (111)-orientiert ist, übergeht, und die Verkappungsschicht 40 stellt die mechanische Spannung bereit, die für den Kristallübergang von der tetragonalen Hochtemperaturphase zu der ferroelektrischen orthorhombischen Hochdruckphase während der Kühlung erforderlich ist. Auf Grund der Kristallorientierungen der Verkappungsschicht 40 [d. h. (111) und (220)] kann die (111)-orientierte dotierte  $\text{HfO}_2$ -Schicht 30 erhalten werden.

**[0034]** Beim Betrachten einer TEM-Aufnahme (TEM: Transmissionselektronenmikroskopie) wurde festgestellt, dass die Unregelmäßigkeit der TiN-basierten Verkappungsschicht mit der Korngrenze des Zr-dotierten  $\text{HfO}_2$  direkt darüber übereinstimmt, was darauf hinweist, dass die polykristalline Struktur der TiN-basierten Verkappungsschicht die Wachstumsrichtung und die Orientierung des Zr-dotierten  $\text{HfO}_2$  während des Nachglühens und Kühlens beeinflusst.

**[0035]** Bei einigen Ausführungsformen wird nach der Herstellung der Verkappungsschicht 40 eine amorphe Siliziumschicht auf der Verkappungsschicht 40 hergestellt, und dann wird die Glühung durchgeführt. Nach der Glühung und der Kühlung wird die amorphe Siliziumschicht entfernt.

**[0036]** Nach der Kühlung wird eine Sperrschicht 52, zum Beispiel aus TaN, über der Verkappungsschicht 40 hergestellt, wie in **Fig. 2D** gezeigt ist. Die Sperrschicht 52 kann durch ALD, CVD oder physikalische Aufdampfung, wie etwa Sputtern, oder mit anderen geeigneten Verfahren hergestellt werden. Bei Verwendung der ALD wird diese bei einigen Ausführungsformen bei einer Temperatur in dem Bereich von etwa  $300\text{ }^\circ\text{C}$  bis etwa  $400\text{ }^\circ\text{C}$  durchgeführt. Die Dicke der Sperrschicht 52 liegt bei einigen Ausführungsformen in dem Bereich von etwa  $1\text{ nm}$  bis etwa  $5\text{ nm}$ . Bei einigen Ausführungsformen kann

die Glühung zum Umwandeln der amorphen Struktur in die orthorhombische Struktur nach der Herstellung der Sperrschicht 52 erfolgen.

**[0037]** Weiterhin wird eine Austrittsarbeits-Einstellungsschicht 54 auf der Sperrschicht 52 hergestellt. Bei einigen Ausführungsformen weist die Austrittsarbeits-Einstellungsschicht 54 TiN für einen p-Transistor und TiAl für einen n-Transistor auf. Es können auch andere geeignete metallische Materialien für die Austrittsarbeits-Einstellungsschicht 54 verwendet werden. Bei einigen Ausführungsformen wird außerdem eine TiAl-Schicht auf einer TiN-Austrittsarbeits-Einstellungsschicht für einen p-Transistor hergestellt. Die Austrittsarbeits-Einstellungsschicht 54 kann durch ALD, CVD oder physikalische Aufdampfung, wie etwa Sputtern, oder mit anderen geeigneten Verfahren hergestellt werden. Bei Verwendung der ALD wird diese bei einigen Ausführungsformen bei einer Temperatur in dem Bereich von etwa 300 °C bis etwa 400 °C durchgeführt. Die Dicke der Austrittsarbeits-Einstellungsschicht 54 liegt bei einigen Ausführungsformen in dem Bereich von etwa 1 nm bis etwa 5 nm.

**[0038]** Weiterhin wird eine metallische Gate-Hauptschicht 58 über der Austrittsarbeits-Einstellungsschicht 54 hergestellt. Die metallische Gate-Hauptschicht 58 weist ein oder mehrere Metalle, wie etwa W, Cu, Ti, Al und Co, oder ein anderes geeignetes Material auf. Wenn die metallische Gate-Hauptschicht 58 aus W besteht, wird bei einigen Ausführungsformen eine Klebstoffschicht 56 auf der Austrittsarbeits-Einstellungsschicht 54 hergestellt. Bei einigen Ausführungsformen besteht die Klebstoffschicht 56 aus Ti. Wie in **Fig. 2D** gezeigt ist, kann die Gate-Elektrode 50 Folgendes aufweisen: eine Sperrschicht 52, die auf der Verkappungsschicht 40 angeordnet ist; eine Austrittsarbeits-Einstellungsschicht 54, die auf der Sperrschicht 52 angeordnet ist; eine Klebstoffschicht 56, die auf der Austrittsarbeits-Einstellungsschicht 54 angeordnet ist; und eine metallische Gate-Hauptschicht 58. Bei einigen Ausführungsformen kann die Verkappungsschicht als ein Teil der Gate-Elektrode 50 angesehen werden.

**[0039]** Die **Fig. 3A** bis **Fig. 3F** zeigen verschiedene Stufen der Herstellung einer Struktur mit negativer Kapazität gemäß einer Ausführungsform der vorliegenden Erfindung. Materialien, Konfigurationen, Abmessungen und/oder Prozesse, die denen der vorstehenden Ausführungsformen, die unter Bezugnahme auf die **Fig. 1A** bis **Fig. 2D** beschrieben worden sind, gleichen oder ähnlich sind, können in den folgenden Ausführungsformen verwendet werden, und ihre detaillierte Erläuterung kann entfallen. Bei der Ausführungsform der **Fig. 3A** bis **Fig. 3F** wird statt oder zusätzlich zu der kristallinen Verkappungsschicht 40 eine dielektrische Seed-Schicht 25 als

eine untere Kristallstruktur-Steuerschicht zum Steuern der Kristallorientierung der dotierten HfO<sub>2</sub>-Schicht verwendet.

**[0040]** Wie in **Fig. 3A** gezeigt ist, wird nach der Herstellung der Zwischenschicht 20 auf dem Substrat 10 eine dielektrische Seed-Schicht 25 hergestellt, bevor die dielektrische Schicht 30 hergestellt wird. Bei einigen Ausführungsformen umfasst die dielektrische Seed-Schicht 25 eine Schicht, die leicht eine tetragonale oder orthorhombische Struktur bilden kann. Bei bestimmten Ausführungsformen wird ZrO<sub>2</sub> für die dielektrische Seed-Schicht 25 verwendet. Polykristallines ZrO<sub>2</sub> bildet leicht eine tetragonale Phase, wenn seine Korngröße kleiner als ein kritischer Wert (z. B. 30 nm) ist. Bei Betrachtung des Röntgenbeugungsbilds zeigt eine abgeschiedene und nachgeglühte ZrO<sub>2</sub>-Schicht ein starkes (111)-Signal einer orthorhombischen Phase und ein starkes (011)-Signal einer tetragonalen Phase. Diese Strukturen der ZrO<sub>2</sub>-Schicht sind für das Wachstum einer dotierten HfO<sub>2</sub>-Schicht mit einer orthorhombischen Phase günstig.

**[0041]** Bei einigen Ausführungsformen kann die ZrO<sub>2</sub>-Seed-Schicht durch ALD unter Verwendung von ZrCl<sub>4</sub> und H<sub>2</sub>O als Vorläufer und Ar oder N<sub>2</sub> als Trägergas hergestellt werden. Bei anderen Ausführungsformen werden Tetrakis-(dimethylamino)zirkonium (Zr[N(CH<sub>3</sub>)<sub>2</sub>]<sub>4</sub>) mit Sauerstoff-Plasma zusammen mit Ar oder N<sub>2</sub> als Trägergas verwendet. Die ALD wird bei einigen Ausführungsformen bei einer Temperatur in dem Bereich von etwa 250 °C bis 300 °C durchgeführt. Die Dicke der dielektrischen Seed-Schicht 25 liegt bei einigen Ausführungsformen in dem Bereich von etwa 0,5 nm bis etwa 2,0 nm und bei anderen Ausführungsformen in dem Bereich von etwa 0,5 nm bis etwa 1,0 nm.

**[0042]** Nachdem die dielektrische Seed-Schicht 25 hergestellt worden ist, wird die dielektrische Schicht 30, zum Beispiel eine Zr-dotierte HfO<sub>2</sub>-Schicht, auf der dielektrischen Seed-Schicht 25 hergestellt, wie in **Fig. 3A** gezeigt ist. Dann wird ähnlich wie in **Fig. 2B** eine Verkappungsschicht 40 auf der dielektrischen Schicht 30 hergestellt. Die Verkappungsschicht 40 kann eine Schicht mit einer gesteuerten Kristallorientierung sein, die vorstehend beschrieben worden ist, oder sie kann eine polykristalline oder amorphe Schicht sein.

**[0043]** Nachdem die Verkappungsschicht 40 hergestellt worden ist, wird ähnlich wie bei den unter Bezugnahme auf **Fig. 2C** erläuterten Schritten eine Glühung durchgeführt, wie in **Fig. 3C** gezeigt ist. Nach der Glühung (und Kühlung) wird die dielektrische Schicht 30 zu einer (111)-orientierten Kristallschicht. Die (111)-orientierte HfO<sub>2</sub>-Schicht kann auf Grund der dielektrischen Seed-Schicht 25 erhalten werden. Nach der Glühung (und Kühlung) wird die

dielektrische Seed-Schicht 25 ebenfalls zu einer orthorhombischen (111)-orientierten  $ZrO_2$ -Schicht. Außerdem wird ähnlich wie bei den Schritten, die unter Bezugnahme auf **Fig. 2D** erläutert worden sind, eine Gate-Elektrode 50 hergestellt, wie in **Fig. 3D** gezeigt ist. Die Identifikation der orthorhombischen Kristallphase und die Identifikation der (111)-Orientierung der dotierten  $HfO_2$ -Schicht 30 können anhand von Röntgenbeugungsbildern erfolgen. Die Identifikation der orthorhombischen Kristallphase und die Identifikation der (111)-Orientierung eines speziellen Kristallkorns können durch Präzessionslektronenbeugung (PED) erfolgen, mit der eine bevorzugte Orientierung jedes Kristallkorns und ein Zwischenschichtabstand von Schichten (d-Abstand) ermittelt werden können.

**[0044]** Die **Fig. 3E** und **Fig. 3F** zeigen verschiedene Stufen der Herstellung einer Struktur mit negativer Kapazität gemäß einer weiteren Ausführungsform der vorliegenden Erfindung. Bei dieser Ausführungsform wird keine einzelne dotierte  $HfO_2$ -Schicht 30 hergestellt, sondern die dielektrische Schicht umfasst eine oder mehrere abwechselnd aufeinander gestapelte  $HfO_2$ -Schichten 30A und eine oder mehrere  $ZrO_2$ -Schichten 30B, die über der dielektrischen Seed-Schicht 25 hergestellt sind, wie in **Fig. 3E** gezeigt ist.

**[0045]** Die Wechselstruktur aus einer oder mehreren  $HfO_2$ -Schichten 30A und einer oder mehreren  $ZrO_2$ -Schichten 30B kann durch ALD hergestellt werden. Die Schichten können jeweils monoatomare oder mehratomare Schichten (z. B. zwei oder drei monoatomare Schichten) sein. **Fig. 3E** zeigt zwar vier  $HfO_2$ -Schichten 30A und vier  $ZrO_2$ -Schichten 30B, aber die Anzahl der Schichten ist nicht auf vier beschränkt, und sie kann zwei, drei oder fünf oder größer sein.

**[0046]** Nach der Glühung und Kühlung wird die Stapelschicht aus  $HfO_2$ -Schichten 30A und  $ZrO_2$ -Schichten 30B zu einer Einfachschicht aus Zr-dotiertem  $HfO_2$  ( $HfZrO_2$ ), die eine (111)-orientierte orthorhombische Struktur hat, was durch PED bestimmt wird, wie in **Fig. 3F** gezeigt ist. Bei einigen Ausführungsformen wird zumindest ein Teil der dielektrischen Seed-Schicht 25 zu der Einfachschicht aus Zr-dotiertem  $HfO_2$  aufgezehrt.

**[0047]** Die **Fig. 4A** bis **Fig. 4D** zeigen verschiedene Atomstrukturen von  $HfO_2$ . **Fig. 4A** zeigt die amorphe Struktur des abgeschiedenen dotierten  $HfO_2$ . Durch Zuführen von Wärme geht die amorphe Struktur in eine tetragonale Kristallstruktur (Phase) über, wie in **Fig. 4B** gezeigt ist. Wenn das erwärmte  $HfO_2$ , das eine tetragonale Kristallstruktur hat, mit einem Verkappungsmetall darauf abgekühlt wird, nimmt das  $HfO_2$  eine orthorhombische Kristallstruktur (Phase) an, wie in **Fig. 4C** gezeigt ist. Wenn das erwärmte

$HfO_2$ , das eine tetragonale Kristallstruktur hat, ohne ein Verkappungsmetall darauf abgekühlt wird, nimmt das  $HfO_2$  eine Mischung aus einer monolithischen Kristallstruktur (links) und einer tetragonalen Kristallstruktur (rechts) an, wie in **Fig. 4D** gezeigt ist. Das orthorhombische  $HfO_2$  hat eine nicht zentrosymmetrische Struktur, und daher kommt es zu einer spontanen Polarisierung durch Auslenken von vier Sauerstoff-Ionen. Dadurch können mit dem orthorhombischen  $HfO_2$  bessere ferroelektrische Eigenschaften erzielt werden.

**[0048]** **Fig. 4E** zeigt Messergebnisse der Röntgenbeugung. Die Proben sind 3 nm dicke Proben von dotiertem  $HfO_2$  nach der Abscheidung und 3 nm dicke Proben von dotiertem  $HfO_2$  nach der Glühung mit einer Verkappungsschicht. Das dotierte  $HfO_2$  nach der Abscheidung zeigt ein breites Spektrum, das auf eine amorphe Struktur hinweist. Im Gegensatz dazu zeigt das dotierte  $HfO_2$  nach der Glühung mit einer Verkappungsschicht Peaks, die der orthorhombischen Phase entsprechen.

**[0049]** Die **Fig. 5** und **Fig. 6** zeigen Messergebnisse der Elektronenenergieverlustspektroskopie (EELS). Wie vorstehend dargelegt worden ist, werden nach der Umwandlung der dielektrischen Schicht 30 in eine orthorhombische Phase weitere Schichten mit mehreren thermischen Prozessen hergestellt. Die Dotierungselemente in  $HfO_2$ , wie etwa ein Halbleitermaterial (Si) und Metallelemente (Zr, Al, La, Y, Gd und/oder Sr), die während des ALD-Aufwachsens durch In-situ-Dotierung eingebracht werden, werden im Wesentlichen gleichmäßig in der dotierten  $HfO_2$ -Schicht verteilt. Wie in den **Fig. 5** und **Fig. 6** gezeigt ist, diffundiert Ti, das aus der Verkappungsschicht 40 (einem Material auf TiN-Basis) stammt, in die  $HfZrO_2$ -Schicht ein. Wenn eine TiAl-Schicht als eine Austrittsarbeits-Einstellungsschicht 54 für einen n-Transistor verwendet wird, kann außerdem Al in die  $HfZrO_2$ -Schicht eindiffundieren, wie in **Fig. 5** gezeigt ist. Bei einigen Ausführungsformen weist die  $HfZrO_2$ -Schicht Al in einer Menge von 5 bis 7 Mol-% auf. Wenn eine TiN-Schicht als eine Austrittsarbeits-Einstellungsschicht 54 für einen p-Transistor verwendet wird, kann außerdem Ti, das aus der TiN-Austrittsarbeits-Einstellungsschicht stammt, in die  $HfZrO_2$ -Schicht eindiffundieren, wie in **Fig. 6** gezeigt ist. Bei einem p-Transistor kann Al nicht in die  $HfZrO_2$ -Schicht eindiffundieren (unterhalb der Nachweisgrenze), auch wenn eine TiAl-Schicht auf der TiN-Ablöseschicht hergestellt ist. Bei einigen Ausführungsformen weist die  $HfZrO_2$ -Schicht Ti in einer Menge von 2 bis 5 Mol-% auf.

**[0050]** Bei einigen Ausführungsformen besteht die ferroelektrische  $HfO_2$ -Schicht aus einer orthorhombischen Kristallphase. Bei anderen Ausführungsformen besteht die ferroelektrische  $HfO_2$ -Schicht im Wesentlichen aus einer orthorhombischen Kristall-

phase. In diesem Fall macht die orthorhombische Kristallphase etwa 80 % oder mehr der ferroelektrischen  $\text{HfO}_2$ -Schicht aus, und die übrigen Phasen können amorph, monolithisch und/oder tetragonal sein.

**[0051]** Die **Fig. 7A** bis **Fig. 13C** zeigen verschiedene Stufen der Herstellung eines NC-FET gemäß einer Ausführungsform der vorliegenden Erfindung. Es ist klar, dass weitere Schritte vor, während und nach den in den **Fig. 7A** bis **Fig. 13C** gezeigten Prozessen vorgesehen werden können und einige der nachstehend beschriebenen Schritte bei weiteren Ausführungsformen des Verfahrens ersetzt oder weggelassen werden können. Die Reihenfolge der Schritte/Prozesse ist austauschbar. Darüber hinaus können Materialien, Konfigurationen, Abmessungen und/oder Prozesse, die denen der vorstehenden Ausführungsformen, die unter Bezugnahme auf die **Fig. 1A** und **Fig. 3F** beschrieben worden sind, gleichen oder ähnlich sind, in den folgenden Ausführungsformen verwendet werden, und ihre detaillierte Erläuterung kann entfallen.

**[0052]** **Fig. 7A** ist eine perspektivische Darstellung, und **Fig. 7B** ist eine Schnittansicht entlang der x-Richtung, und sie zeigen eine der verschiedenen Stufen der Herstellung eines NC-FET gemäß einer Ausführungsform der vorliegenden Erfindung. Wie in den **Fig. 7A** und **Fig. 7B** gezeigt ist, wird ein Substrat 200 bereitgestellt. Bei einigen Ausführungsformen besteht das Substrat 200 aus Folgendem: einem geeigneten elementaren Halbleiter, wie etwa Silizium, Diamant oder Germanium; einem geeigneten Legierungs- oder Verbindungshalbleiter, wie etwa Verbindungshalbleitern der Gruppe IV, z. B. Siliziumgermanium (SiGe), Siliziumcarbid (SiC), Siliziumgermaniumcarbid (SiGeC), GeSn, SiSn und SiGeSn, oder Verbindungshalbleitern der Gruppe III-V, z. B. Galliumarsenid (GaAs), Indiumgalliumarsenid (InGaAs), Indiumarsenid (InAs), Indiumphosphid (InP), Indiumantimonid (InSb), Galliumarsenphosphid (GaAsP) oder Galliumindiumphosphid (GaInP); oder dergleichen. Außerdem kann das Substrat 200 eine Epitaxialschicht aufweisen, die zur Verbesserung der Leistung verspannt sein kann, und/oder es kann eine Silizium-auf-Isolator(SOI)-Struktur haben. Der obere Teil des Substrat 200 kann Mehrfachschichten aus Si und SiGe umfassen.

**[0053]** **Fig. 7C** ist eine perspektivische Darstellung, und **Fig. 7B** ist eine Schnittansicht entlang der x-Richtung, und sie zeigen verschiedene Stufen der Herstellung eines NC-FET gemäß einer Ausführungsform der vorliegenden Erfindung. Wie in den **Fig. 7C** und **Fig. 7D** gezeigt ist, werden Finnenstrukturen 210 durch Ätzen des Substrats 200 und Herstellen einer dielektrischen Trennschicht 220 hergestellt. Die Finnenstrukturen 210 können mit einem geeigneten Verfahren strukturiert werden. Zum Bei-

spiel können die Finnenstrukturen 210 mit einem oder mehreren fotolithografischen Prozessen, wie etwa Doppelstrukturierung oder Mehrfachstrukturierung, strukturiert werden. Im Allgemeinen vereinen Doppelstrukturierungs- oder Mehrfachstrukturierungsprozesse fotolithografische und selbstjustierte Prozesse, mit denen Strukturen erzeugt werden können, die zum Beispiel Rasterabstände haben, die kleiner als die sind, die andernfalls mit einem einzelnen direkten fotolithografischen Prozess erzielt werden können. Zum Beispiel wird bei einer Ausführungsform eine Opferschicht über einem Substrat hergestellt, die dann mit einem fotolithografischen Prozess strukturiert wird. Entlang der strukturierten Opferschicht werden mit einem selbstjustierten Prozess Abstandshalter hergestellt. Dann wird die Opferschicht entfernt, und die verbliebenen Abstandshalter, oder Dorne, können dann zum Strukturieren der Finnenstrukturen 210 verwendet werden. Bei einigen Ausführungsformen liegt die Breite der Finnenstrukturen 210 in dem Bereich von etwa 4 nm bis etwa 10 nm, und der Rasterabstand der Finnenstrukturen 210 liegt in dem Bereich von etwa 10 nm bis etwa 50 nm.

**[0054]** Dann wird eine isolierende Materialschicht 220 über den Finnenstrukturen hergestellt, sodass die Finnenstrukturen eingebettet werden. Die isolierende Materialschicht 220 kann aus den folgenden Materialien bestehen: geeigneten dielektrischen Materialien, wie etwa Siliziumoxid, Siliziumnitrid, Siliziumoxidnitrid oder Fluorsilicatglas (FSG); Low-k-Dielektrika, wie etwa mit Kohlenstoff dotierten Oxiden; Extrem-Low-k-Dielektrika, wie etwa mit porösem Kohlenstoff dotiertem Siliziumdioxid; Polymeren, wie etwa Polyimid; Kombinationen davon oder dergleichen. Bei einigen Ausführungsformen wird die isolierende Materialschicht 220 mit einem Verfahren wie CVD, fließfähige CVD (FCVD) oder Spin-on-Glass-Prozess hergestellt, aber es kann jedes geeignete Verfahren verwendet werden. Anschließend werden Teile der isolierenden Materialschicht 220, die über die Oberseiten der Finnenstrukturen 210 verlaufen, zum Beispiel mit einem Ätzprozess, einer chemischmechanische Polierung (CMP) oder dergleichen entfernt, wie in den **Fig. 7C** und **Fig. 7D** gezeigt ist.

**[0055]** **Fig. 8A** ist eine perspektivische Darstellung, und **Fig. 8B** ist eine Schnittansicht entlang der x-Richtung, und sie zeigen verschiedene Stufen der Herstellung gemäß einer Ausführungsform der vorliegenden Erfindung. Wie in den **Fig. 8A** und **Fig. 8B** gezeigt ist, wird die isolierende Materialschicht 220 ausgespart, sodass die oberen Teile der Finnenstrukturen 210 freigelegt werden. Die ausgesparte isolierende Materialschicht 220 wird als eine dielektrische Trennschicht oder eine flache Grabenisolation (STI) bezeichnet. Die Höhe der freigelegten Finnenstrukturen 210, die von der Oberseite der

dielektrischen Trennschicht 220 gemessen wird, liegt bei einigen Ausführungsformen in dem Bereich von etwa 30 nm bis etwa 100 nm.

**[0056]** Fig. 8C ist eine perspektivische Darstellung, und Fig. 8D ist eine Schnittansicht entlang der x-Richtung, und sie zeigen verschiedene Stufen der Herstellung gemäß einer Ausführungsform der vorliegenden Erfindung. Wie in den Fig. 8C und Fig. 8D gezeigt ist, wird anschließend eine dielektrische Dummy-Gate-Schicht 215 über den oberen Teilen der Finnenstruktur 210 hergestellt. Die dielektrische Dummy-Gate-Schicht 215 ist bei einigen Ausführungsformen eine Siliziumoxidschicht, die durch CVD oder ALD hergestellt wird. Die Dicke der dielektrischen Dummy-Gate-Schicht 215 liegt bei einigen Ausführungsformen in dem Bereich von etwa 1 nm bis etwa 3 nm.

**[0057]** Dann wird eine Polysiliziumschicht 230 über der dielektrischen Dummy-Gate-Schicht 215 hergestellt, und auf der Polysiliziumschicht 230 wird eine Hartmaskenschicht hergestellt. Die Hartmaskenschicht wird mit geeigneten lithografischen und Ätzprozessen zu einer Hartmaskenstruktur 235 strukturiert, wie in den Fig. 9A bis Fig. 9C gezeigt ist. Die Hartmaskenstruktur 235 umfasst bei einigen Ausführungsformen eine oder mehrere Schichten aus einem Isoliermaterial, wie etwa Siliziumoxid und Siliziumnitrid.

**[0058]** Fig. 9A ist eine perspektivische Darstellung, Fig. 9B ist eine Schnittansicht entlang der y-Richtung, und Fig. 9C ist eine Schnittansicht entlang der x-Richtung, und sie zeigen verschiedene Stufen der Herstellung gemäß einer Ausführungsform der vorliegenden Erfindung. Wie in den Fig. 9A bis Fig. 9C gezeigt ist, wird unter Verwendung der Hartmaskenstruktur 235 als eine Ätzmaske die Polysiliziumschicht 230 zu Dummy-Gate-Elektroden 230 strukturiert. Bei einigen Ausführungsformen liegt die Breite der Dummy-Gate-Elektroden 230 in dem Bereich von etwa 8 nm bis etwa 20 nm.

**[0059]** Fig. 10A ist eine perspektivische Darstellung, Fig. 10B ist eine Schnittansicht entlang der y-Richtung, und Fig. 10C ist eine Schnittansicht entlang der x-Richtung, und sie zeigen verschiedene Stufen der Herstellung gemäß einer Ausführungsform der vorliegenden Erfindung. Auf gegenüberliegenden Seitenflächen der Dummy-Gate-Elektroden 230 werden Seitenwand-Abstandshalter 240 hergestellt. Die Seitenwand-Abstandshalter 240 umfassen eine oder mehrere Schichten aus einem Isoliermaterial, wie etwa Siliziumoxid, Siliziumnitrid und Siliziumoxidnitrid. Außerdem werden epitaxiale Source-/Drain-Schichten 250 über Source-/Drain-Bereichen der Finnenstrukturen 210 hergestellt. Die epitaxialen Source-/Drain-Schichten 250 weisen SiP, SiAs, SiGeP, SiGeAs, GeP, GeAs und/oder SiGeSn oder

andere geeignete Materialien für einen n-FET und SiB, SiGa, SiGeB, SiGeGa, GeB, GeGa und/oder SiGeSn oder andere geeignete Materialien für einen p-FET auf. Die Dicke der epitaxialen Source-/Drain-Schichten 250 liegt bei einigen Ausführungsformen in dem Bereich von etwa 3 nm bis etwa 8 nm. Bei einigen Ausführungsformen wird eine Legierungsschicht, wie etwa eine Silizidschicht, über den epitaxialen Source-/Drain-Schichten 250 hergestellt.

**[0060]** Fig. 11A ist eine perspektivische Darstellung, Fig. 11B ist eine Schnittansicht entlang der y-Richtung, und Fig. 11C ist eine Schnittansicht entlang der x-Richtung, und sie zeigen verschiedene Stufen der Herstellung gemäß einer Ausführungsform der vorliegenden Erfindung. Anschließend werden eine Kontakt-Ätzstoppschicht (CESL) 245 und eine dielektrische Zwischenschicht 260 hergestellt, und es wird ein Planarisierungsprozess, wie etwa eine CMP, an freigelegten Oberseiten der Dummy-Gate-Elektroden 230 durchgeführt, wie in den Fig. 11A bis Fig. 11C gezeigt ist.

**[0061]** Bei einigen Ausführungsformen besteht die CESL 245 aus einem Material auf Siliziumnitrid-Basis, wie etwa SiN und SiON, und die dielektrische Zwischenschicht 260 besteht aus einem Material auf Siliziumoxid-Basis, wie etwa SiO<sub>2</sub> oder einem Low-k-Material. Bei einigen Ausführungsformen wird nach der Herstellung der dielektrischen Zwischenschicht eine Glühung durchgeführt.

**[0062]** Fig. 12A ist eine perspektivische Darstellung, Fig. 12B ist eine Schnittansicht entlang der y-Richtung, und Fig. 12C ist eine Schnittansicht entlang der x-Richtung, und sie zeigen verschiedene Stufen der Herstellung gemäß einer Ausführungsform der vorliegenden Erfindung. Dann werden die Dummy-Gate-Elektroden 230 und die dielektrische Dummy-Gate-Schicht 215 durch Trocken- und/oder Nassätzung entfernt, sodass Gate-Zwischenräume 265 entstehen, wie in den Fig. 12A bis Fig. 12C gezeigt ist. Außerdem werden in den Gate-Zwischenräumen 265 eine Zwischenschicht 271 und eine ferroelektrische dielektrische Schicht 270 hergestellt, wie in den Fig. 12A bis Fig. 12C gezeigt ist. Bei einigen Ausführungsformen wird eine dielektrische Seed-Schicht (nicht dargestellt) zwischen der Zwischenschicht 271 und der dielektrischen Schicht 270 hergestellt. Wie vorstehend dargelegt worden ist, besteht die Zwischenschicht 271 aus Siliziumoxid, die dielektrische Seed-Schicht besteht aus ZrO<sub>2</sub>, und die dielektrische Schicht 270 ist eine Zr-dotierte HfO<sub>2</sub>-Schicht.

**[0063]** Fig. 13A ist eine perspektivische Darstellung, Fig. 13B ist eine Schnittansicht entlang der y-Richtung, und Fig. 13C ist eine Schnittansicht entlang der x-Richtung, und sie zeigen verschiedene Stufen der Herstellung gemäß einer Ausführungsform der vorliegenden Erfindung. Dann wird ähnlich wie bei

den Schritten, die unter Bezugnahme auf die **Fig. 2A** bis **Fig. 3F** beschrieben worden sind, eine Verkappungsschicht 281 (siehe **Fig. 13D**) hergestellt, und eine Glühung wird durchgeführt, um die amorphe  $\text{HfO}_2$ -Schicht in eine orthorhombische  $\text{HfO}_2$ -Schicht umzuwandeln. Außerdem wird eine Gate-Elektrode 280 hergestellt, wie in den **Fig. 13A** bis **Fig. 13C** gezeigt ist. Die Verkappungsschicht und die Gate-Elektrode können mit einem geeigneten Verfahren wie ALD CVD, PVD, Plattierung oder Kombinationen davon hergestellt werden. Nachdem die leitfähigen Materialien für die Gate-Elektrode abgeschieden worden sind, wird eine Planarisierung, wie etwa eine CMP, durchgeführt, um überschüssige Materialien über der dielektrischen Zwischenschicht 260 zu entfernen.

**[0064]** **Fig. 13D** zeigt eine vergrößerte Schnittansicht eines oberen Teils der Finnenstruktur von **Fig. 13C**. Bei einigen Ausführungsformen ist das Siliziumsubstrat 200 ein (100)-Substrat, und daher hat die Oberseite der Finnenstruktur 210 eine (001)-Orientierung und die Seitenflächen der Finnenstruktur 210 haben eine (110)-Orientierung. Eine Zwischenschicht 271 wird auf der Finnenstruktur 210 hergestellt, eine ferroelektrische dielektrische Schicht 270 wird auf der Zwischenschicht 271 hergestellt, und eine Verkappungsschicht 281, die der Verkappungsschicht 40 der **Fig. 2A** bis **Fig. 3F** ähnlich ist, wird auf der ferroelektrischen Schicht 270 hergestellt.

**[0065]** Wie vorstehend dargelegt worden ist, ist die ferroelektrische dielektrische Schicht 270 zum Beispiel eine Zr-dotierte  $\text{HfO}_2$ -Schicht. Die Polarisation  $P$  der Zr-dotierten  $\text{HfO}_2$ -Schicht ist parallel zu der  $c$ -Achse der orthorhombischen Struktur. Wenn die Zr-dotierte  $\text{HfO}_2$ -Schicht (111)-orientiert ist, ist die Gesamtpolarisation  $P/\sqrt{3}$ .

**[0066]** Da in der vorliegenden Erfindung die Verkappungsschicht 40/281 und/oder die dielektrische Seed-Schicht 25 zum Steuern der Kristallorientierung der Zr-dotierten  $\text{HfO}_2$ -Schicht verwendet werden, ist die Korn-Orientierung des Zr-dotierten  $\text{HfO}_2$ , das auf der Oberseite und den Seitenflächen der Finnenstruktur 210 abgeschieden wird, (111), wie in **Fig. 13D** gezeigt ist. Die Identifikation der orthorhombischen Kristallphase und die Identifikation der (111)-Orientierung eines speziellen Kristallkorns können durch Präzessionselektronenbeugung (PED) erfolgen. Daher kann der größte ferroelektrische Effekt dadurch erzielt werden, dass die Polarisation des dotierten  $\text{HfO}_2$  so gesteuert wird, dass sie parallel zu dem äußeren elektrischen Feld von der Gate-Elektrode 280 für alle Richtungen ist.

**[0067]** Nach der Herstellung der Gate-Strukturen werden weitere CMOS-Prozesse durchgeführt, um verschiedene Strukturelemente herzustellen, wie etwa weitere dielektrische Zwischenschichten, Kon-

takte/Durchkontaktierungen, metallische Verbindungsschichten und Passivierungsschichten, usw.

**[0068]** Die **Fig. 14A** bis **Fig. 14D** zeigen Herstellungsschritte für einen NC-FET gemäß einer weiteren Ausführungsform der vorliegenden Erfindung. In den verschiedenen Darstellungen und erläuternden Ausführungsformen werden ähnliche Bezugssymbole zum Bezeichnen von ähnlichen Elementen verwendet. Es ist klar, dass weitere Schritte vor, während und nach den in den **Fig. 14A** bis **Fig. 15D** gezeigten Prozessen vorgesehen werden können und einige der nachstehend beschriebenen Schritte bei weiteren Ausführungsformen des Verfahrens ersetzt oder weggelassen werden können. Die Reihenfolge der Schritte/Prozesse ist austauschbar. Darüber hinaus können Materialien, Konfigurationen, Abmessungen und/oder Prozesse, die denen der vorstehenden Ausführungsformen, die unter Bezugnahme auf die **Fig. 1A**, **Fig. 2A** bis **Fig. 3F** und **Fig. 7A** bis **Fig. 13C** beschrieben worden sind, gleichen oder ähnlich sind, in den folgenden Ausführungsformen verwendet werden, und ihre detaillierte Erläuterung kann entfallen.

**[0069]** Wie in **Fig. 14A** gezeigt ist, werden Finnenstrukturen 320 unter Verwendung einer Hartmaskenstruktur 312 strukturiert, und es entsteht eine dielektrische Trennschicht 325. Dann werden eine dielektrische Dummy-Gate-Schicht (nicht dargestellt) und eine Polysiliziumschicht 332 über den Finnenstrukturen 320 hergestellt, und auf der Polysiliziumschicht 332 wird eine Hartmaskenstruktur 334 hergestellt, wie in **Fig. 14B** gezeigt ist. Die Hartmaskenstruktur 334 umfasst eine oder mehrere Schichten aus einem Isoliermaterial, wie etwa Siliziumoxid und Siliziumnitrid.

**[0070]** Unter Verwendung der Hartmaskenstruktur 334 als eine Ätzmaske wird die Polysiliziumschicht 332 zu einer Dummy-Gate-Elektrode 332 strukturiert. Außerdem werden auf gegenüberliegenden Seitenflächen der Dummy-Gate-Elektrode 332 Seitenwand-Abstandshalter 336 hergestellt, und es entsteht eine dielektrische Zwischenschicht 342, wie in **Fig. 14C** gezeigt ist. Die Seitenwand-Abstandshalter 336 umfassen eine oder mehrere Schichten aus einem Isoliermaterial, wie etwa Siliziumoxid, Siliziumnitrid und Siliziumoxidnitrid, und die dielektrische Zwischenschicht 342 umfasst eine oder mehrere Schichten aus einem Isoliermaterial, wie etwa einem Material auf Siliziumoxid-Basis, wie etwa Siliziumdioxid ( $\text{SiO}_2$ ) und  $\text{SiON}$ . Das Material der Seitenwand-Abstandshalter 336 und das Material der dielektrischen Zwischenschicht 342 sind voneinander verschieden, sodass diese Schichten jeweils selektiv geätzt werden können. Bei einer Ausführungsform bestehen die Seitenwand-Abstandshalter 336 aus  $\text{SiOCN}$ ,  $\text{SiCN}$  oder  $\text{SiON}$ , und die dielektrische Zwischenschicht 342 besteht aus  $\text{SiO}_2$ .

**[0071]** Dann werden die Dummy-Gate-Elektrode 332 und die dielektrische Dummy-Gate-Schicht durch Trocken- und/oder Nassätzung entfernt, sodass ein Gate-Zwischenraum 333 entsteht, wie in **Fig. 14D** gezeigt ist.

**[0072]** In dem Gate-Zwischenraum 333 werden eine erste dielektrische Gate-Schicht 303 und eine erste Gate-Elektrode 304 hergestellt, wie in den **Fig. 15A** und **Fig. 15B** gezeigt ist. Nachdem ein leitfähiges Material über der ersten dielektrischen Gate-Schicht 303 hergestellt worden ist, wird eine Planarisierung, wie etwa eine CMP, durchgeführt, um die erste Gate-Elektrode 304 herzustellen. Die erste dielektrische Gate-Schicht 303 besteht zum Beispiel aus einem dielektrischen High-k-Material, und die erste Gate-Elektrode 304 besteht zum Beispiel aus einem leitfähigen Material, wie etwa TiN oder einem anderen Metallmaterial. Außerdem wird eine Rückätzung durchgeführt, um die Höhe der ersten dielektrischen Gate-Schicht 303 und der ersten Gate-Elektrode 304 zu reduzieren. Das leitfähige Material kann mit einem geeigneten Verfahren wie ALD, CVD, PVD, Plattierung oder Kombinationen davon abgeschieden werden.

**[0073]** Dann werden eine ferroelektrische dielektrische Schicht 305 und eine zweite Gate-Elektrode 306 in dem Gate-Zwischenraum 333 hergestellt, wie in den **Fig. 15C** und **Fig. 15D** gezeigt ist. Die ferroelektrische dielektrische Schicht 305 wird mit den Schritten hergestellt, die unter Bezugnahme auf die **Fig. 2A** bis **Fig. 3F** beschrieben worden sind. Über der ferroelektrischen dielektrischen Schicht 305 wird ein leitfähiges Material abgeschieden. Nachdem das leitfähige Material über der ferroelektrischen dielektrischen Schicht 305 abgeschieden worden ist, wird eine Planarisierung, wie etwa eine CMP, durchgeführt, um die zweite Gate-Elektrode 306 herzustellen, wie in den **Fig. 15C** und **Fig. 15D** gezeigt ist.

**[0074]** Nach der Herstellung der Gate-Strukturen werden weitere CMOS-Prozesse durchgeführt, um verschiedene Strukturelemente herzustellen, wie etwa weitere dielektrische Zwischenschichten, Kontakte/Durchkontaktierungen, metallische Verbindungsschichten und Passivierungsschichten, usw.

**[0075]** Weitere Verfahren und Strukturen zur Herstellung von MIMIS-NC-FETs werden in den US-Patentanmeldungen Nr. 15/476.221 und 15/447.479 beschrieben, die durch Bezugnahme aufgenommen sind.

**[0076]** Es dürfte klar sein, dass hier nicht unbedingt alle Vorzüge erörtert worden sind, kein spezieller Vorzug für alle Ausführungsformen oder Beispiele erforderlich ist und weitere Ausführungsformen oder Beispiele andere Vorzüge bieten können.

**[0077]** Zum Beispiel wird in der vorliegenden Erfindung dotiertes HfO<sub>2</sub> mit einer orthorhombischen Kristallphase für einen NC-FET verwendet. Durch Verwenden einer metallischen Verkappungsschicht bei der Glühung kann eine amorphe Struktur der abgeschiedenen HfO<sub>2</sub>-Schicht effektiv in eine orthorhombische Kristallstruktur umgewandelt werden. Im Gegensatz zu anderen ferroelektrischen Perovskitschichten (wie etwa PZT oder BaTiO<sub>3</sub>) kann das hier beschriebene ferroelektrische HfO<sub>2</sub> die Polarisierung ohne Qualitätsminderung bis auf 3 nm beibehalten.

**[0078]** Gemäß einem Aspekt der vorliegenden Erfindung wird bei einem Verfahren zur Herstellung einer Struktur mit negativer Kapazität eine dielektrische Schicht über einem Substrat hergestellt. Über der dielektrischen Schicht wird eine erste Metallschicht hergestellt. Nachdem die erste Metallschicht hergestellt worden ist, wird ein Glühprozess durchgeführt, an den sich ein Abkühlprozess anschließt. Über der dielektrischen Schicht wird eine zweite Metallschicht hergestellt. Nach dem Abkühlprozess wird die dielektrische Schicht zu einer ferroelektrischen dielektrischen Schicht, die eine orthorhombische Kristallphase aufweist, und die erste Metallschicht weist eine (111)-orientierte Kristallschicht auf. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen weist die ferroelektrische dielektrische Schicht HfO<sub>2</sub> auf, das mit einem oder mehreren Elementen aus der Gruppe Si, Zr, Al, La, Y, Gd und Sr dotiert ist. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen weist die ferroelektrische dielektrische Schicht HfO<sub>2</sub>, das mit Zr dotiert ist, und eine (111)-orientierte Kristallschicht auf. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen wird der Glühprozess bei einer Temperatur in dem Bereich von 700 °C bis 1000 °C in einer Inertgas-Umgebung durchgeführt. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen wird die zweite Metallschicht nach dem Abkühlprozess hergestellt. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen weist die erste Metallschicht TiN auf, das mit Si dotiert ist. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen ist die zweite Metallschicht TaN. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen umfasst das Herstellen einer dielektrischen Schicht das abwechselnde Herstellen einer oder mehrerer HfO<sub>2</sub>-Schichten und einer oder mehrerer ZrO<sub>2</sub>-Schichten über einem Substrat. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen ist die hergestellte dielektrische Schicht amorph.

**[0079]** Gemäß einem weiteren Aspekt der vorliegenden Erfindung wird bei einem Verfahren zur Herstellung einer Struktur mit negativer Kapazität eine

dielektrische Seed-Schicht über einem Substrat hergestellt. Über der dielektrischen Seed-Schicht wird eine dielektrische Schicht hergestellt. Über der dielektrischen Schicht wird eine erste Metallschicht hergestellt. Nachdem die erste Metallschicht hergestellt worden ist, wird ein Glühprozess durchgeführt, an den sich ein Abkühlprozess anschließt. Nach dem Abkühlprozess wird die dielektrische Schicht zu einer ferroelektrischen dielektrischen Schicht, die eine orthorhombische Kristallphase aufweist, und die dielektrische Seed-Schicht wird zu einer dielektrischen Schicht, die eine orthorhombische Kristallphase aufweist. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen ist die dielektrische Seed-Schicht  $ZrO_2$ . Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen weist die dielektrische Schicht  $HfO_2$  auf, das Zr enthält. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen umfasst das Herstellen einer dielektrischen Schicht das abwechselnde Herstellen einer oder mehrerer  $HfO_2$ -Schichten und einer oder mehrerer  $ZrO_2$ -Schichten über einem Substrat. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen wird der Glühprozess bei einer Temperatur in dem Bereich von 700 °C bis 1000 °C in einer Inertgas-Umgebung durchgeführt. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen weist die metallische Verkappungsschicht TiN auf, das mit Si dotiert ist. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen wird bei dem Verfahren weiterhin eine zweite Metallschicht über der dielektrischen Schicht hergestellt. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen wird die zweite Metallschicht nach dem Abkühlprozess hergestellt. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen wird bei dem Verfahren weiterhin eine Oxid-Zwischenschicht über dem Substrat hergestellt, bevor die dielektrische Seed-Schicht hergestellt wird.

**[0080]** Gemäß einem weiteren Aspekt der vorliegenden Erfindung wird bei einem Verfahren zur Herstellung eines Finnen-Feldeffekttransistors mit negativer Kapazität (NC-FinFET) eine Dummy-Gate-Struktur über einer Finnenstruktur hergestellt. Über der Finnenstruktur wird auf gegenüberliegenden Seiten der Dummy-Gate-Struktur eine Source-/Drain-Struktur hergestellt. Die Dummy-Gate-Struktur wird entfernt, sodass ein Kanalbereich der Finnenstruktur freigelegt wird. Über der freigelegten Finnenstruktur wird eine Zwischenschicht hergestellt. Über der Zwischenschicht wird eine dielektrische Schicht hergestellt. Nachdem die dielektrische Schicht hergestellt worden ist, wird ein Glühprozess durchgeführt, an den sich ein Abkühlprozess anschließt. Dann wird eine Gate-Elektrode hergestellt, die eine oder mehrere Metallschichten umfasst. Nach dem Abkühlprozess wird die dielektrische Schicht zu einer ferroe-

lektrischen dielektrischen Schicht, die eine orthorhombische Kristallphase aufweist. Es werden eine untere Kristallstruktur-Steuerschicht zwischen der Zwischenschicht und der dielektrischen Schicht und/oder eine obere Kristallstruktur-Steuerschicht zwischen der dielektrischen Schicht und der Gate-Elektrode bereitgestellt. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen weist die dielektrische Schicht  $HfO_2$  auf, das mit Zr dotiert ist.

**[0081]** Gemäß einem weiteren Aspekt der vorliegenden Erfindung weist eine Struktur mit negativer Kapazität Folgendes auf: eine Kanalschicht, die aus einem Halbleiter besteht; eine ferroelektrische dielektrische Schicht, die über der Kanalschicht angeordnet ist; und eine Gate-Elektrodenschicht, die über der ferroelektrischen dielektrischen Schicht angeordnet ist. Die ferroelektrische dielektrische Schicht weist einen (111)-orientierten orthorhombischen Kristall auf. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen weist die ferroelektrische dielektrische Schicht  $HfO_2$  auf, das mit einem oder mehreren Elementen aus der Gruppe Si, Zr, Al, La, Y, Gd und Sr dotiert ist. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen weist die ferroelektrische dielektrische Schicht  $HfO_2$ , das mit Zr dotiert ist, und eine (111)-orientierte Kristallschicht auf. Die Identifikation der orthorhombischen Kristallphase und die Identifikation der (111)-Orientierung eines speziellen Kristallkorns können durch Präzessionselektronenbeugung (PED) erfolgen. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen weist die ferroelektrische dielektrische Schicht weiterhin Ti in einer Menge von 2 bis 5 Mol-% auf. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen weist die ferroelektrische dielektrische Schicht weiterhin Al in einer Menge von 5 bis 7 Mol-% auf. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen weist die Gate-Elektrodenschicht eine Si-dotierte TiN-Schicht auf, die in Kontakt mit der ferroelektrischen dielektrischen Schicht ist. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen ist die Si-dotierte TiN-Schicht (111)-orientiert. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen weist die Struktur mit negativer Kapazität weiterhin eine Zwischenschicht, die auf der Kanalschicht angeordnet ist, und eine dielektrische Seed-Schicht auf, die auf der Zwischenschicht angeordnet ist. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen weist die dielektrische Seed-Schicht  $ZrO_2$  auf.

**[0082]** Gemäß einem weiteren Aspekt der vorliegenden Erfindung weist ein Feldeffekttransistor mit negativer Kapazität (NC-FET) Folgendes auf: eine Kanalschicht, die aus einem Halbleiter besteht; eine

Zwischenschicht, die auf der Kanalschicht angeordnet ist; eine ferroelektrische dielektrische Schicht, die über der Zwischenschicht angeordnet ist; und eine Gate-Elektrodenschicht, die über der ferroelektrischen dielektrischen Schicht angeordnet ist. Die ferroelektrische dielektrische Schicht weist einen (111)-orientierten orthorhombischen Kristall auf. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen weist die ferroelektrische dielektrische Schicht  $\text{HfO}_2$  auf, das mit einem oder mehreren Elementen aus der Gruppe Si, Zr, Al, La, Y, Gd und Sr dotiert ist. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen weist die ferroelektrische dielektrische Schicht  $\text{HfZrO}_2$  auf. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen werden eine untere Kristallstruktur-Steuerschicht zwischen der Zwischenschicht und der dielektrischen Schicht und/oder eine obere Kristallstruktur-Steuerschicht zwischen der dielektrischen Schicht und der Gate-Elektrode hergestellt. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen weist die untere Kristallstruktur-Steuerschicht  $\text{ZrO}_2$  auf. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen weist die obere Kristallstruktur-Steuerschicht Si-dotiertes TiN auf. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen weist die ferroelektrische dielektrische Schicht weiterhin Ti in einer Menge von 2 bis 5 Mol-% auf. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen ist der NC-FET ein n-FET, und die Austritts-Einstellungsschicht weist TiAl auf. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen weist die ferroelektrische dielektrische Schicht weiterhin Al in einer Menge von 5 bis 7 Mol-% auf.

**[0083]** Gemäß einem weiteren Aspekt der vorliegenden Erfindung weist ein Feldeffekttransistor mit negativer Kapazität (NC-FET) Folgendes auf: eine Kanalschicht, die aus einem Halbleiter besteht; eine erste dielektrische Schicht, die über der Kanalschicht angeordnet ist; eine erste leitfähige Schicht, die über der ersten dielektrischen Schicht angeordnet ist; eine zweite dielektrische Schicht, die über der ersten leitfähigen Schicht angeordnet ist; und eine Gate-Elektrodenschicht, die über der zweiten dielektrischen Schicht angeordnet ist. Die ferroelektrische dielektrische Schicht weist einen (111)-orientierten orthorhombischen Kristall auf. Bei einer oder mehreren der vorstehenden oder nachfolgenden Ausführungsformen weist der NC-FET weiterhin eine Zwischenschicht auf, die auf der Kanalschicht angeordnet ist. Es sind eine untere Kristallstruktur-Steuerschicht zwischen der Zwischenschicht und der ersten dielektrischen Schicht und/oder eine obere Kristallstruktur-Steuerschicht zwischen der ersten dielektrischen Schicht und der ersten leitfähigen Schicht vorgesehen.

## Patentansprüche

1. Verfahren zur Herstellung einer Struktur mit negativer Kapazität, mit den folgenden Schritten:  
Herstellen einer dielektrischen Schicht (30) über einem Substrat (10), das aus einem Halbleiter besteht, so dass die dielektrische Schicht (30) mit dem Substrat (10) oder einer Oxid-Zwischenschicht (20) über dem Substrat (10) in Kontakt steht;  
Herstellen einer ersten Metallschicht (40) über der dielektrischen Schicht (30);  
nachdem die erste Metallschicht (40) hergestellt worden ist, Durchführen eines Glühprozesses, an den sich ein Abkühlprozess anschließt; und  
Herstellen einer zweiten Metallschicht (52) über der dielektrischen Schicht (30), wobei nach dem Abkühlprozess die dielektrische Schicht (30) zu einer ferroelektrischen dielektrischen Schicht (30) wird, die eine orthorhombische Kristallphase aufweist; wobei die ferroelektrische dielektrische Schicht (30) dotiertes  $\text{HfO}_2$  aufweist; wobei eine Hauptfläche der ferroelektrischen dielektrischen Schicht (30) eine (111)-Kristallfläche aufweist; wobei eine Hauptfläche der ersten Metallschicht (40) eine (111)-Kristallfläche aufweist; wobei die Hauptfläche der ferroelektrischen dielektrischen Schicht (30) parallel zu einer Oberfläche des Substrats (10) ist; und wobei die Hauptfläche der ersten Metallschicht (40) parallel zu einer Oberfläche des Substrats (10) ist.
2. Verfahren nach Anspruch 1, wobei die ferroelektrische dielektrische Schicht (30)  $\text{HfO}_2$  aufweist, das mit einem oder mehreren Elementen aus der Gruppe Si, Zr, Al, La, Y, Gd und Sr dotiert ist.
3. Verfahren nach einem der vorhergehenden Ansprüche, wobei der Glühprozess bei einer Temperatur in dem Bereich von 700 °C bis 1000 °C in einer Inertgas-Umgebung durchgeführt wird.
4. Verfahren nach einem der vorhergehenden Ansprüche, wobei die zweite Metallschicht (52) nach dem Abkühlprozess hergestellt wird.
5. Verfahren nach einem der vorhergehenden Ansprüche, wobei die erste Metallschicht (40) TiN aufweist, das mit Si dotiert ist.
6. Verfahren nach einem der vorhergehenden Ansprüche, wobei die zweite Metallschicht (52) TaN ist.
7. Verfahren nach einem der vorhergehenden Ansprüche, wobei das Herstellen einer dielektrischen Schicht (30) das abwechselnde Herstellen einer oder mehrerer  $\text{HfO}_2$ -Schichten (30A) und einer oder mehrerer  $\text{ZrO}_2$ -Schichten (30B) über einem Substrat (10) umfasst.

8. Verfahren nach einem der vorhergehenden Ansprüche, wobei die hergestellte dielektrische Schicht (30) amorph ist.

9. Verfahren zur Herstellung einer Struktur mit negativer Kapazität, mit den folgenden Schritten:  
Herstellen einer dielektrischen Seed-Schicht (25) über einem Substrat (10), das aus einem Halbleiter besteht, wobei die dielektrische Seed-Schicht (25)  $ZrO_2$  aufweist, so dass die dielektrische Seed-Schicht (25) mit dem Substrat (10) oder einer Oxid-Zwischenschicht (20) über dem Substrat (10) in Kontakt steht;  
Herstellen einer dielektrischen Schicht (30) über der dielektrischen Seed-Schicht (25);  
Herstellen einer ersten Metallschicht (40) über der dielektrischen Schicht (30); und  
nachdem die erste Metallschicht (40) hergestellt worden ist, Durchführen eines Glühprozesses, an den sich ein Abkühlprozess anschließt, wobei nach dem Abkühlprozess die dielektrische Schicht (30) zu einer ferroelektrischen dielektrischen Schicht (30) wird, die eine orthorhombische Kristallphase aufweist; wobei eine Hauptfläche der ferroelektrischen dielektrischen Schicht (30) eine (111)-Kristallfläche aufweist; wobei die Hauptfläche der ferroelektrischen dielektrischen Schicht (30) parallel zu einer Oberfläche des Substrats (10) ist; und wobei die dielektrische Seed-Schicht (25) zu einer ferroelektrischen dielektrischen Schicht (25) wird, die eine orthorhombische Kristallphase aufweist.

10. Verfahren nach Anspruch 9, wobei die dielektrische Seed-Schicht (25)  $ZrO_2$  ist.

11. Verfahren nach Anspruch 9, wobei die dielektrische Schicht (30)  $HfO_2$  aufweist, das Zr enthält.

12. Verfahren nach Anspruch 9, wobei das Herstellen der dielektrischen Schicht (30) das abwechselnde Herstellen einer oder mehrerer  $HfO_2$ -Schichten (30A) und einer oder mehrerer  $ZrO_2$ -Schichten (30B) über einem Substrat (10) umfasst.

13. Verfahren nach einem der Ansprüche 9 bis 12, wobei der Glühprozess bei einer Temperatur in dem Bereich von 700 °C bis 1000 °C in einer Inertgas-Umgebung durchgeführt wird.

14. Verfahren nach einem der Ansprüche 9 bis 13, wobei die erste Metallschicht (40) TiN aufweist, das mit Si dotiert ist.

15. Verfahren nach einem der Ansprüche 9 bis 14, das weiterhin das Herstellen einer zweiten Metallschicht (52) über der dielektrischen Schicht (30) aufweist.

16. Verfahren nach Anspruch 15, wobei die zweite Metallschicht (52) nach dem Abkühlprozess hergestellt wird.

17. Verfahren nach einem der Ansprüche 9 bis 16, das vor dem Herstellen der dielektrischen Seed-Schicht (25) weiterhin das Herstellen der Oxid-Zwischenschicht (20) über dem Substrat (10) umfasst.

18. Feldeffekttransistor mit negativer Kapazität, mit:  
einem Substrat (100) mit einer Kanalschicht (101), die aus einem Halbleiter besteht;  
einer ferroelektrischen dielektrischen Schicht (105, 115), die über der Kanalschicht (101) angeordnet ist wobei die ferroelektrische dielektrische Schicht (105, 115) mit der Kanalschicht (101) oder einer Oxid-Zwischenschicht (105) über der Kanalschicht (101) in Kontakt steht; und  
einer Gate-Elektrodenschicht (106, 116), die über der ferroelektrischen dielektrischen Schicht (105, 115) angeordnet ist, wobei die ferroelektrische dielektrische Schicht (105, 115) einen orthorhombischen Kristall aufweist, und wobei eine Hauptfläche der ferroelektrischen dielektrischen Schicht (105, 115) eine (111)-Kristallfläche aufweist, wobei die Hauptfläche der ferroelektrischen dielektrischen Schicht (105, 115) parallel zu einer Oberfläche des Substrats (100) ist.

19. Feldeffekttransistor mit negativer Kapazität nach Anspruch 18, wobei die ferroelektrische dielektrische Schicht (105, 115)  $HfO_2$  aufweist, das mit Zr dotiert ist.

Es folgen 18 Seiten Zeichnungen

Anhängende Zeichnungen

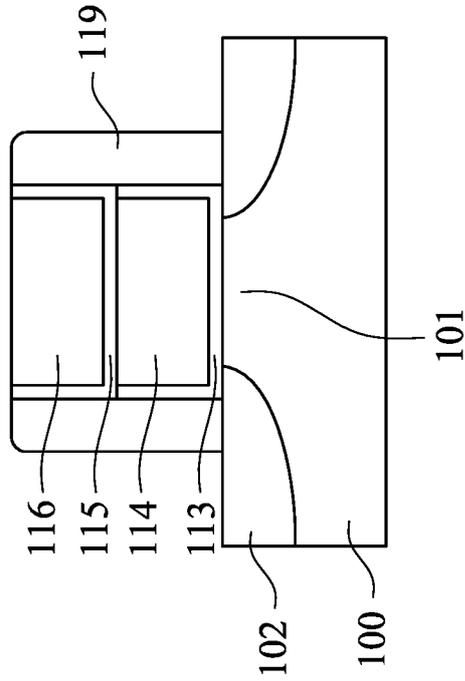


FIG. 1B

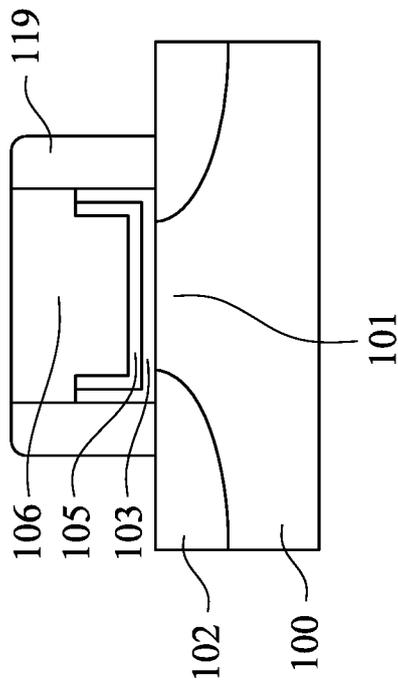


FIG. 1A

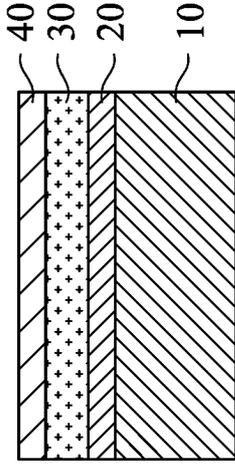


FIG. 2B

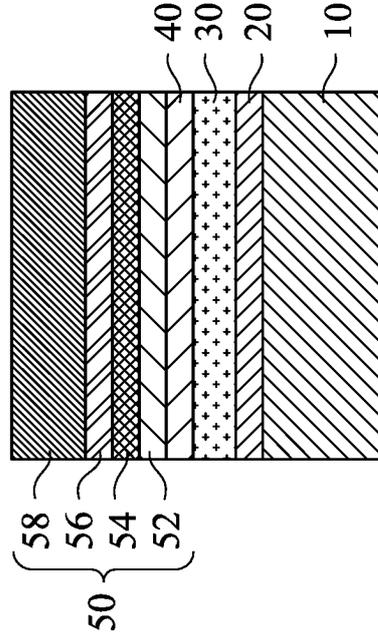


FIG. 2D

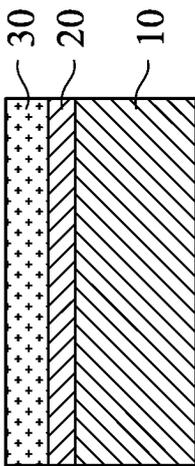


FIG. 2A

Wärme  
↓

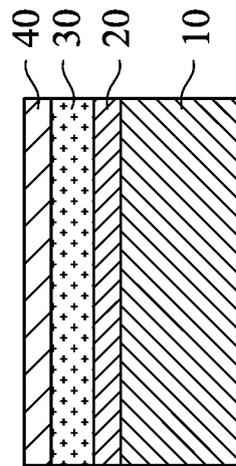


FIG. 2C

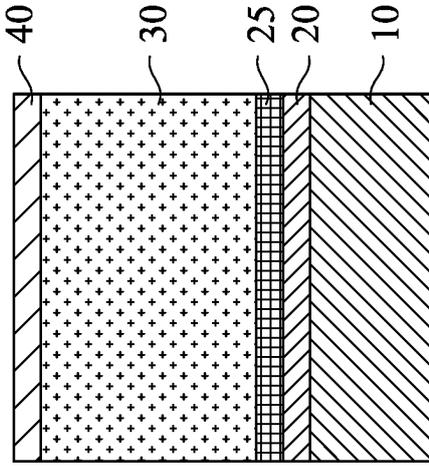


FIG. 3B

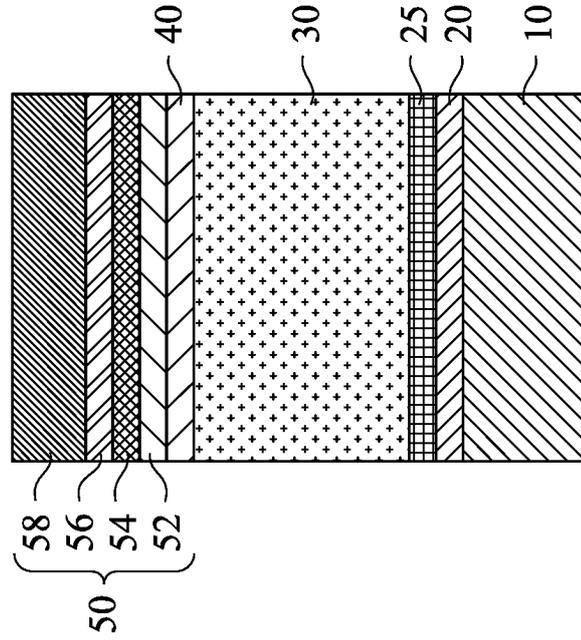


FIG. 3D

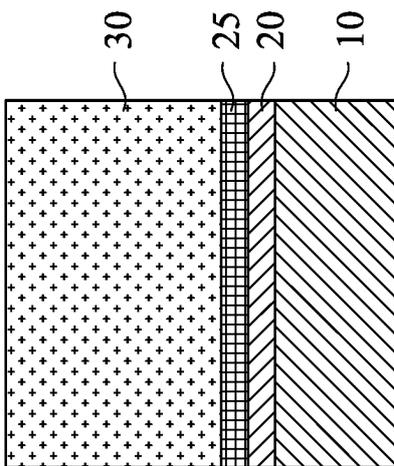


FIG. 3A

Wärme  
↓

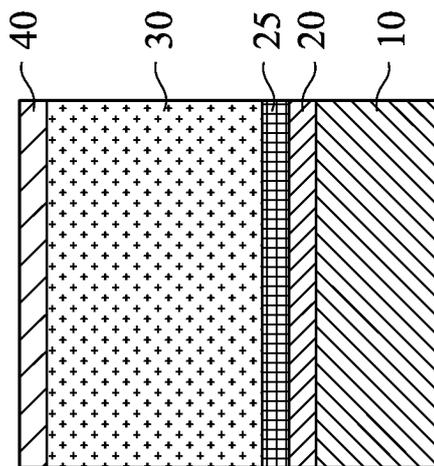


FIG. 3C

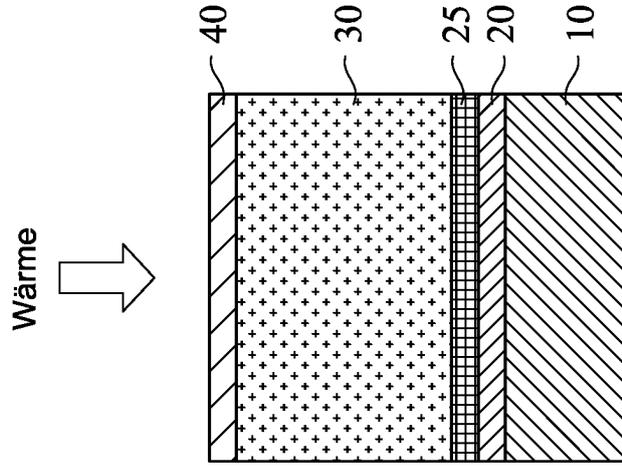


FIG. 3F

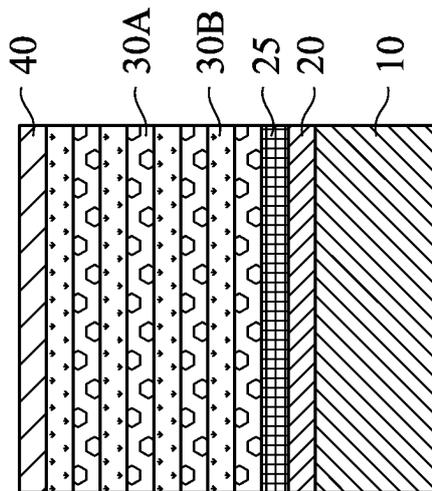
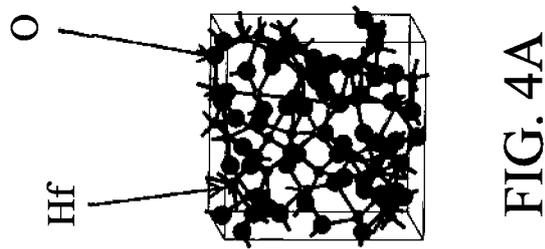
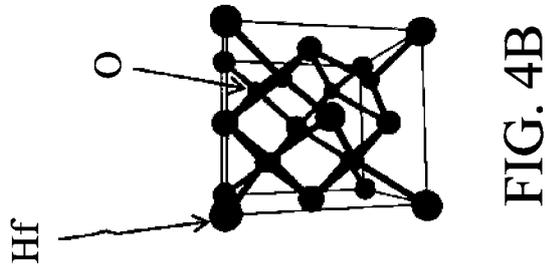
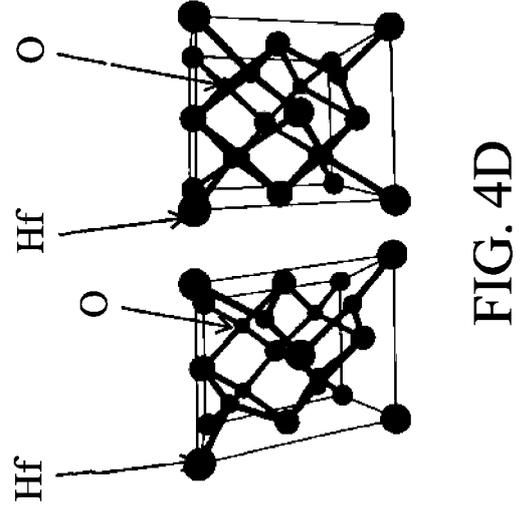
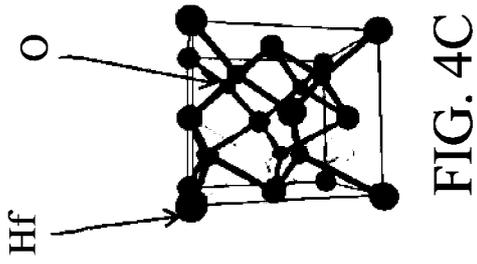


FIG. 3E



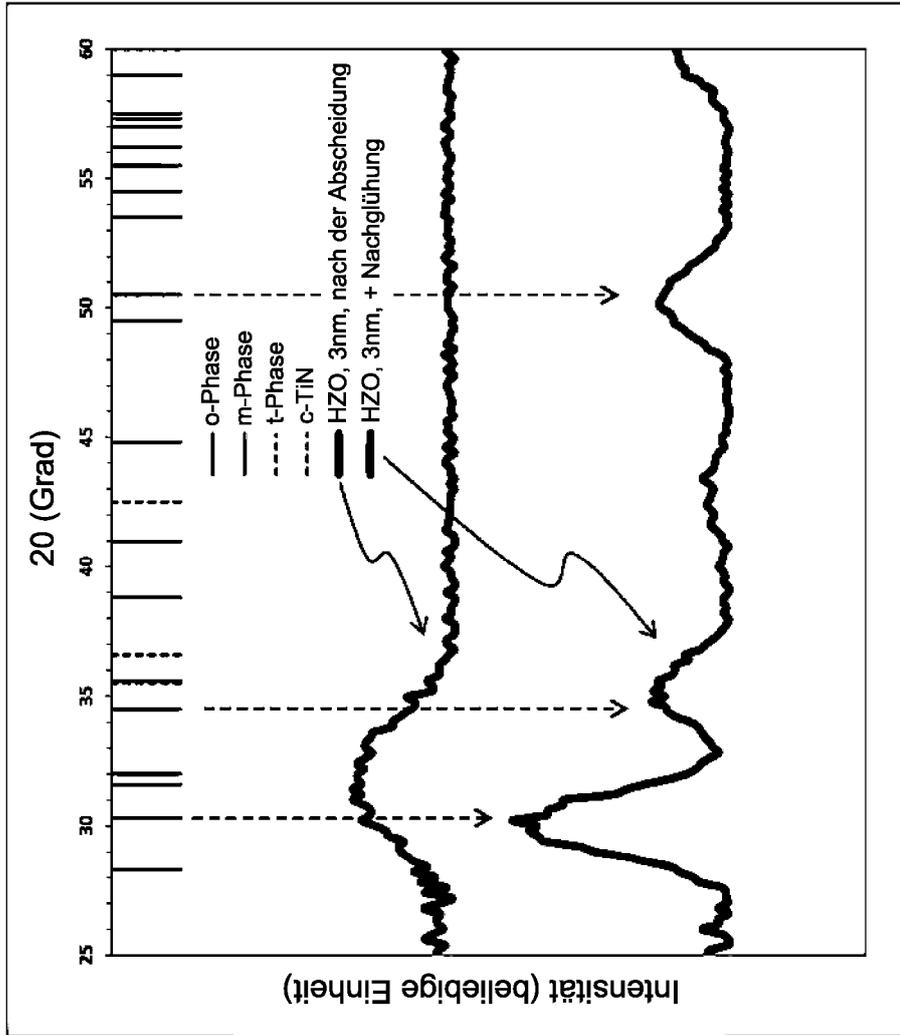


FIG. 4E

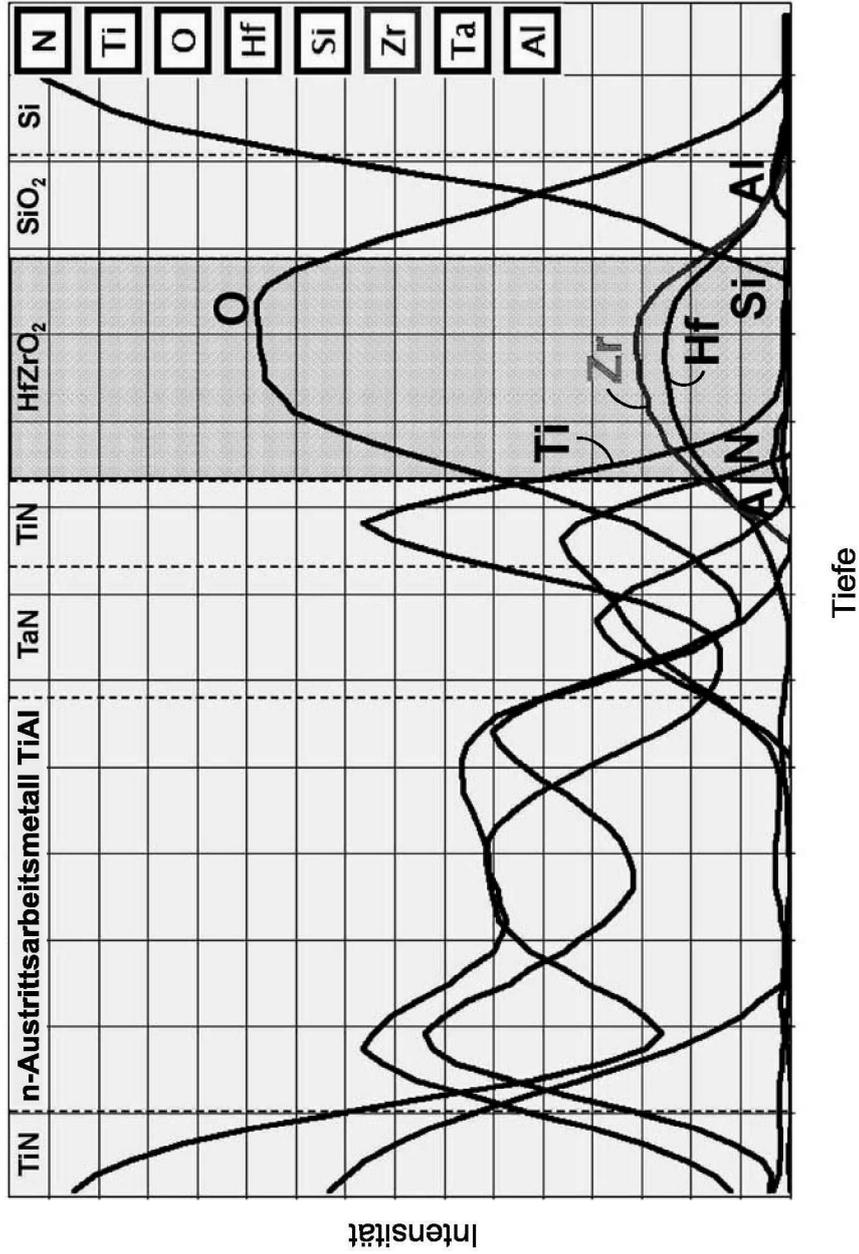


FIG. 5

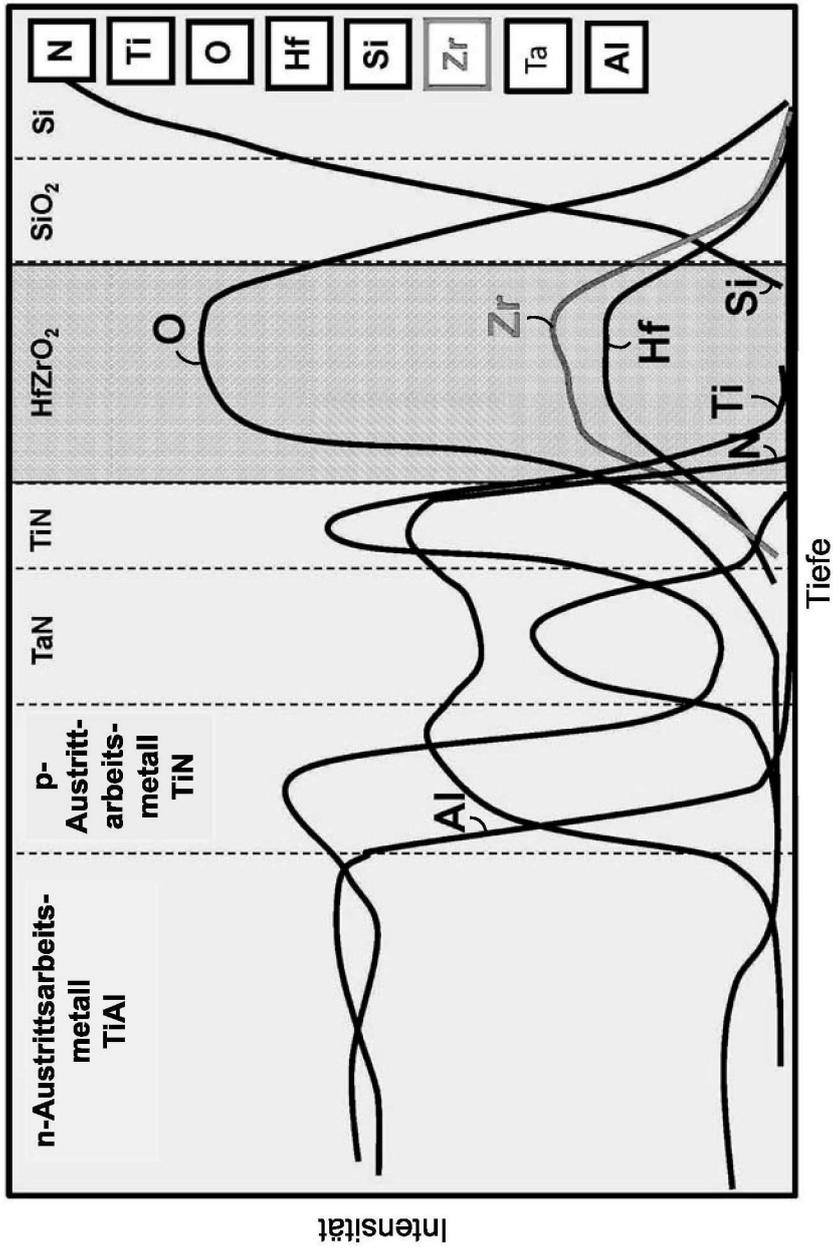


FIG. 6

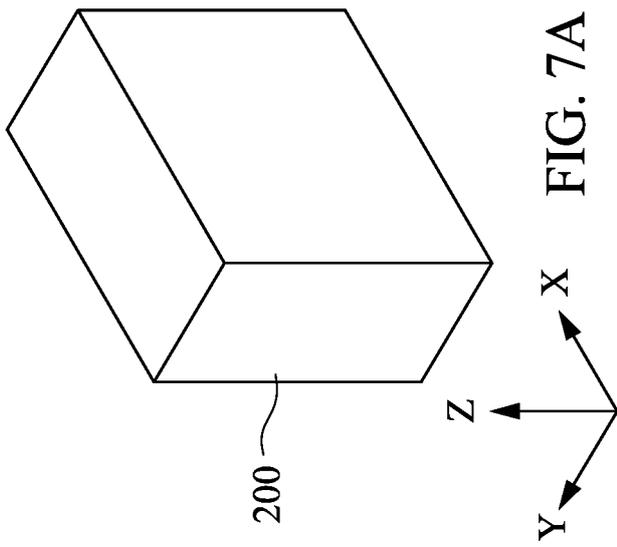


FIG. 7A

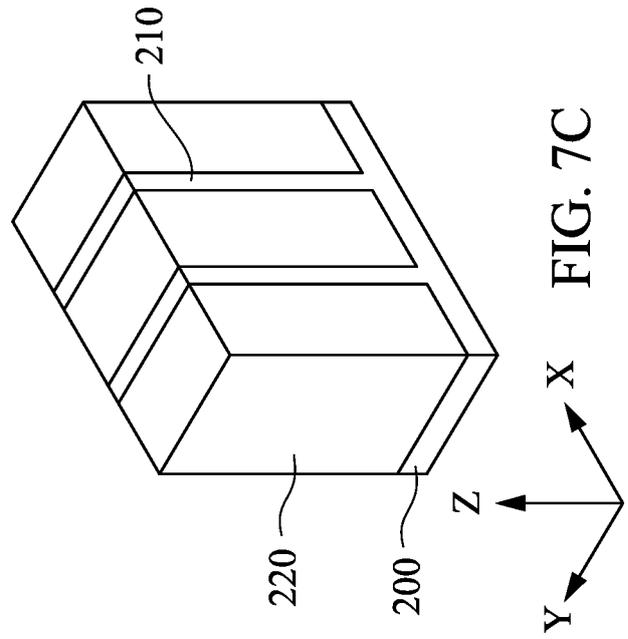


FIG. 7C

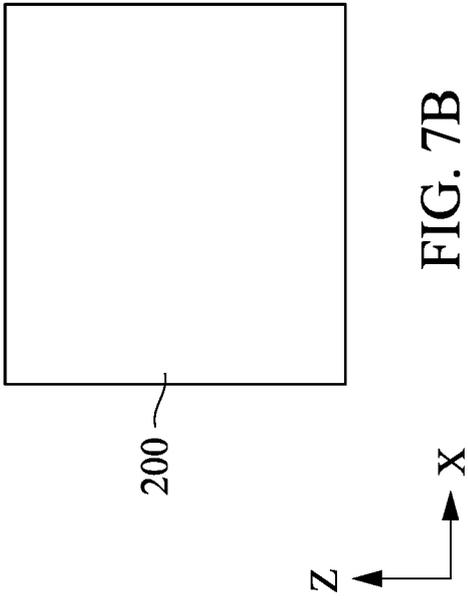


FIG. 7B

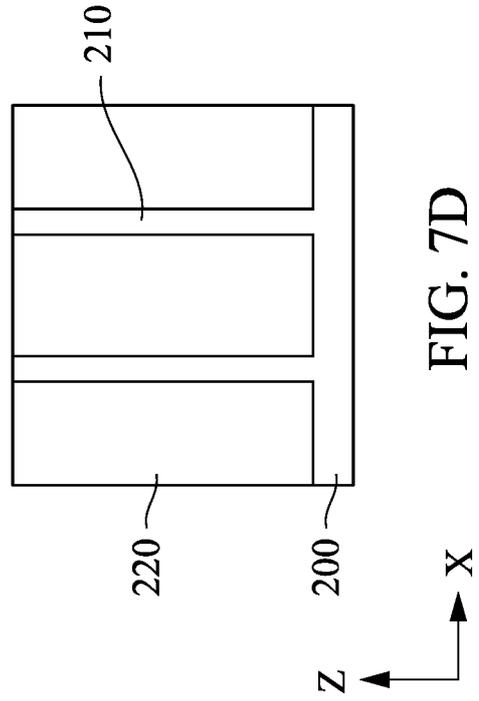


FIG. 7D

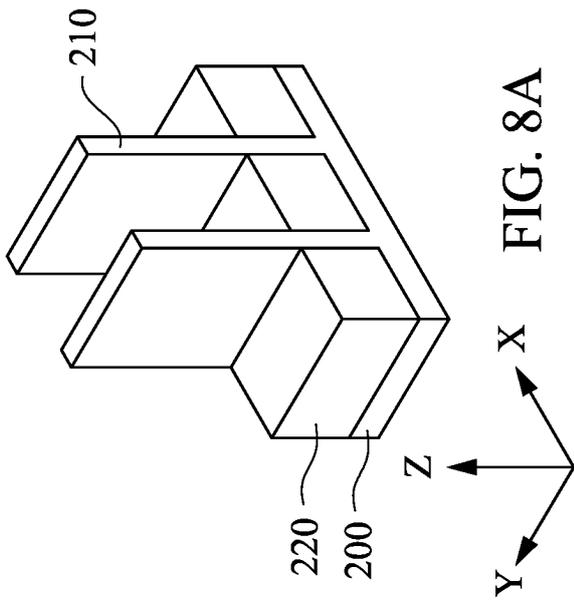


FIG. 8A

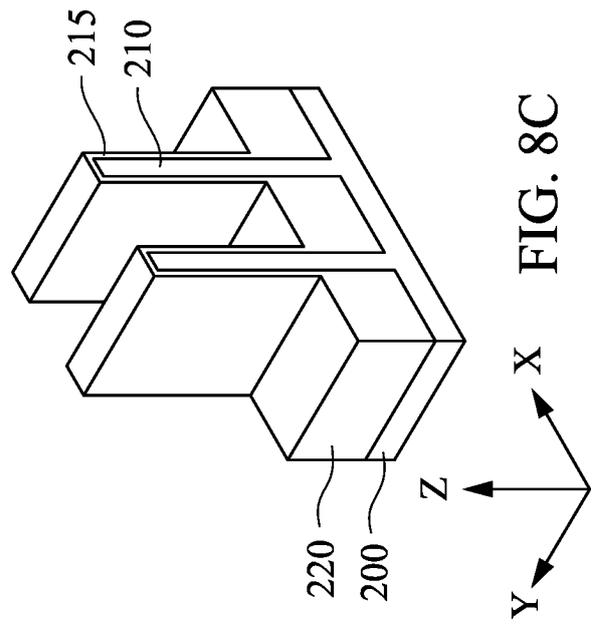


FIG. 8C

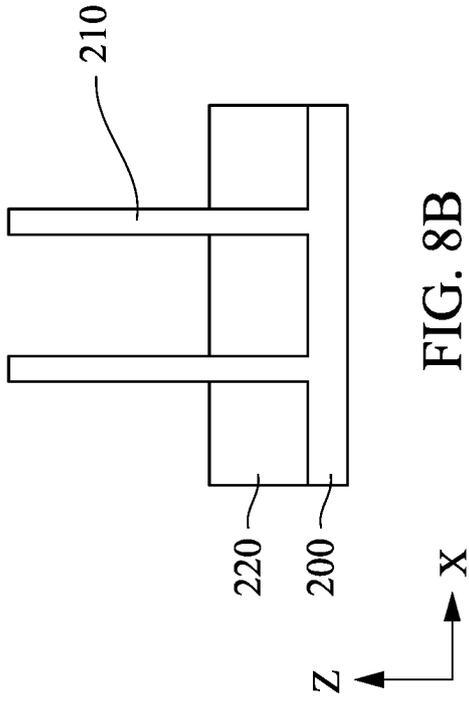


FIG. 8B

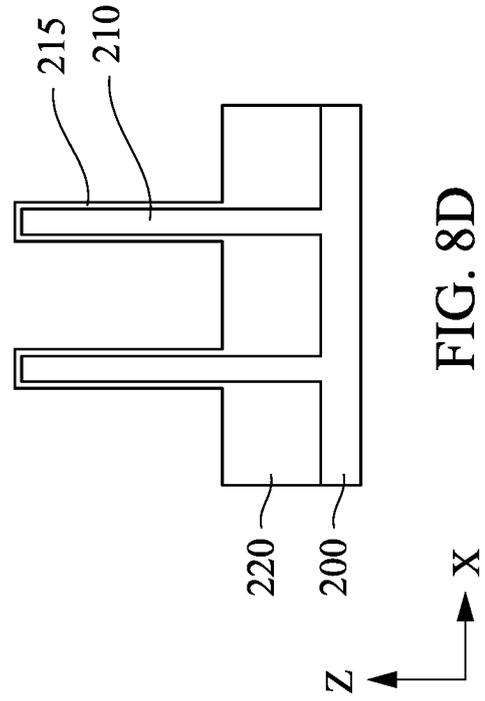


FIG. 8D

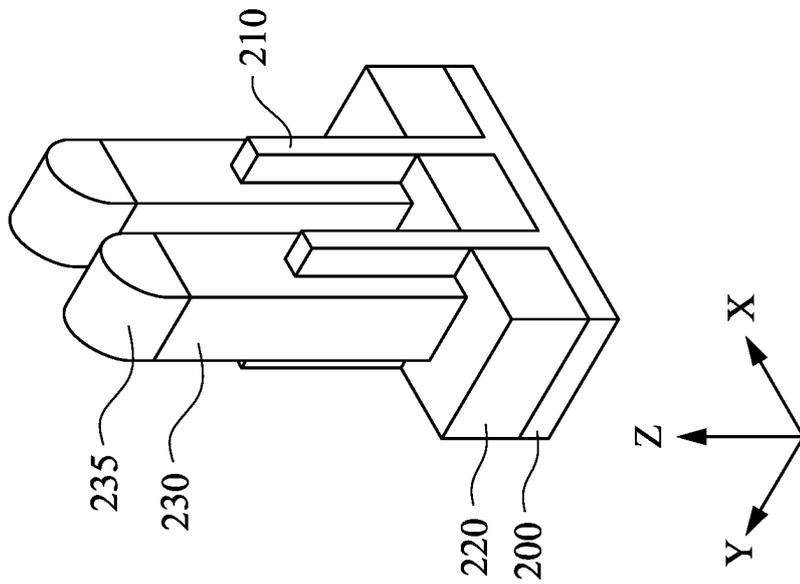


FIG. 9A

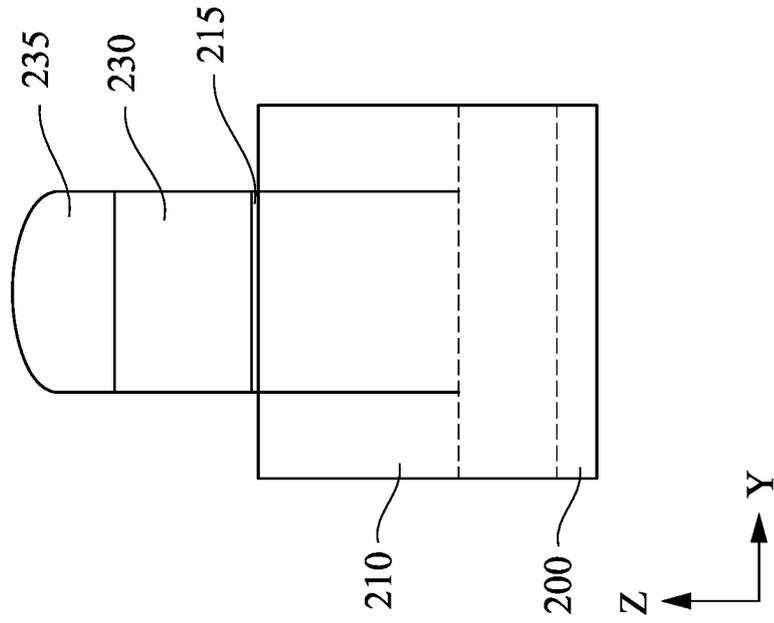


FIG. 9B

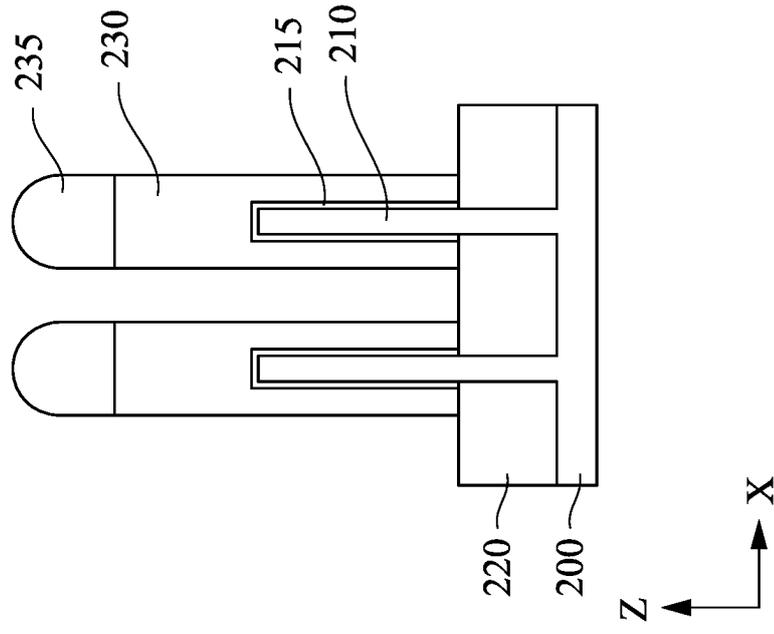


FIG. 9C

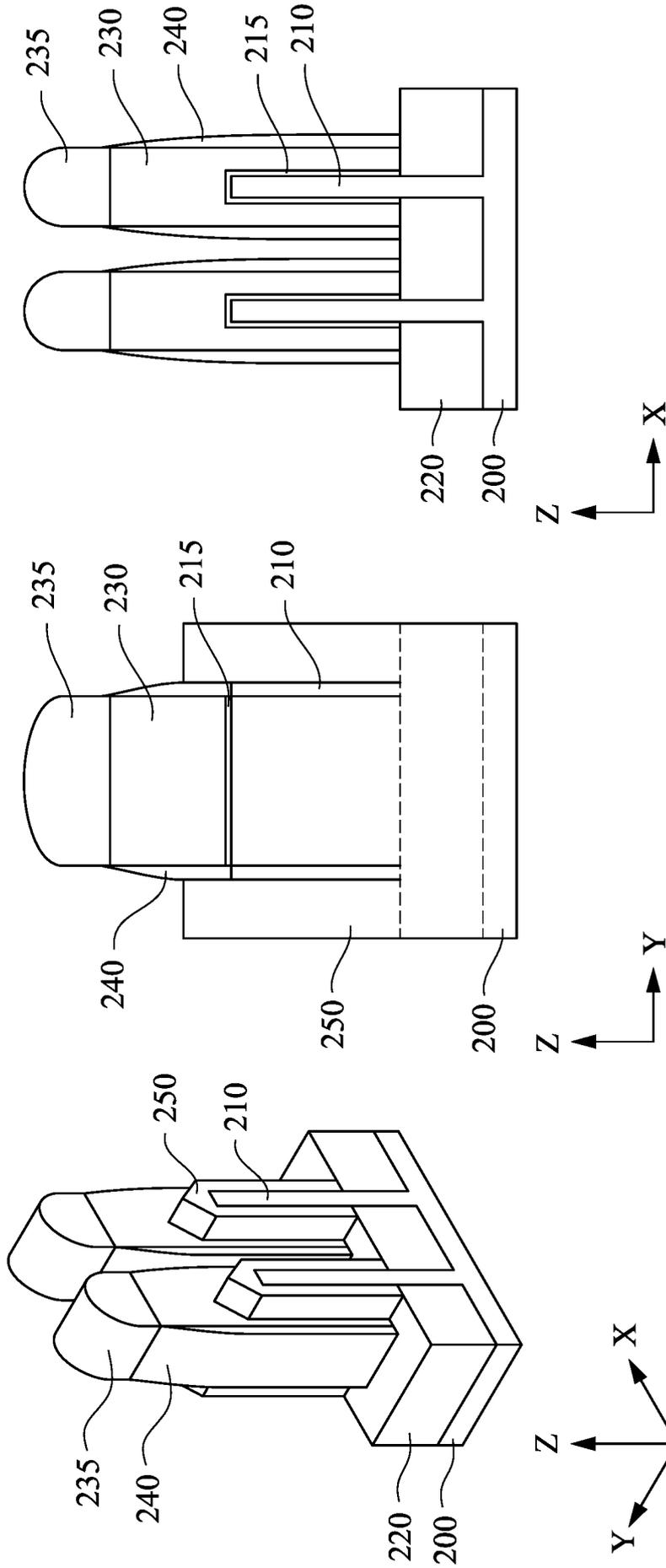


FIG. 10C

FIG. 10B

FIG. 10A

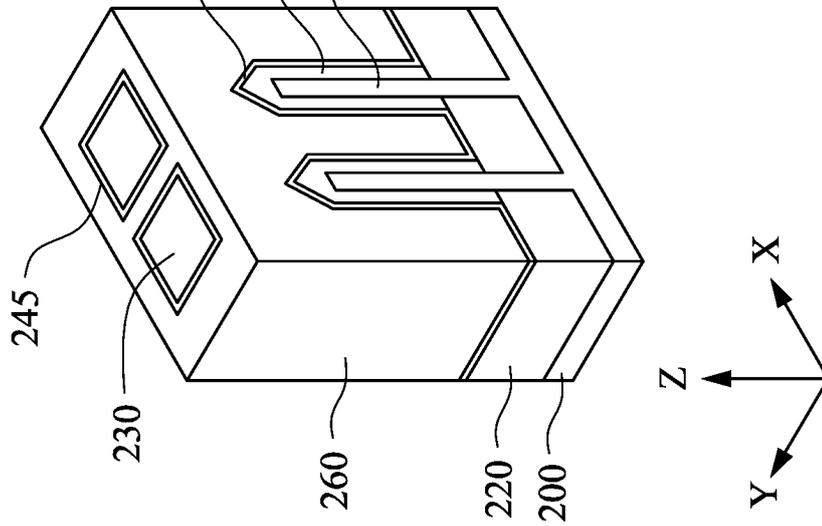


FIG. 11A

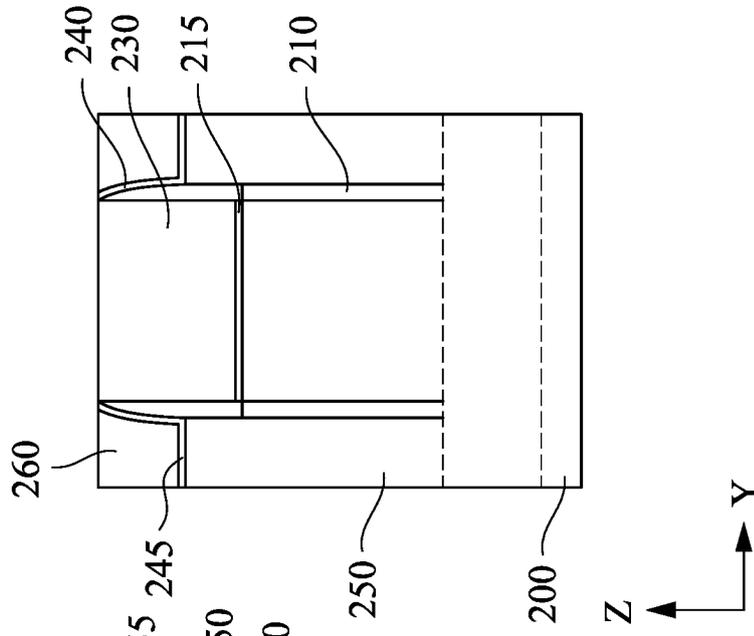


FIG. 11B

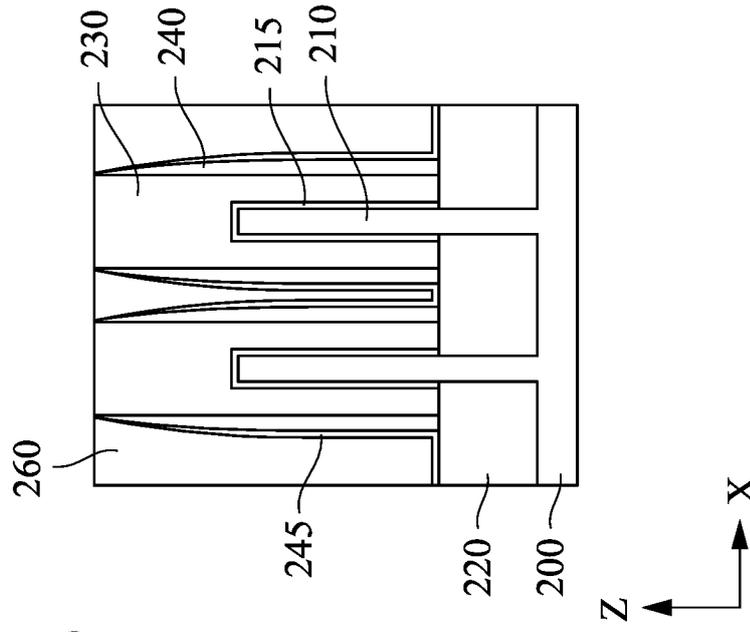


FIG. 11C

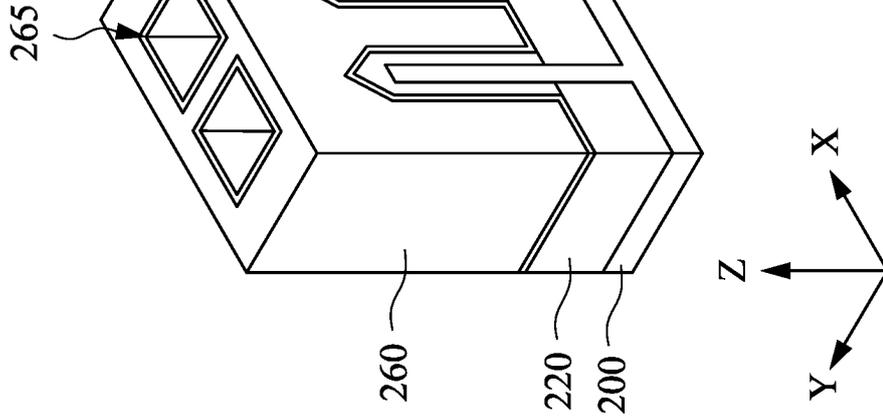


FIG. 12A

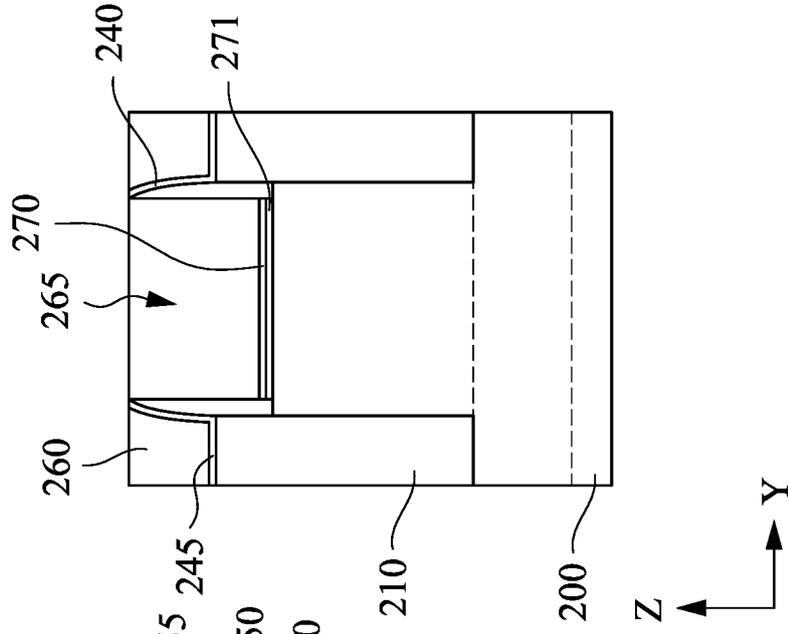


FIG. 12B

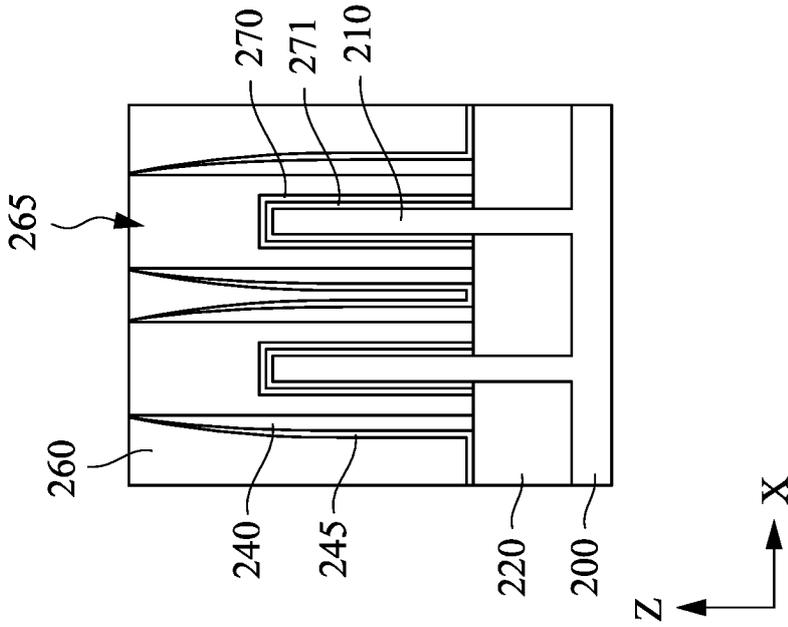


FIG. 12C

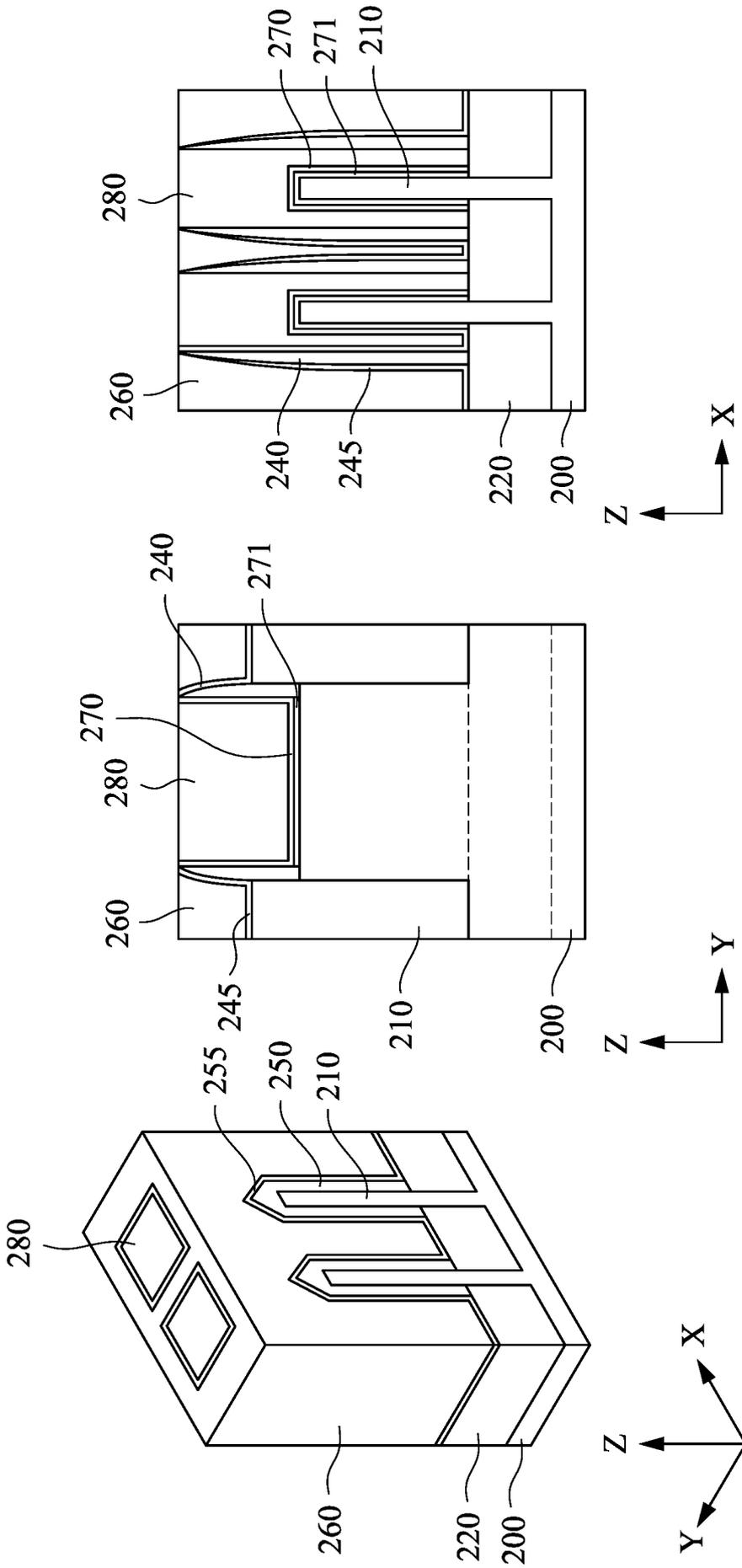


FIG. 13A

FIG. 13B

FIG. 13C

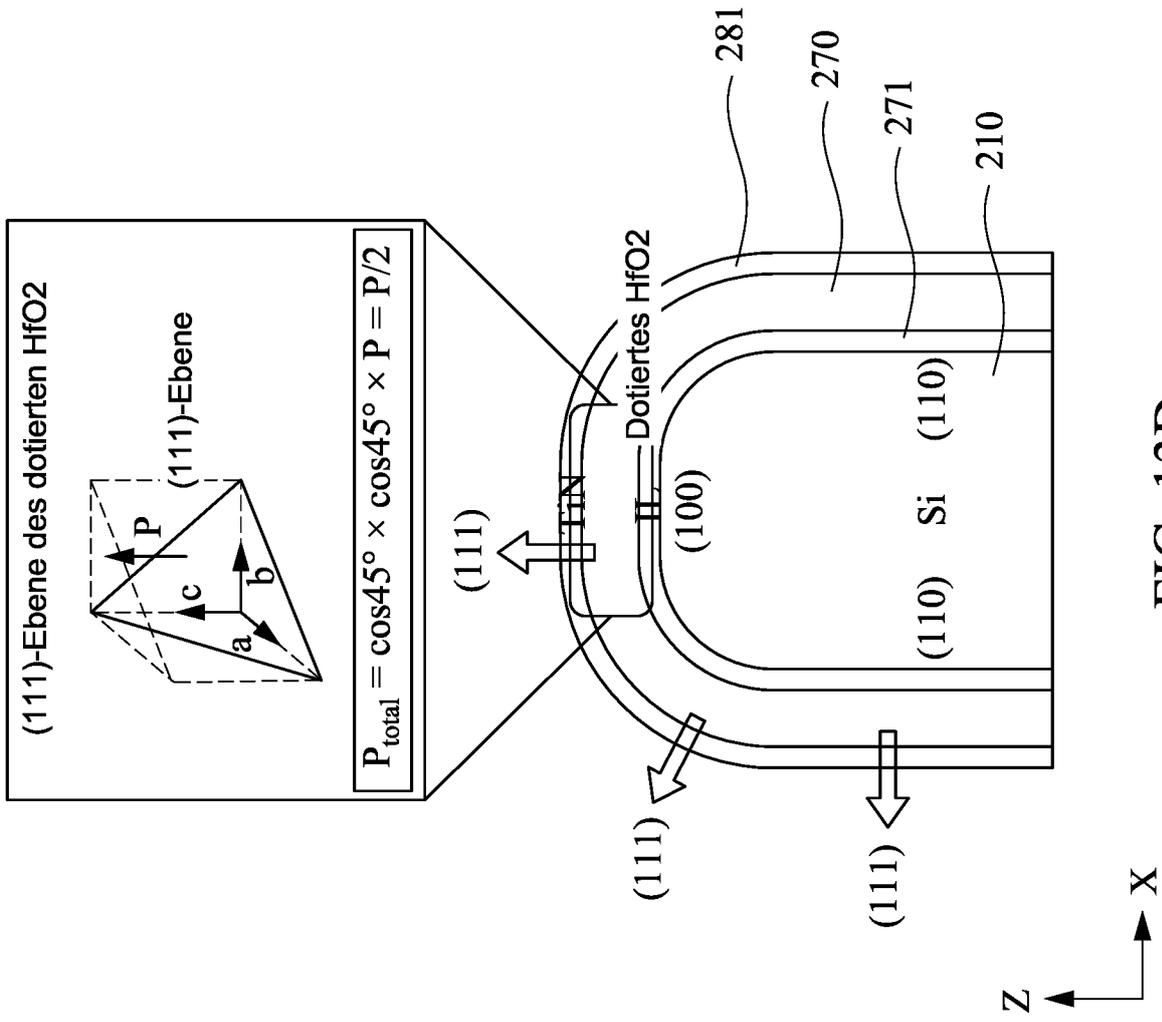


FIG. 13D

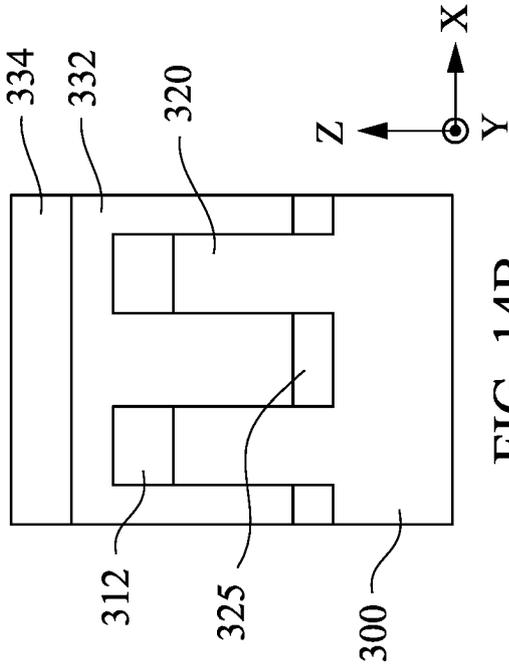


FIG. 14B

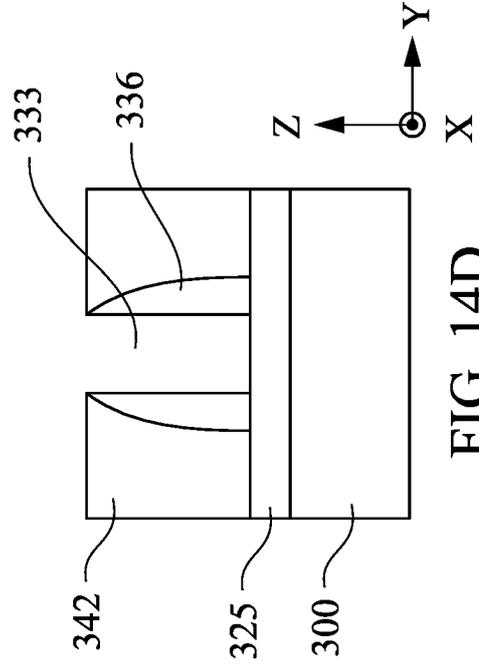


FIG. 14D

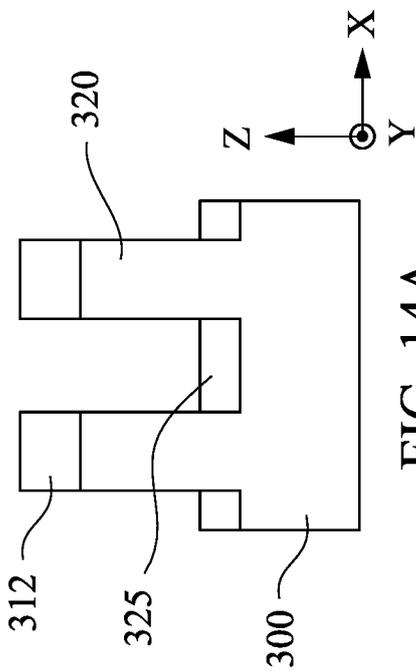


FIG. 14A

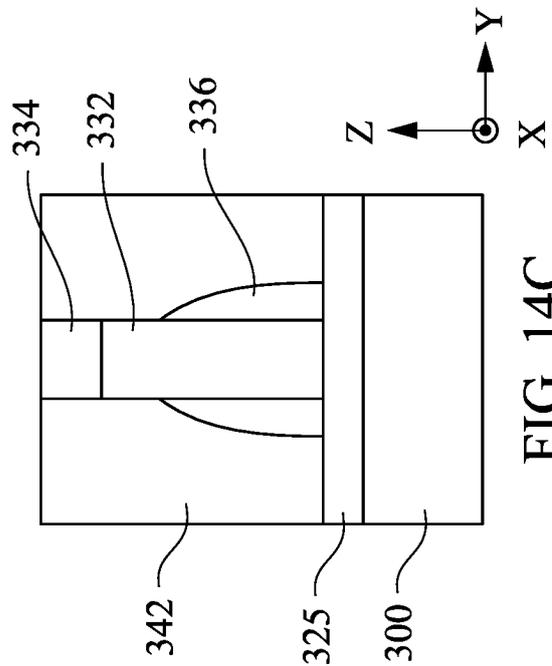


FIG. 14C

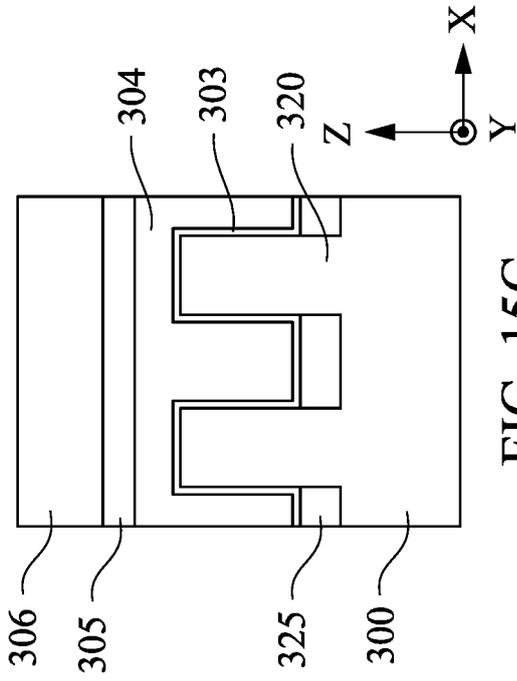


FIG. 15C

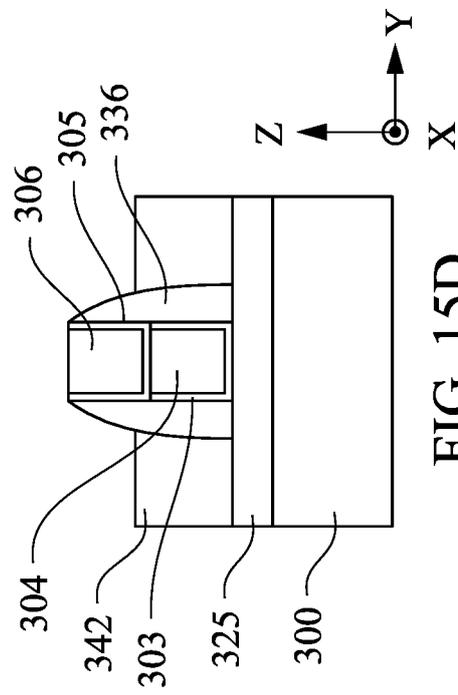


FIG. 15D

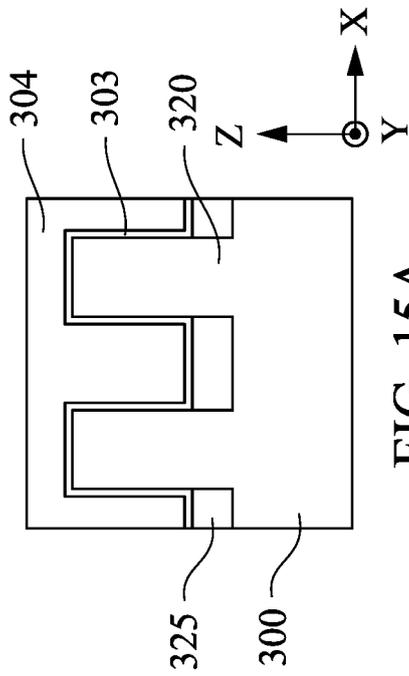


FIG. 15A

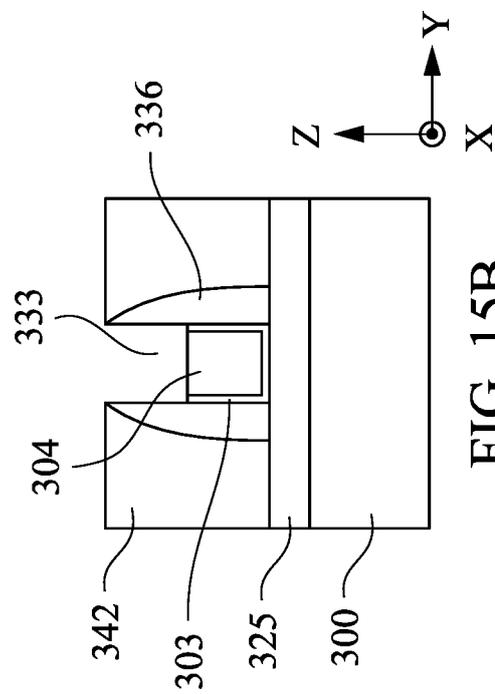


FIG. 15B