



(10) **DE 10 2011 082 509 A1** 2013.03.14

(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2011 082 509.6**

(22) Anmeldetag: **12.09.2011**

(43) Offenlegungstag: **14.03.2013**

(51) Int Cl.: **G06F 13/376 (2012.01)**

(71) Anmelder:
Continental Automotive GmbH, 30165, Hannover, DE

(72) Erfinder:
Schmauß, Harald, 93093, Donaustauf, DE; Bieg, Bernhard, 73479, Ellwangen, DE; Wolfarth, Gunther, 93055, Regensburg, DE; Well, Marco,

93059, Regensburg, DE; Falter, Johann, 93173, Wenzelbach, DE; Laberer, Franz, 93059, Regensburg, DE; Theil, Christian, Timisoara, RO; Muresan, Sergiu, Cluj-Napoca, RO

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:

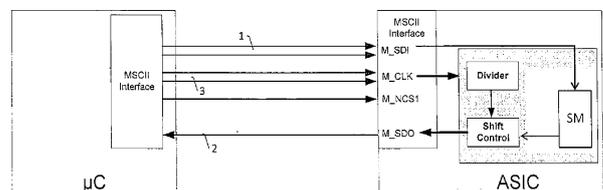
DE 10 2009 027 471 A1
EP 1 426 841 A1

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Schaltungsanordnung zur Vermeidung von Kollisionen beim Datentransfer**

(57) Zusammenfassung: Die Erfindung betrifft eine Schaltungsanordnung (ASIC) mit einer zumindest Anschlüsse für zu empfangende Daten (M_SDI), für zu sendende Daten (M_SDO) und ein externes Taktsignal (M_CLK) aufweisenden Mikrosekundenbus-Schnittstelle (MSCII Interface) zur Kommunikation mit einem Mikroprozessor (μ C). Sie weist ferner eine Teilerschaltung (Divider), die die Frequenz des externen Taktsignals (M_CLK) zur Steuerung der Datenübertragung von der Schaltungsanordnung zu einem Mikroprozessor (μ C) herunterteilt, und eine Zustandsmaschine auf, die eingerichtet ist, während einer Übertragung von Daten von der Schaltungsanordnung zu einem Mikroprozessor (μ C) eine Flagge zu setzen und bei gesetzter Flagge bei einem Empfang von Daten von dem Mikroprozessor, die eine Antwort erfordern, die Übertragung der Antwort an den Mikroprozessor (μ C) zu unterdrücken.



Beschreibung

[0001] In modernen Kraftfahrzeugen werden eine Fülle von Funktionen durch in Mikroprozessoren ablaufende, für die Ausführung der Funktionen entwickelte Programme gesteuert. In vielen Fällen sind jedoch spezielle, häufig als Asics (Applicant specific integrated circuit) realisierte, periphere Schaltungsanordnungen bzw. Bausteine vorhanden, die einerseits durch den Mikroprozessor angesteuert werden, und die andererseits spezielle Funktionen initiieren, beispielsweise Schaltsignale für Leistungsendstufen wie Leistungstransistoren oder Relais zum Ein- und Ausschalten hoher Ströme bereitstellen.

[0002] Eine solche Anordnung beschreibt die Application Note AP32013, V1.0, März 2005 von Infineon „TriCore, connecting low side switch TLE6244X to microcontroller TC1796 using microsecond bus“. Dort ist beschrieben, dass zur Steuerung des low side Schalterbausteins TLE6244 durch einen Mikrocontroller neben dem üblichen SPI-Bus eine Kommunikation über den Mikrosekundenbus erfolgen kann.

[0003] Bei diesem Mikrosekundenbus ist neben einem Datenkanal vom Mikroprozessor zu der zu steuernden Schaltungsanordnung (downstream Kanal) und einem Datenkanal von der zu steuernden Schaltungsanordnung zum Mikroprozessor (upstream Kanal) zumindest eine weitere Verbindung zur Übertragung eines Taktsignals vom Mikroprozessor zur zu steuernden Schaltungsanordnung vorgesehen. Da der Mikrosekundenbus eine deutlich höhere Datenrate erlaubt als der SPI-Bus, kann die Taktfrequenz dieses externen Taktsignals bis zu 40 MHz betragen.

[0004] Bei der Übertragung von Daten vom Mikroprozessor zu der zu steuernden Schaltungsanordnung werden diese üblicherweise mit dem vom Mikroprozessor übertragenen Taktsignal getaktet. Dieser Takt wird innerhalb der zu steuernden Schaltungsanordnung zumeist heruntergeteilt und die von der Schaltungsanordnung zum Mikroprozessor zu übertragenden Daten werden mit diesem heruntergeteilten Taktsignal getaktet. Die Übertragung erfolgt also deutlich langsamer. Daher kann der Fall auftreten, dass noch Daten von der zu steuernden Schaltungsanordnung zum Mikroprozessor hin auf eine Aufforderung von diesem übertragen werden, während bereits eine neue Datenübertragung mit ggf. einer neuen Aufforderung, Daten zu senden, vom Mikroprozessor an die zu steuernde Schaltungsanordnung erfolgt. Hierdurch kann es zu Übertragungskollisionen kommen, was eine ordnungsgemäße Funktion der Schaltungsanordnung beeinträchtigt.

[0005] Es ist daher die Aufgabe vorliegender Erfindung, eine Schaltungsanordnung zur Vermeidung von Kollisionen beim Datentransfer anzugeben.

[0006] Die Aufgabe wird gelöst, durch eine Schaltungsanordnung gemäß Anspruch 1. Vorteilhafte Weiterbildungen sind in den Unteransprüchen angegeben.

[0007] Eine erfindungsgemäße Schaltungsanordnung weist eine zumindest Anschlüsse für zu empfangende Daten, für zu sendende Daten und ein externes Taktsignal umfassende Mikrosekundenbus-Schnittstelle zur Kommunikation mit einem Mikroprozessor auf. Sie umfasst ferner eine Teilerschaltung, die die Frequenz des externen Taktsignals zur Steuerung der Datenübertragung von der Schaltungsanordnung zu einem Mikroprozessor herunterteilt, sowie eine Zustandsmaschine, die eingerichtet ist, während einer Übertragung von Daten von der Schaltungsanordnung zu dem Mikroprozessor eine Flagge zu setzen und bei gesetzter Flagge bei einem Empfang von Daten von dem Mikroprozessor, die eine Antwort erfordern, die Übertragung der Antwort an den Mikroprozessor zu unterdrücken. Die Flagge kann dabei durch ein einzelnes Bit oder auch durch mehrere Bits realisiert sein.

[0008] Hierdurch ist es auf einfache Weise, lediglich durch Abfrage des Zustands einer Flagge, möglich, den Beginn einer zweiten Übertragung von Daten über den Upstream-Kanal zu unterbinden, während noch eine Übertragung in Gange ist.

[0009] In einer vorteilhaften Weiterbildung der erfindungsgemäßen Schaltungsanordnung ist die Zustandsmaschine eingerichtet, trotz Unterdrückung der Antwort an den Mikroprozessor, eine sonstige in den empfangenen Daten enthaltene Anweisung auszuführen. Die empfangenen Daten werden also bei gesetzter Flagge nicht völlig ignoriert, es wird lediglich die Ausführung einer gegebenenfalls neuen Anforderung, Daten zu senden, unterdrückt.

[0010] Die Erfindung wird nachfolgend anhand eines Ausführungsbeispiels mit Hilfe einer Figur näher beschrieben. ES zeigt:

[0011] [Fig. 1](#) ein Prinzipschaltbild einer erfindungsgemäßen Schaltungsanordnung, die über einen Mikrosekundenbus mit einem Mikroprozessor verbunden ist.

[0012] [Fig. 1](#) zeigt eine erfindungsgemäße Schaltungsanordnung ASIC zur Vermeidung von Kollisionen beim Datentransfer, die eine Mikrosekundenbus-Schnittstelle MSCII-Interface zur Kommunikation mit einem ebenfalls eine Mikrosekundenbus-Schnittstelle MSCII-Interface aufweisenden Mikroprozessor μC hat. Zur Datenübertragung zwischen dem Mikroprozessor μC einerseits und der Schaltungsanordnung ASIC andererseits ist ein Datenkanal **1** – meist Downstream Kanal genannt – zur Übertragung von Daten vom Mikroprozessor μC zur Schaltungsanordnung

ASIC und ein Datenkanal **2** – meist Upstream Kanal genannt – zur Übertragung von Daten von der Schaltungsanordnung ASIC zum Mikroprozessor μC vorgesehen.

[0013] Die Mikrosekundenbus-Schnittstelle MSCII-Interface der Schaltungsanordnung ASIC weist hierzu einen Dateneingang M_SDI und einen Datenausgang M_SDO auf. Außerdem weist sie einen Takteingang M_CLK auf, der dem Empfang eines externen Taktsignals EXT_CLK vom Mikroprozessor μC auf Leitungen **3** dient. Die Datenverbindung **1** zur Übertragung von Daten vom Mikroprozessor μC zur Schaltungsanordnung ASIC und die Verbindung **3** zur Übertragung des externen Taktsignals EXT_CLK sind dabei als zweiadrige Leitungen ausgeführt, auf denen beispielsweise gegenphasige Signale für eine bessere Störsicherheit übertragen werden können. Außerdem ist eine schnellere Datenübertragung wegen des geringeren Hubs der Signale möglich.

[0014] Die erfindungsgemäße Schaltungsanordnung ASIC enthält eine Teilerschaltung Divider, die den über die Mikrosekundenbusschnittstelle MSCII-Interface empfangenen externen Takt auf eine Frequenz herunterteilt, wie sie zur Datenverarbeitung innerhalb der Schaltungsanordnung ASIC zweckmäßig ist. Insbesondere zur Übertragung von Daten von der Schaltungsanordnung ASIC zum Mikrokontroller μC wird eine geringere Taktfrequenz verwendet als beim Empfang von Daten. Hierzu enthält die Schaltungsanordnung ASIC eine Übertragungseinrichtung Shift-Control, die einerseits Daten über den Anschluss M_SDO der Mikrosekundenbusschnittstelle MSCII-Interface an den Mikroprozessor μC ausgibt und andererseits von der Teilerschaltung Divider mit dem entsprechend heruntergeteilten Taktsignal versorgt wird. Außerdem wird sie von einer Zustandsmaschine SM angesteuert, die auch sonstige Vorgänge in der Schaltungsanordnung ASIC steuert und Daten verarbeitet, insbesondere bei einer Ausbildung der Schaltungsanordnung als Anordnung von Low-Side-Schaltern zur Ansteuerung von Leistungsschaltern, diese Low-Side-Schalter abhängig von den empfangenen Daten ein- oder ausschaltet. Über den Upstream-Kanal **2** werden üblicherweise Zustandsdaten, die mit Hilfe von Testschaltungen ermittelt werden, von der Schaltungsanordnung ASIC an den Mikroprozessor μC übertragen.

[0015] Um eine Datenkollision zu vermeiden, d.h. eine erneute Datenausgabe zu starten, während eine früher gestartete Datenausgabe noch immer läuft, was geschehen kann, wenn aufgrund von mit höherer Taktfrequenz empfangener Eingangsdaten eine neue Datenausgabeanforderung vom Mikroprozessor μC an die Schaltungsanordnung ASIC gesendet wurde, während die langsamer ablaufende Datenübertragung von der Schaltungsanordnung ASIC zum Mikroprozessor μC noch andauert, wird während

der Übertragung von Daten über den Upstream-Kanal **2** innerhalb der Schaltungsanordnung ASIC, vorzugsweise innerhalb der Zustandsmaschine SM, eine Flagge gesetzt, die vor Beginn einer neuen Datenübertragung über den Upstream-Kanal **2** abgefragt wird, wobei bei gesetzter Flagge, eine neue Übertragung unterdrückt wird.

[0016] Auf diese Weise kann erfindungsgemäß mit sehr einfachen Mitteln, eine Datenkollision vermieden werden.

Patentansprüche

1. Schaltungsanordnung (ASIC) mit einer zumindest Anschlüsse für zu empfangende Daten (M_SDI), für zu sendende Daten (M_SDO) und ein externes Taktsignal (M_CLK) aufweisenden Mikrosekundenbus-Schnittstelle (MSCII Interface) zur Kommunikation mit einem Mikroprozessor (μC), ferner aufweisend: eine Teilerschaltung (Divider), die die Frequenz des externen Taktsignals (M_CLK) zur Steuerung der Datenübertragung von der Schaltungsanordnung zu dem Mikroprozessor (μC) herunterteilt, eine Zustandsmaschine, die eingerichtet ist, während einer Übertragung von Daten von der Schaltungsanordnung zu einem Mikroprozessor (μC) eine Flagge zu setzen und bei gesetzter Flagge bei einem Empfang von Daten von dem Mikroprozessor, die eine Antwort erfordern, die Übertragung der Antwort an den Mikroprozessor (μC) zu unterdrücken.

2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, dass die Zustandsmaschine eingerichtet ist, trotz Unterdrückung der Antwort an den Mikroprozessor (μC), eine in den empfangenen Daten enthaltene Anweisung auszuführen.

Es folgt ein Blatt Zeichnungen

Anhängende Zeichnungen

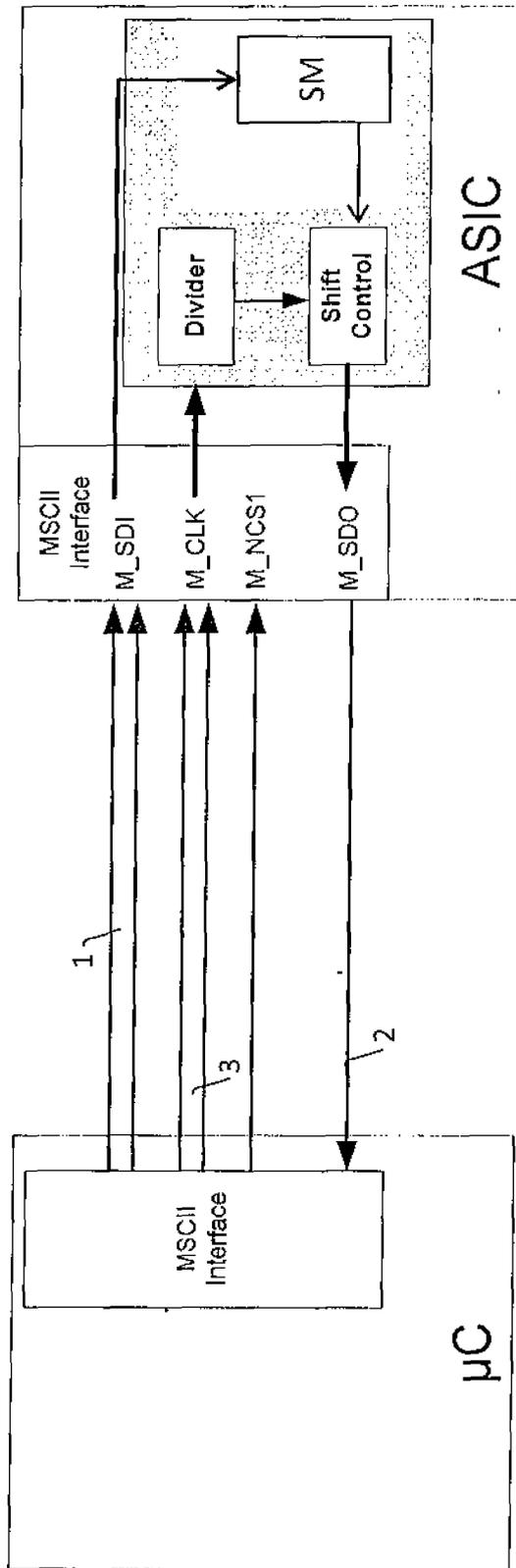


FIG. 1