



(19) **RU** (11)

35 160 (13) **U1**

(51) МПК
G06G 7/25 (2000.01)

РОССИЙСКОЕ АГЕНТСТВО
ПО ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ОПИСАНИЕ ПОЛЕЗНОЙ МОДЕЛИ К ПАТЕНТУ

(21), (22) Заявка: 2003124219/20, 05.08.2003

(24) Дата начала отсчета срока действия патента:
05.08.2003

(46) Опубликовано: 27.12.2003

Адрес для переписки:
432027, г.Ульяновск, ул. Северный Венец, 32,
УлГТУ, проректору по НИР

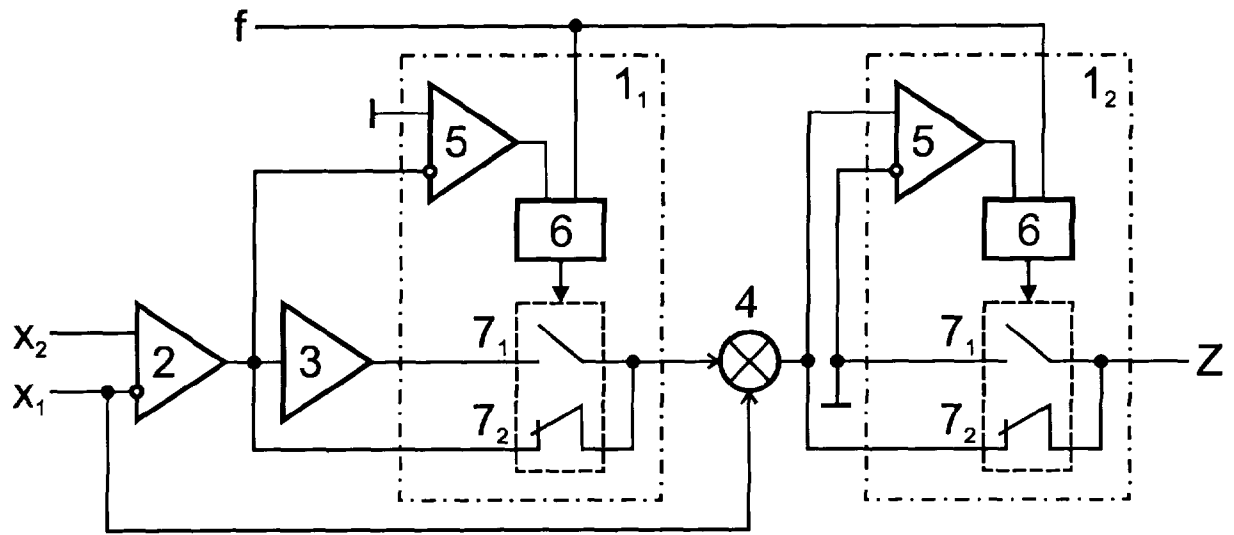
(72) Автор(ы):
Андреев Д.В.

(73) Патентообладатель(и):
Ульяновский государственный технический
университет

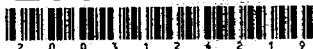
(54) Паритетный распознаватель

(57) Формула полезной модели

Паритетный распознаватель, содержащий инвертор знака и первый релятор, который состоит из компаратора, подключенного выходом к первому входу булевого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, второй вход которого является входом управления первого релятора, а выход соединен с управляющим входом замыкающего и размыкающего ключей, выходы которых объединены и образуют выход первого релятора, подключенного первым, вторым и третьим, четвертым входами соответственно к неинвертирующему, инвертирующему входам компаратора и входу замыкающего, входу размыкающего ключей, первый вход первого релятора заземлен, а третий и объединенные второй, четвертый входы соединены соответственно с выходом и входом инвертора знака, отличающийся тем, что в него введены аналогичный первому второй релятор, дифференциальный усилитель и сумматор, причем выход и инвертирующий вход дифференциального усилителя соединены соответственно с входом инвертора знака и вторым входом сумматора, подключенного первым входом и выходом соответственно к выходу первого релятора и объединенным первым, четвертому входам второго релятора, второй и третий входы которого заземлены, а выход и вход управления, подключенный к входу управления первого релятора, являются соответственно выходом и управляющим входом паритетного распознавателя, первый и второй информационные входы которого образованы соответственно инвертирующим и неинвертирующим входами дифференциального усилителя.



2003124219

МПК⁷G06G7/25

ПАРИТЕТНЫЙ РАСПОЗНАВАТЕЛЬ

Полезная модель относится к автоматике и аналоговой вычислительной технике и может быть использована для построения функциональных узлов аналоговых вычислительных машин, средств автоматического регулирования и управления, аналоговых процессоров и др.

Известны паритетные распознаватели (см. например рис.5г на стр. 12 в журнале "Электронное моделирование" №2, 1998г.), которые идентифицируют равенство двух аналоговых сигналов (напряжений), один из которых может изменяться, а другой фиксирован во времени.

К причине, препятствующей достижению указанного ниже технического результата при использовании известных паритетных распознавателей, относится ограниченные функциональные возможности, так как эти распознаватели не обеспечивают идентификацию равенства двух изменяющихся во времени аналоговых сигналов.

Наиболее близким устройством того же назначения к заявленной полезной модели по совокупности признаков является, принятый за прототип, паритетный распознаватель (патент РФ 2143733, кл. G06G7/25, 1999г.), который содержит инвертор знака и релейтор, состоящий из компаратора, булевого элемента "исключающее ИЛИ", замыкающего и размыкающего ключей, и идентифицирует равенство двух аналоговых сигналов (напряжений), один из которых может изменяться, а другой фиксирован во времени.

К причине, препятствующей достижению указанного ниже технического результата при использовании прототипа, относится ограниченные функциональные возможности, так как прототип не обеспечивает идентификацию равенства двух изменяющихся во времени аналоговых сигналов.

Техническим результатом полезной модели является расширение функциональных возможностей за счет обеспечения идентификации равенства двух изменяющихся во времени аналоговых сигналов.

Указанный технический результат при осуществлении полезной модели достигается тем, что в паритетном распознавателе, содержащем инвертор

2003.12.42.19

знака и первый релятор, который состоит из компаратора, подключенного выходом к первому входу булевого элемента "исключающее ИЛИ", второй вход которого является входом управления первого релятора, а выход соединен с управляющим входом замыкающего и размыкающего ключей, выходы которых объединены и образуют выход первого релятора, подключенного первым, вторым и третьим, четвертым входами соответственно к неинвертирующему, инвертирующему входам компаратора и входу замыкающего, входу размыкающего ключей, первый вход первого релятора заземлен, а третий и объединенные второй, четвертый входы соединены соответственно с выходом и входом инвертора знака, особенность заключается в том, что в него *введены* аналогичный первому второй релятор, дифференциальный усилитель и сумматор, причем выход и инвертирующий вход дифференциального усилителя соединены соответственно с входом инвертора знака и вторым входом сумматора, подключенного первым входом и выходом соответственно к выходу первого релятора и объединенным первым, четвертому входам второго релятора, второй и третий входы которого заземлены, а выход и вход управления, подключенный к входу управления первого релятора, являются соответственно выходом и управляющим входом паритетного распознавателя, первый и второй информационные входы которого образованы соответственно инвертирующим и неинвертирующим входами дифференциального усилителя.

На чертеже представлена схема предлагаемого паритетного распознавателя.

Паритетный распознаватель содержит первый и второй реляторы 1_1 и 1_2 , дифференциальный усилитель 2, инвертор 3 знака, сумматор 4. Каждый релятор содержит компаратор 5, подключенный выходом к первому входу булевого элемента "исключающее ИЛИ" 6, второй вход которого является входом управления релятора, а выход соединен с управляющим входом замыкающего и размыкающего ключей 7_1 и 7_2 , выходы которых объединены и образуют выход релятора, подключенного первым, вторым и третьим, четвертым входами соответственно к неинвертирующему, инвертирующему

входам компаратора 5 и входам ключей 7₁, 7₂. Инвертирующий вход и выход усилителя 2 соединены соответственно с вторым входом сумматора 4 и объединенными вторым, четвертым входами релятора 1₁, входом инвертора 3, подключенного выходом к третьему входу релятора 1₁, первый вход которого заземлен, а выход соединен с первым входом сумматора 4, подключенного выходом к объединенным первому, четвертому входам релятора 1₂, второй и третий входы которого заземлены, а выход и вход управления, подключенный к входу управления релятора 1₁, являются соответственно выходом и управляющим входом паритетного распознавателя, первый и второй информационные входы которого образованы соответственно инвертирующим и неинвертирующим входами усилителя 2.

Работа предлагаемого паритетного распознавателя осуществляется следующим образом. На его первый и второй информационные входы подаются изменяющиеся во времени однополярные (положительные или отрицательные) аналоговые сигналы (напряжения) x_1 и x_2 соответственно; на его управляющем входе фиксируется необходимый управляющий сигнал $f \in \{0,1\}$. Если на входе управления релятора присутствует логический «0» (логическая «1») и сигнал на его первом входе больше либо меньше сигнала на его втором входе, то ключ 7₁ соответственно замкнут (разомкнут) либо разомкнут (замкнут), а ключ 7₂ соответственно разомкнут (замкнут) либо замкнут (разомкнут). Таким образом, выходное напряжение предлагаемого распознавателя определяется выражением

$$Z = \begin{cases} \max(0, x_1 - |k(x_2 - x_1)|) & \text{при } x_1 > 0, x_2 > 0, f = 1 \\ \min(0, x_1 + |k(x_2 - x_1)|) & \text{при } x_1 < 0, x_2 < 0, f = 0 \end{cases}, \quad (1)$$

где $k \rightarrow \infty$ есть коэффициент усиления дифференциального усилителя 2. Согласно (1), предлагаемый распознаватель будет воспроизводить операцию

$$Z = \begin{cases} x & \text{при } x_1 = x_2 = x \\ 0 & \text{при } x_1 \neq x_2 \end{cases}.$$

Здесь идентификация равенства изменяющихся во времени аналоговых сигналов x_1 и x_2 осуществляется по отличному от нуля значению x амплитудной координаты пересечения указанных сигналов.

Вышеизложенные сведения позволяют сделать вывод, что предлагаемый паритетный распознаватель обладает более широкими по сравнению с прототипом функциональными возможностями, так как обеспечивает идентификацию равенства двух изменяющихся во времени аналоговых сигналов.

ПАРИТЕТНЫЙ РАСПОЗНАВАТЕЛЬ

