



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년10월29일
(11) 등록번호 10-0990637
(24) 등록일자 2010년10월22일

(51) Int. Cl.
H01L 33/38 (2010.01) H01L 33/36 (2010.01)
(21) 출원번호 10-2008-0036995
(22) 출원일자 2008년04월22일
심사청구일자 2008년04월22일
(65) 공개번호 10-2008-0095192
(43) 공개일자 2008년10월28일
(30) 우선권주장
1020070039402 2007년04월23일 대한민국(KR)
(56) 선행기술조사문헌
JP2005327786 A
KR1020060095271 A
JP2001077432 A
전체 청구항 수 : 총 48 항

(73) 특허권자
삼성엘이디 주식회사
경기 수원시 영통구 매탄동 314
(72) 발명자
이정상
경기도 수원시 영통구 매탄3동 주공그린빌아파트
501-1306
쫄쫄이
경기도 수원시 영통구 매탄3동 주공그린빌 2단지
202-1005
(뒷면에 계속)
(74) 대리인
특허법인 씨엔에스·로고스

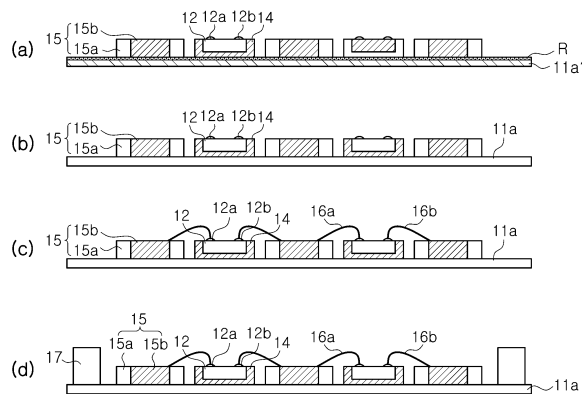
심사관 : 김동엽

(54) 발광장치 및 그 제조방법

(57) 요약

본 발명은, 제1 및 제2 주면과 그 사이에 위치한 복수의 측면을 가지며, 각각 상기 제1 및 제2 주면을 포함하는 제1 및 제2 레벨영역으로 구분되고, 경화성 수지로 이루어진 패키지 본체와, 상기 패키지 본체의 양단에 각각 배치되고, 제1 및 제2 면과 그 사이에 측면을 가지며, 적어도 상기 제1 면이 상기 패키지 본체의 제1 주면에 노출되고, 상기 패키지 본체의 내부에 위치한 부분에서 노출된 다른 면에 연결된 접속부를 갖는 제1 및 제2 외부단자용 블럭과, 상기 제1 레벨영역에서 상기 제1 및 제2 외부단자용 블럭 사이에 위치하고, 제1 및 제2 전극이 형성된 전극형성면을 가지며, 그 전극형성면이 상기 제2 레벨영역을 향하도록 배치된 발광다이오드 칩과, 상기 발광다이오드 칩의 제1 및 제2 전극을 각각 제1 및 제2 외부단자용 블럭의 접속부에 각각 전기적으로 연결하는 와이어를 포함하는 발광장치를 제공한다. 또한, 본 발명은 상기한 구조를 갖는 발광장치의 제조방법을 제공한다.

대표도 - 도1



(72) 발명자

윤재준

경기 수원시 영통구 영통동 황골마을1단지아파트
130동 1203호

신옥희

경기 수원시 팔달구 인계동 319-6 신반포아파트
108동 503호

특허청구의 범위

청구항 1

양 전극이 형성된 전극형성면을 갖는 복수의 발광다이오드 칩과, 적어도 일면에 노출된 접속부를 갖는 전기적으로 연결된 복수의 외부단자용 블럭을 마련하는 단계;

각각 상기 전극형성면과 상기 접속부 노출면이 상부를 향하면서 상기 발광다이오드 칩이 상기 외부단자용 블럭 사이에 위치하도록 제1 시트 상에 상기 외부단자용 블럭과 상기 발광다이오드 칩을 부착시키는 단계;

상기 발광 다이오드 칩의 전극을 인접한 외부단자용 블럭의 노출된 접속부 에 와이어로 각각 연결하는 단계;

상기 외부단자용 블럭과 상기 발광 다이오드 칩의 배열영역을 둘러싸도록 상기 제1 시트 상에 상기 와이어의 높이보다 큰 높이를 갖는 스페이서를 부착시킴으로써 칩 어레이 구조물을 마련하는 단계;

챔버 내에 상기 칩 어레이 구조물을 배치하고, 상기 챔버 내가 감압 또는 진공상태가 되도록 상기 챔버 내를 감압시키는 단계;

상기 스페이서에 의해 둘러싸인 상기 배열영역이 채워지도록 경화성 액상 수지를 적하시키는 단계;

상기 경화성 액상 수지가 상기 칩 어레이 구조물 내부에 충전된 상태에서 상기 스페이서 상에 제2 시트를 부착시키는 단계;

상기 칩 어레이 구조물의 내부에 충전된 경화성 액상 수지를 경화시키는 단계; 및

복수의 발광장치가 얻어지도록 상기 칩 어레이 구조물을 원하는 크기로 절단하는 단계를 포함하는 발광장치 제조방법.

청구항 2

양 전극이 형성된 전극형성면을 갖는 복수의 발광다이오드 칩과, 적어도 일면에 노출된 접속부를 갖는 전기적으로 연결된 복수의 외부단자용 블럭을 마련하는 단계;

각각 상기 전극형성면과 상기 접속부 노출면이 상부를 향하면서 상기 발광다이오드 칩이 상기 외부단자용 블럭 사이에 위치하도록 제1 시트 상에 상기 외부단자용 블럭과 상기 발광다이오드 칩을 부착시키는 단계;

상기 발광 다이오드 칩의 전극을 인접한 외부단자용 블럭의 노출된 접속부 에 와이어로 각각 연결하는 단계;

상기 외부단자용 블럭과 상기 발광 다이오드 칩의 배열영역을 둘러싸도록 상기 제1 시트 상에 상기 와이어의 높이보다 큰 높이를 가지며 적어도 하나의 유입구가 마련된 스페이서를 부착시키는 단계;

상기 스페이서 상에 제2 시트를 부착시킴으로써 상기 배열영역을 포함한 내부공간을 갖는 칩 어레이 구조물을 제조하는 단계;

챔버 내에 상기 칩 어레이 구조물을 배치하고, 상기 칩 어레이 구조물의 내부공간이 감압 또는 진공상태가 되도록 상기 챔버 내를 감압시키는 단계;

상기 챔버의 감압이 유지된 상태에서, 상기 내부공간이 밀폐되도록 상기 스페이서의 유입구와 인접한 영역에 경화성 액상 수지를 배치하는 단계;

상기 유입구를 통하여 상기 경화성 액상 수지가 상기 내부공간에 유입되어 충전되도록 상기 챔버의 감압 또는 진공상태를 해제하는 단계;

상기 칩 어레이 구조물의 내부에 충전된 경화성 액상 수지를 경화시키는 단계; 및

복수의 발광장치가 얻어지도록 상기 칩 어레이 구조물을 원하는 크기로 절단하는 단계를 포함하는 발광장치 제조방법.

청구항 3

제1항 또는 제2항에 있어서,

상기 복수의 발광다이오드 칩은, 각각 적어도 측면에 형성된 투명 수지층을 포함하는 것을 특징으로 하는 발광

장치 제조방법.

청구항 4

제3항에 있어서,

상기 복수의 발광다이오드 칩은, 각각 측면과 상기 전극 형성면과 반대되는 면에 형성된 투명 수지층을 포함하는 것을 특징으로 하는 발광장치 제조방법.

청구항 5

제4항에 있어서,

상기 투명 수지층 중 적어도 상기 전극 형성면과 반대되는 면에 형성된 부분은 형광체 분말을 포함하는 것을 특징으로 하는 발광장치 제조방법.

청구항 6

제1항 또는 제2항에 있어서,

상기 경화성 액상 수지를 경화시키는 단계와 상기 칩 어레이 구조물을 원하는 크기로 절단하는 단계 사이에, 상기 제1 및 제2 시트를 제거하는 단계를 더 포함하는 것을 특징으로 하는 발광장치 제조방법.

청구항 7

제1항 또는 제2항에 있어서,

상기 경화성 액상 수지를 경화시키는 단계와 상기 칩 어레이 구조물을 원하는 크기로 절단하는 단계 사이에, 상기 제1 시트가 제거된 후에 노출된 면 중 적어도 상기 발광다이오드 칩 영역에 형광체층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 발광장치 제조방법.

청구항 8

제1항 또는 제2항에 있어서,

상기 복수의 외부단자용 블럭은 상기 제1 시트 상에 부착되는 제1 면 및 상기 제1 면의 반대측에 위치하고, 상기 발광 다이오드 칩의 전극형성면과 동일한 방향을 향하는 제2 면을 갖는 절연성 블럭체를 포함하며, 상기 복수의 외부단자용 블럭의 접속부는 상기 절연성 블럭체의 제1 및 제2 면을 관통하는 도전성 비아홀을 포함하는 것을 특징으로 하는 발광장치 제조방법.

청구항 9

제8항에 있어서,

상기 복수의 외부단자용 블럭의 접속부는, 상기 절연성 블럭체의 제1 면에 형성되어 상기 도전성 비아홀에 연결된 전극층을 더 포함하는 것을 특징으로 하는 발광장치 제조방법.

청구항 10

제8항에 있어서,

상기 절연성 블럭체는 세라믹 블럭체 또는 PCB 블럭인 것을 특징으로 하는 발광장치 제조방법.

청구항 11

제10항에 있어서,

상기 세라믹 블럭체는 다공성 구조를 갖는 것을 특징으로 하는 발광장치 제조방법.

청구항 12

제8항에 있어서,

상기 칩 어레이 구조물을 절단하는 단계는, 상기 도전성 비아홀이 절단된 면에 노출되도록 상기 외부단자용 블

력과 함께 상기 칩 어레이 구조물을 절단하는 단계인 것을 특징으로 하는 발광장치 제조방법.

청구항 13

제12항에 있어서,

상기 외부단자용 블럭과 상기 발광다이오드 칩을 배열하는 단계는, 4개의 발광다이오드 칩이 상기 하나의 외부단자용 블럭을 공유하도록 상기 외부단자용 블럭과 상기 발광다이오드 칩을 배열하는 단계이며,

상기 칩 어레이 구조물을 절단하는 단계는, 상기 절연성 블럭체의 인접한 2개의 측면에서 상기 도전성 비아홀이 노출되도록 상기 외부단자용 블럭과 함께 상기 칩 어레이 구조물을 절단하는 단계인 것을 특징으로 하는 발광장치 제조방법.

청구항 14

제1항 또는 제2항에 있어서,

상기 외부단자용 블럭은 적어도 하나의 단차가 형성된 측면을 갖는 것을 특징으로 하는 발광장치 제조방법.

청구항 15

제1항 또는 제2항에 있어서,

상기 제1 시트 상에 상기 발광다이오드 칩과 상기 외부단자용 블럭을 부착하는 단계는,

경화성 물질이 도포된 상기 제1 시트 상에 상기 발광다이오드 칩과 상기 외부단자용 블럭을 배열하는 단계와,

상기 제1 시트 상에 상기 발광다이오드 칩과 상기 외부단자용 블럭이 유지되도록 상기 경화성 물질을 경화시키는 단계를 포함하는 것을 특징으로 하는 발광장치 제조방법.

청구항 16

제1항 또는 제2항에 있어서,

상기 챔버 내를 감압시키는 단계 전에, 상기 경화성 액상수지를 상기 챔버 내에 배치하는 단계를 더 포함하며, 이로써 상기 챔버 내를 감압시키는 단계에서 경화성 액상수지가 탈포처리되는 것을 특징으로 하는 발광장치 제조방법.

청구항 17

제1항 또는 제2항에 있어서,

상기 경화성 액상 수지를 경화시키는 단계 전에, 상기 칩 어레이 구조물을 상기 챔버 외부로 언로딩하는 단계를 더 포함하는 것을 특징으로 하는 발광장치 제조방법.

청구항 18

제1항 또는 제2항에 있어서,

상기 경화성 수지는 전기적 절연성을 갖는 고반사성 분말을 포함하는 것을 특징으로 하는 발광장치 제조방법.

청구항 19

제18항에 있어서,

상기 고반사성 분말은 TiO₂ 분말인 것을 특징으로 하는 발광장치 제조방법.

청구항 20

제1항 또는 제2항에 있어서,

상기 외부단자용 블럭과 상기 발광다이오드 칩을 부착시키는 단계 후에, 상기 외부단자용 블럭 또는 상기 발광다이오드 칩 상에 제너다이오드를 부착시키는 단계를 더 포함하며,

상기 와이어로 연결하는 단계는, 상기 제너다이오드와 함께 상기 외부단자용 블럭 접속부와 상기 발광다이오드 칩의 전극을 와이어로 연결하는 단계인 것을 특징으로 하는 발광장치 제조방법.

청구항 21

제1항 또는 제2항에 있어서,

상기 외부단자용 블럭과 상기 발광다이오드 칩을 부착시키는 단계 후에, 상기 발광다이오드 칩 상에 방열체를 부착시키는 단계를 더 포함하는 것을 특징으로 하는 발광장치 제조방법.

청구항 22

제2항에 있어서,

상기 제2 시트는 경성(rigid) 시트인 것을 특징으로 하는 발광장치 제조방법.

청구항 23

제2항에 있어서,

상기 외부단자용 블럭의 높이는 상기 스페이서의 높이와 동일하며,

상기 외부단자용 블럭은 상기 발광다이오드 칩을 향하는 면에 형성된 단차구조를 가지며 단차면과 상단면이 서로 전기적으로 연결된 것을 특징으로 하는 발광장치 제조방법.

청구항 24

제23항에 있어서,

상기 외부단자용 블럭은 그 자체가 접속부로 제공될 수 있도록 도체로 이루어진 것을 특징으로 하는 발광장치 제조방법.

청구항 25

제23항에 있어서,

상기 칩 어레이 구조물을 제조하는 단계는, 상기 제2 시트를 상기 스페이서 상면과 복수의 외부단자용 블럭의 상단면에 부착시키는 단계인 것을 특징으로 하는 발광장치 제조방법.

청구항 26

삭제

청구항 27

제1 주면 및 그 반대측에 위치한 제2 주면과 상기 제1 및 제2 주면 사이에 위치한 복수의 측면을 가지며, 경화성 수지로 이루어진 패키지 본체;

제1 및 제2 전극이 형성된 전극형성면을 가지며, 상기 전극형성면이 상기 제2 주면을 향하도록 배치된 발광다이오드 칩;

상기 발광 다이오드칩의 양 측면에 각각 배치되고, 상기 패키지 본체의 제1 주면에 노출되는 제1 면 및 상기 제1 면의 반대측에 위치하고, 상기 패키지 내부에서 상기 제2 주면을 향하여 노출된 접속부를 포함하는 제2 면과 그 사이에 측면을 갖는 제1 및 제2 외부단자용 블럭; 및

상기 발광다이오드 칩의 제1 및 제2 전극을 각각 제1 및 제2 외부단자용 블럭의 접속부에 각각 전기적으로 연결하는 와이어를 포함하는 발광장치.

청구항 28

제27항에 있어서,

상기 복수의 발광다이오드 칩은, 각각 적어도 측면에 형성된 투명 수지층을 포함하는 것을 특징으로 하는 발광

장치.

청구항 29

제28항에 있어서,

상기 복수의 발광다이오드 칩은, 각각 측면과 상기 전극 형성면과 반대되는 면에 형성된 투명 수지층을 포함하는 것을 특징으로 하는 발광장치.

청구항 30

제29항에 있어서,

상기 투명 수지층 중 적어도 상기 전극 형성면과 반대되는 면에 형성된 부분은 형광체 분말이 포함된 것을 특징으로 하는 발광장치.

청구항 31

제27항에 있어서,

상기 패키지 본체의 제1 주면 중 적어도 상기 발광다이오드 칩 영역에 형성된 형광체층을 더 포함하는 것을 특징으로 하는 발광장치.

청구항 32

제31항에 있어서,

상기 패키지 본체를 구성하는 경화성 수지는 1.5 이하의 굴절율을 갖는 수지인 것을 특징으로 하는 발광장치.

청구항 33

제31항에 있어서,

상기 발광 다이오드 칩이 위치한 영역이 커버되도록 상기 발광 장치의 대향하는 양 측면에 형성되며, 고반사성 분말이 함유된 수지로 이루어진 측면 반사층을 더 포함하는 것을 특징으로 하는 발광장치.

청구항 34

제27항에 있어서,

상기 제1 및 제2 외부단자용 블럭의 제2 면은 상기 패키지 본체의 내부에 위치하고, 그 측면 중 일부는 상기 패키지 본체의 측면에 노출되며,

상기 접속부는 상기 제1 및 제2 외부단자용 블럭의 제2 면으로부터 그 노출된 일부 측면에 연결되도록 형성된 것을 특징으로 하는 발광장치.

청구항 35

제34항에 있어서,

상기 제1 및 제2 외부단자용 블럭은, 각각 상기 패키지 본체의 제1 주면에 노출된 제1 면과 상기 제2 주면을 향하는 제2 면과 그 사이에 위치한 측면을 갖는 절연성 블럭체를 포함하며,

상기 제1 및 제2 외부단자용 블럭의 접속부는 각각 상기 절연성 블럭체의 제1 및 제2 면을 관통하며 상기 패키지 본체의 측면에 그 일부가 노출되도록 형성된 도전성 비아홀을 포함하는 것을 특징으로 하는 발광장치.

청구항 36

제35항에 있어서,

상기 제1 및 제2 외부단자용 블럭의 인접한 2개의 측면이 각각 상기 패키지 본체의 인접한 2개의 측면에 노출되는 것을 특징으로 하는 발광장치.

청구항 37

제35항에 있어서,

상기 제1 및 제2 외부단자용 블럭의 인접한 3개의 측면이 각각 상기 패키지 본체의 인접한 3개의 측면에 노출되는 것을 특징으로 하는 발광장치.

청구항 38

제35항에 있어서,

상기 제1 및 제2 외부단자용 블럭의 접속부는, 상기 절연성 블럭체의 제2 면에 형성되어 상기 도전성 비아홀에 연결된 전극층을 더 포함하는 것을 특징으로 하는 발광장치.

청구항 39

제35항에 있어서,

상기 제1 및 제2 외부단자용 블럭은, 상기 절연성 블럭체의 제1 면에 형성되어 상기 도전성 비아홀에 연결된 금속층과 상기 금속층을 덮도록 상기 절연성 블럭체의 제1 면에 형성되며 고반사성 분말이 함유된 수지로 이루어진 광흡수방지층을 더 포함하는 것을 특징으로 하는 발광장치.

청구항 40

제35항에 있어서,

상기 절연성 블럭체는 세라믹 블럭체 또는 PCB 블럭인 것을 특징으로 하는 발광장치.

청구항 41

제40항에 있어서,

상기 세라믹 블럭체는 다공성 구조를 갖는 것을 특징으로 하는 발광장치.

청구항 42

제41항에 있어서,

상기 다공성 구조의 공극률은 10 ~ 60%이며, 공극직경은 0.1~ 1.3 μ m인 것을 특징으로 하는 발광장치.

청구항 43

제27항에 있어서,

상기 제1 및 제2 외부단자용 블럭은 상기 발광다이오드 칩을 향하는 면에 단차를 형성하며, 상기 단차의 상단부는 상기 패키지 본체의 제2 주면에 노출되도록 위치하고, 상기 단차의 하단부는 상기 발광 다이오드 칩과 연결되는 전기적 접속부를 포함하는 것을 특징으로 하는 발광장치.

청구항 44

제43항에 있어서,

상기 제1 및 제2 외부단자용 블럭은 그 자체가 접속부로 제공되는 전기적 전도성을 갖는 물질로 이루어진 것을 특징으로 하는 발광장치.

청구항 45

제27항에 있어서,

상기 경화성 수지는 전기적 절연성을 갖는 고반사성 분말을 포함하는 것을 특징으로 하는 발광장치.

청구항 46

제45항에 있어서,

상기 고반사성 분말은 TiO₂ 분말인 것을 특징으로 하는 발광장치.

청구항 47

제27항에 있어서,

상기 제1 및 제2 외부단자용 블럭체의 제2 면 및 상기 발광다이오드 칩의 전극 형성면 중 일 면에 부착되어 상기 접속부 및 상기 제1 또는 제2 전극에 전기적으로 연결된 제너다이오드를 더 포함하는 것을 특징으로 하는 발광장치.

청구항 48

제27항에 있어서,

상기 발광다이오드 칩 상에 부착된 방열체를 더 포함하는 것을 특징으로 하는 발광장치.

청구항 49

제27항에 있어서,

상기 패키지 본체의 제1 및 제2 주면과 측면은 평탄한 면인 것을 특징으로 하는 발광장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 발광장치에 관한 것으로서, 특히 반도체 발광다이오드 칩을 구비한 발광장치 및 그 제조방법에 관한 것이다.

배경기술

[0002] 일반적으로, 발광다이오드 칩을 구비한 발광장치는 리드프레임에 백색 수지를 사출 성형한 케이스를 갖는 패키지 구조가 널리 사용되고 있다. 이러한 발광장치는 케이스의 홈부에 리드프레임과 연결되도록 LED 칩을 실장한 후에, 그 홈부를 수지로 충전시킨다. 특히, 백색 발광장치를 제조하기 위해서, 홈부에 충전된 수지에 형광체 분말을 함유시키는 방법이 사용될 수 있다.

[0003] 하지만, 종래의 발광장치 구조는 소형화와 수율측면에서 몇가지 단점을 갖고 있다.

[0004] 예를 들어, 휴대전화의 디스플레이부의 백라이트용 광원으로 주로 사용되는 표면실장이 가능한 측면 방출(side view)형 발광장치의 경우에, 휴대전화의 박형화에 따라서 측면방출형 발광장치의 박형화도 크게 요구되고 있다. 그러나, 종래의 발광장치구조에서는 LED 칩의 실장을 위해 홈부가 마련되어야 하므로, 이를 구비한 케이스를 충분히 소형화하여 제조하는데 어려움이 있다.

[0005] 또한, 리드프레임과 함께 케이스를 사출 성형한 후에, LED 칩을 실장하고 홈부에 수지포장부를 제공하는 복잡한 공정이 진행되므로, 수율이 저하되고 공정비용이 증가되는 문제가 있다.

[0006] 특히, 백색 발광장치에서는, 홈부에 형광체 분말이 함유된 액상 수지를 디스플레이하는 과정에서 디스플레이에 의한 형광체 충전량의 산포로 인해 색도 산포가 불균일해지는 문제가 발생할 수 있다.

발명의 내용

해결 하고자하는 과제

[0007] 본 발명은 상기한 종래 기술의 문제점을 해결하기 위한 것으로서, 그 일 목적은 보다 소형화가 가능하면서도 종래의 패키지 공정과 달리 단일 공정을 통해 발광다이오드 칩과 외부연결용 전극리드를 일체화시킬 수 있는 발광

장치의 제조방법을 제공하는 것이다.

[0008] 본 발명의 다른 목적은 보다 소형화 가능하면서 간소화된 공정으로 제조될 수 있는 새로운 구조의 발광장치를 제공하는 것이다.

과제 해결수단

[0009] 상기한 기술적 과제를 해결하기 위해서, 본 발명의 일 측면은 크게 2 가지의 실시형태에 따른 발광장치 제조방법을 제공한다.

[0010] 본 발명의 제1 실시형태에 따른 발광장치의 제조방법은, 양 전극이 형성된 전극형성면을 갖는 복수의 발광다이오드 칩과, 적어도 일면에 노출된 접속부를 갖는 전기적으로 연결된 복수의 외부단자용 블럭을 마련하는 단계와, 각각 상기 전극형성면과 상기 접속부 노출면이 상부를 향하면서 상기 발광다이오드 칩이 상기 외부단자용 블럭 사이에 위치하도록 제1 시트 상에 상기 외부단자용 블럭과 상기 발광다이오드 칩을 부착시키는 단계와, 상기 발광 다이오드 칩의 전극을 인접한 외부단자용 블럭의 노출된 접속부에 와이어로 각각 연결하는 단계와, 상기 외부단자용 블럭과 상기 발광 다이오드 칩의 배열영역을 둘러싸도록 상기 제1 시트 상에 상기 와이어의 높이보다 큰 높이를 갖는 스페이서를 부착시킴으로써 칩 어레이 구조물을 마련하는 단계와, 챔버 내에 상기 칩 어레이 구조물을 배치하고, 상기 챔버 내가 감압 또는 진공상태가 되도록 상기 챔버 내를 감압시키는 단계와, 상기 스페이서에 의해 둘러싸인 상기 배열영역이 채워지도록 상기 스페이서 내의 배열영역에 경화성 액상 수지를 적하시키는 단계와, 상기 경화성 액상 수지가 상기 칩 어레이 구조물 내부에 충전된 상태에서 상기 스페이서 상에 제2 시트를 부착시키는 단계와, 상기 칩 어레이 구조물의 내부에 충전된 경화성 액상 수지를 경화시키는 단계와, 복수의 발광장치가 얻어지도록 상기 칩 어레이 구조물을 원하는 크기로 절단하는 단계를 포함한다.

[0011] 본 발명의 제2 실시형태에 따른 제조방법은, 양 전극이 형성된 전극형성면을 갖는 복수의 발광다이오드 칩과, 적어도 일면에 노출된 접속부를 갖는 전기적으로 연결된 복수의 외부단자용 블럭을 마련하는 단계와, 각각 상기 전극형성면과 상기 접속부 노출면이 상부를 향하면서 상기 발광다이오드 칩이 상기 외부단자용 블럭 사이에 위치하도록 제1 시트 상에 상기 외부단자용 블럭과 상기 발광다이오드 칩을 부착시키는 단계와, 상기 발광 다이오드 칩의 전극을 인접한 외부단자용 블럭의 노출된 접속부에 와이어로 각각 연결하는 단계와, 상기 외부단자용 블럭과 상기 발광 다이오드 칩의 배열영역을 둘러싸도록 상기 제1 시트 상에 상기 와이어의 높이보다 큰 높이를 가지며 적어도 하나의 유입구가 마련된 스페이서를 부착시키는 단계와, 상기 스페이서 상에 제2 시트를 부착시킴으로써 상기 배열영역을 포함한 내부공간을 갖는 칩 어레이 구조물을 제조하는 단계와, 챔버 내에 상기 칩 어레이 구조물을 배치하고, 상기 칩 어레이 구조물의 내부공간이 감압 또는 진공상태가 되도록 상기 챔버 내를 감압시키는 단계와, 상기 챔버의 감압이 유지된 상태에서, 상기 내부공간이 밀폐되도록 상기 스페이서의 유입구와 인접한 영역에 경화성 액상 수지를 배치하는 단계와, 상기 유입구를 통하여 상기 경화성 액상 수지가 상기 내부공간에 유입되어 충전되도록 상기 챔버의 감압 또는 진공상태를 해제하는 단계와, 상기 칩 어레이 구조물의 내부에 충전된 경화성 액상 수지를 경화시키는 단계와, 복수의 발광장치가 얻어지도록 상기 칩 어레이 구조물을 원하는 크기로 절단하는 단계를 포함한다.

[0012] 상기 복수의 발광다이오드 칩은 각각 적어도 측면에 형성된 투명 수지층을 포함할 수 있다. 상기 투명 수지층은 측면과 상기 전극 형성면과 반대되는 면에 형성될 수 있다. 상기 투명 수지층 중 적어도 상기 전극 형성면과 반대되는 면에 형성된 부분은 발광과장을 변환하기 위한 형광체 분말이 포함될 수 있다.

[0013] 이와 달리, 상기 칩 어레이 구조물을 원하는 크기로 절단하기 전에, 상기 제1 시트를 제거한 후에 노출된 면 중 적어도 상기 발광다이오드 칩 영역에 형광체층을 추가적으로 형성할 수 있다.

[0014] 상기 경화성 액상 수지를 경화시킨 후, 상기 칩 어레이 구조물을 절단하는 단계 전에, 상기 제1 및 제2 시트를 제거하는 단계를 더 포함할 수 있다.

[0015] 본 발명에 채용된 외부단자용 블럭은, 서로 반대에 위치한 제1 및 제2 면을 갖는 절연성 블럭체를 포함하며, 상기 접속부는 상기 절연성 블럭체의 제1 및 제2면을 관통하는 도전성 비아홀로서 구현될 수 있다. 와이어가 연결

되는 접속부의 노출영역은 상기 절연성 블럭체의 제1 면일 수 있다.

- [0016] 이 경우에, 와이어 접속영역을 충분히 보장하기 위해서, 상기 접속부는 상기 도전성 비아홀에 연결되도록 상기 절연성 블럭체의 제1 면에 형성된 전극층을 더 포함할 수 있다.
- [0017] 상기 절연성 블럭체는 세라믹 블럭체 또는 PCB 블럭일 수 있으며, 세라믹 블럭체인 경우에 수지와 밀착력을 강화하기 위해서, 상기 세라믹 블럭체는 다공성 세라믹으로 이루어질 수 있다.
- [0018] 또한, 외부단자용 블럭이 발광장치에 잘 결속되도록, 상기 외부단자용 블럭은 적어도 하나의 단차가 형성된 측면을 가질 수 있다.
- [0019] 도전성 비아홀을 갖는 외부단자용 블럭은, 칩 어레이 구조물의 절단과정에서, 상기 도전성 비아홀이 절단되어 그 절단된 면에 노출되도록 한다.
- [0020] 이 경우에, 바람직하게, 외부단자용 블럭과 발광다이오드 칩의 배열은, 4개의 발광다이오드 칩이 상기 하나의 외부단자용 블럭을 공유하도록 구현할 수 있으며, 상기 절연성 블럭체의 인접한 2개의 측면에서 상기 도전성 비아홀이 노출되도록 상기 외부단자용 블럭과 함께 상기 칩 어레이 구조물을 절단한다.
- [0021] 상기 제1 시트 상에 상기 발광다이오드 칩과 상기 외부단자용 블럭을 부착하는 단계는, 경화성 물질이 도포된 상기 제1 시트 상에 상기 발광다이오드 칩과 상기 외부단자용 블럭을 배열하는 단계와, 상기 제1 시트 상에 상기 발광다이오드 칩과 상기 외부단자용 블럭이 유지되도록 상기 경화성 물질을 경화시키는 단계로 구현될 수 있다.
- [0022] 바람직하게, 상기 챔버 내를 감압시키는 단계 전에, 상기 경화성 액상수지를 상기 챔버 내에 배치함으로써, 상기 챔버 내를 감압시키는 단계에서 경화성 액상수지의 탈포 처리를 수행할 수 있다.
- [0023] 바람직하게, 상기 경화성 액상 수지는 전기적 절연성을 갖는 고반사성 분말을 포함할 수 있다. 이러한 고반사성 분말로는 TiO₂ 분말가 사용될 수 있다.
- [0024] 상기 외부단자용 블럭과 상기 발광다이오드 칩을 부착시키는 단계에서, 상기 외부단자용 블럭 또는 상기 발광다이오드 칩 상에 제너다이오드를 추가적으로 부착할 수 있다. 이와 유사하게, 상기 발광다이오드 칩 상에 방열체를 추가적으로 부착시킬 수 있다.
- [0025] 본 발명의 제2 실시형태에 따른 제조방법에서, 상기 제2 시트는 경성(rigid) 시트를 사용하는 것이 바람직하다. 특정 실시예에서, 상기 외부단자용 블럭의 높이는 상기 스페이서의 높이와 동일하며, 상기 외부단자용 블럭은 상기 발광다이오드 칩을 향하는 면에 형성된 단차구조를 가지며 그 단차면과 상단면이 서로 전기적으로 연결된 구조일 수 있다. 이 경우에, 상기 외부단자용 블럭은 그 자체가 접속부로 제공될 수 있도록 도체로 이루어질 수 있다.
- [0026] 본 발명의 다른 측면은, 제1 및 제2 주면과 그 사이에 위치한 복수의 측면을 가지며, 각각 상기 제1 및 제2 주면을 포함하는 제1 및 제2 레벨영역으로 구분되고, 경화성 수지로 이루어진 패키지 본체와, 상기 패키지 본체의 양단에 각각 배치되고, 제1 및 제2 면과 그 사이에 측면을 가지며, 적어도 상기 제1 면이 상기 패키지 본체의 제1 주면에 노출되고, 상기 패키지 본체의 내부에 위치한 부분에서 노출된 다른 면에 연결된 접속부를 갖는 제1 및 제2 외부단자용 블럭과, 상기 제1 레벨영역에서 상기 제1 및 제2 외부단자용 블럭 사이에 위치하고, 제1 및 제2 전극이 형성된 전극형성면을 가지며, 그 전극형성면이 상기 제2 레벨영역을 향하도록 배치된 발광다이오드 칩과, 상기 발광다이오드 칩의 제1 및 제2 전극을 각각 제1 및 제2 외부단자용 블럭의 접속부에 각각 전기적으로 연결하는 와이어를 포함하는 발광장치를 제공한다.

효 과

[0027] 본 발명에 따르면, 별도의 케이스 구조를 채용하지 않으므로, 충분히 콤팩트한 구조의 새로운 발광장치를 실현할 수 있다. 또한, 케이스 구조의 사출성형과 별도로 수지포장부 형성공정이 요구되는 종래의 방법과 달리, 전체 구조를 단일화된 공정으로 제조할 수 있을 뿐만 아니라, 리드프레임에 대한 별도의 가공공정이 요구되지 않으므로, 콤팩트한 패키지의 대량 생산공정에 유익하게 사용될 수 있다. 또한, 발광장치의 사이즈를 칩 어레이 구조물의 적절한 설계를 통해서 일률적으로 적용할 수 있으므로, 공정편차를 감소시켜 우수한 발광장치를 보다 효과적으로 생산할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0028] 이하, 첨부된 도면을 참조하여, 본 발명을 더욱 상세하게 설명한다.
- [0029] 본 발명의 제1 실시형태에 따른 발광장치 제조방법은 도1 및 도2에 도시된 공정 예를 통해서 보다 용이하게 이해될 수 있다.
- [0030] 도1a 내지 도1d는 본 발명의 제1 실시형태에 따른 발광장치 제조공정에 필요한 칩 어레이 구조물을 마련하는 공정을 나타낸다.
- [0031] 도1a에 도시된 바와 같이, 경화성 물질(R)이 도포된 제1 시트(11a') 상에 외부단자용 블럭(15)과 발광다이오드 칩(12)을 배열한다.
- [0032] 상기 발광다이오드 칩(12)은 양 극성의 전극(12a, 12b) 모두가 일면(이하, "전극 형성면"이라고도 함)에 형성된 구조를 갖는다. 본 실시형태와 같이 전극형성면의 반대면과 측면에 형성된 수지층(14)을 포함할 수 있다. 상기 수지층(14)은 필요에 따라 과장변환을 위한 형광체 분말을 포함할 수 있다. 특히 형광체가 함유된 수지층 부분은 발광다이오드 칩(12) 중 광방출면으로 제공될 면, 즉 전극형성면의 반대면에 제공될 수 있다.
- [0033] 본 실시형태에 채용된 외부단자용 블럭(15)은 절연성 블럭체(15a)와 그 양면을 관통하는 도체로 이루어진 접속부(15b)를 갖는다. 상기 접속부(15b)는 상기 외부단자용 블럭(15) 중 적어도 일 면에 노출되어 발광 다이오드 칩(12)과 접속영역을 제공한다. 이러한 외부단자용 블럭(15)은 최종 발광장치의 외부단자로 제공된다. 이러한 외부단자의 외부접속영역은 후속 절단공정에서 접속부(15b)를 절단된 면을 통해 노출시킴으로써 얻어질 수 있다.
- [0034] 상기 외부단자용 블럭(15)은 원하는 최종 발광장치의 구조(예: side view 또는 top view)에 따라 접속부(15b) 위치 및 형상과 블럭(15)의 형상은 다양하게 변경될 수 있다(도7a 및 도7b과 도16 참조).
- [0035] 본 발명에 채용가능한 외부단자용 블럭(15)은 특정된 형태에 한정되지 아니하며, 발광다이오드 칩의 전극(12a, 12b)과 연결된 노출된 접속부(15b)를 가지며, 최종 발광장치(즉, 절단공정 후)에서 그 발광장치의 외부로 노출된 접속부(15b)를 갖는 형태이면 만족한다. 특정한 실시형태에서, 외부단자용 블럭 자체가 접속부로서 제공될 수 있도록 도체물질로 구성된 구조물일 수 있다.
- [0036] 본 실시형태에서, 상기 발광다이오드 칩(12)은 상기 외부단자용 블럭(15) 사이에 위치하도록 배열된다. 후속 와이어 접속공정을 위해서 상기 발광다이오드 칩(12)과 상기 외부단자용 블럭(15)은 상기 전극형성면과 상기 접속부(15b) 노출면이 상부를 향하도록 배치된다. 본 실시형태에 채용가능한 바람직한 배열형태가 도3에 도시되어 있다.
- [0037] 도3을 참조하면, 발광다이오드 칩(12)은 일 열로 배열된 LED 칩 어레이(A)로 도시되어 있다. 이러한 LED 칩 어레이(A)는 수지층(14)을 형성한 후에 개별 칩으로 완전히 절단되지 않은 형태로 이해될 수 있다. 물론, 본 예와

달리, 칩 어레이를 사용하지 않고, 개별 칩을 배열하는 방식으로 실시될 수 있다.

- [0038] 본 배열에는, 하나의 외부단자용 블럭(15)은 4개의 발광다이오드 칩(12)이 서로 공유하는 형태를 갖는다. 따라서, 점선을 따라 후속공정에서 절단되면, 하나의 외부단자용 블럭(15)은 1/4 단위로 절단되어 4개의 개별 발광 장치에 속할 수 있다. 여기서, 1/4 단위로 외부단자용 블럭(15)이 절단될 때에, 상기 접속부(15b)인 도전성 비아홀도 함께 절단되며, 그 절단으로 형성된 인접한 2개의 측면에서 접속부(15b)가 노출될 수 있다. 그 노출된 접속부영역은 외부단자의 외부접속영역으로 제공될 수 있다. 발광장치의 외부단자 구성방법은 이에 한정되지 않으며, 당업자는 하나의 외부단자용 블럭을 2개 또는 다른 수의 칩에 공유되도록 다른 배열형태를 고려할 수 있을 것이다.
- [0039] 이어, 도1b와 같이, 상기 제1 시트(11a') 상에 배열된 발광다이오드 칩(12)과 외부단자용 블럭(15)을 접착용 경화성 물질(R)을 이용하여 그 제1 시트(11a)에 고정시킨다.
- [0040] 본 공정은 배열된 칩(12)과 블럭(15)에 대한 적절한 압착공정 후에, 접착용 경화성 물질의 경화조건을 적용함으로써 얻어질 수 있다. 예를 들어, 경화성 물질이 자외선(UV) 경화성 수지인 경우에, 압착 후에 자외선 조사를 통해 원하는 부착을 실현할 수 있다.
- [0041] 다음으로, 도1c와 같이, 상기 발광 다이오드 칩(12)의 전극(12a,12b)을 인접한 외부단자용 블럭(15)의 노출된 접속부(15b)에 와이어(16a,16b)로 각각 연결한다.
- [0042] 앞선 배열공정(도1a 참조)에서, 상기 발광다이오드 칩(12)과 외부단자용 블럭(15)은 각각 전극형성면과 접속부(15b) 노출면이 상면에 위치하도록 배열되어 있으므로, 본 와이어 본딩공정은 용이하게 실현될 수 있다.
- [0043] 이어, 도1d와 같이, 상기 외부단자용 블럭(15)과 상기 발광 다이오드 칩(12)의 배열영역을 둘러싸도록 상기 제1 시트(11a) 상에 스페이서(17)를 부착시킨다.
- [0044] 상기 스페이서(17)는 후속되는 수지 충전공정에서 수지 충전 영역을 정의하는 역할을 한다. 따라서, 와이어(16a,16b)가 수지로 이루어진 패키지 본체 내부에 존재할 수 있도록, 상기 스페이서(17)는 상기 와이어(16a,16b)의 높이(h1)보다 큰 높이(t1)를 갖는다. 상기 스페이서(17)의 부착은 접착용 수지 또는 경화성 물질을 이용하여 실현될 수 있다.
- [0045] 이와 같은 공정을 통해서, 본 발명의 제1 실시형태에 사용될 칩 어레이 구조물은 제조될 수 있다. 도1d에 도시된 칩 어레이 구조물은 도2a 내지 도2d에 도시된 수지 충전공정 및 절단공정을 포함한 일련의 공정을 통해 복수의 발광장치로 제조될 수 있다.
- [0046] 우선, 도2a와 같이, 스페이서(17)에 의해 둘러싸인 배열영역이 채워지도록 상기 스페이서(17) 내의 배열영역에 경화성 액상 수지(18')를 적하시킨다.
- [0047] 상기 경화성 액상 수지(18')는 스페이서에 둘러싸인 내부공간이 채워지도록 충분히 많은 양으로 적하되는 것이 바람직하다. 보다 구체적으로는, 경화성 액상 수지(18')는 적어도 스페이서(17)의 높이(t1)를 가질 수 있도록 적하시키는 것이 바람직하다.
- [0048] 상기 경화성 액상 수지(18')는 다른 구성요소의 광흡수로 인한 손실을 방지하고 광방출효율을 향상시키기 위해서 전기적 절연성을 갖는 고반사성 분말을 포함한 투명 수지일 수 있다. 고반사성 분말로는 바람직하게 TiO₂ 분말이 사용될 수 있다. 투명수지로는 실리콘 수지, 에폭시 수지 또는 그 조합이 사용될 수 있다.
- [0049] 적하되는 수지(18')는 발광다이오드 칩(12)과 외부단자 블럭(15) 사이의 공간에 적절히 위치할 수 있도록 수지의 점도 등의 공정조건을 조절하는 것이 바람직하다.
- [0050] 본 실시형태에서, 수지 충전공정은 진공챔버 내에 상기 칩 어레이 구조물을 배치하고, 상기 챔버 내가 감압 또

는 진공상태가 되도록 상기 챔버 내를 감압시킨 상태에서 실행된다. 예를 들어, 본 공정은 도4a 및 도4b에 도시된 진공 챔버를 사용될 수 있다.

[0051] 도4a 및 도4b에 도시된 바와 같이, 진공 챔버 장치(30)는, 챔버(31), 상기 챔버(31) 일측에 마련된 진공밸브(36) 및 상기 챔버(31) 내부에 마련된 선반(32)을 포함한다.

[0052] 상기 챔버(31) 내부공간은 진공밸브(36)를 통해서 감압되어 챔버(31)의 내부공간을 진공 또는 원하는 감압상태로 전환시킬 수 있다. 상기 챔버(31)에는 경화성 액상 수지(18')를 원하는 위치에 적하하기 위해서 수지저장부(34)를 추가로 장착될 수 있다. 이러한 감압조건에서 충전될 경화성 수지(18')의 탈포처리를 보장할 수 있다.

[0053] 바람직하게는, 챔버(31) 내부를 감압시키기 전에, 미리 경화성 액상 수지를 배치하여 챔버(31) 내부에 배치하여 탈포처리를 보다 효과적으로 실행할 수도 있다.

[0054] 이어, 도2b와 같이, 상기 챔버(31)의 감압 또는 진공상태를 해제한 후에, 상기 스페이서(17) 상에 제2 시트(11b)를 부착시킨다.

[0055] 상기 제2 시트(11b)를 상기 스페이서(17) 상에 부착시키는 과정을 통해 스페이서(17)의 높이에 준하도록 경화성 액상 수지(18')의 레벨을 조절할 수 있다. 또한, 이러한 제2 시트(11b)의 부착공정에 적용되는 적절한 가압을 통해 칩(12)과 블럭(15) 사이의 공간까지 보다 효과적으로 경화성 액상 수지(18')를 주입시킬 수 있다. 본 공정과 함께, 다른 후속 공정은 바람직하게는 챔버의 감압 또는 진공상태를 해제한 후에, 칩 어레이 구조물을 언로딩한 상태로 외부에서 실행될 수 있다.

[0056] 다음으로, 도2c와 같이 상기 칩 어레이 구조물의 내부에 충전된 경화성 액상 수지(18')를 경화시킨다.

[0057] 본 경화공정은 수지의 종류에 따라 열 또는 자외선 조사에 의해 실시될 수 있다. 본 공정은 필요에 따라 챔버(31) 내부에서 직접 실시될 수 있으나, 칩 어레이 구조물을 수거하여 챔버(31) 외부에서 별도의 가압장비(P)를 이용하여 실시될 수 있다. 이렇게 경화된 수지(18)는 발광 다이오드 칩(12)과 외부단자 블럭(15)을 결속하여 단일한 구조체를 제공할 뿐만 아니라, 상기 칩(12)과 상기 블럭(15)을 전기적으로 연결하는 와이어(16) 부분을 보호할 수 있다.

[0058]

[0059] 이어, 도2d와 같이, 상기 칩 어레이 구조물로부터 상기 제1 및 제2 시트(11a, 11b)를 제거하고, 복수의 발광장치(10)가 얻어지도록 상기 칩 어레이 구조물을 원하는 크기로 절단한다.

[0060] 상기 제1 및 제2 시트(11a, 11b)는 당업자에게 공지된 적절한 화학적/기계적 방법을 통해 상기 칩 어레이 구조물로부터 제거될 수 있다. 시트(11a, 11b) 제거 후에, 상기 칩 어레이 구조물을 다이싱 장치(D)를 이용하여 절단한다.

[0061] 도1a 및 도3에서 설명된 배열형태에서는, 절단되는 위치를 외부단자용 블럭(15)이 1/4 분할되도록 설정함으로써 분할된 외부단자용 블럭(15)을 각각 4개의 발광장치를 위한 외부단자로 제공할 수 있다. 또한, 외부단자용 블럭(15)의 절단면을 통해 서로 인접한 2개의 측면에 노출되도록 절단될 수 있다.

[0062] 도5a 및 도5b는 각각 본 발명의 제1 실시형태에 따라 제조될 수 있는 발광장치의 일예를 나타내는 평면도 및 측면도이다.

[0063] 도5a 및 도5b를 참조하면, 상기 발광장치(20)는, 경화성 수지로 이루어진 패키지 본체(28)를 포함한다. 상기 패키지 본체(28)는 서로 반대에 위치한 제1 및 제2 주면(28a, 28b)과, 그 사이에 위치한 측면(28c)을 갖는다. 상기 패키지 본체(28)의 제1 및 제2 주면(28a, 28b)과 측면(28c)은 평탄한 면으로 제공된다. 본 실시형태에서는 각 면이 평탄한 면으로 도시되어 있으나, 추가적인 가공공정을 통해서 변형될 수 있다.

[0064] 상기 패키지 본체는(28)는 다른 구성요소의 광흡수로 인한 손실을 저감시키기 위해서 전기적 절연성을 갖는 고반사성 분말을 포함한 투명 수지일 수 있다. 고반사성 분말로는 바람직하게 TiO₂ 분말이 사용될 수 있다.

- [0065] 상기 패키지 본체(28)의 양단에는 제1 및 제2 외부단자용 블럭(25)이 위치한다. 상기 제1 및 제2 외부단자용 블럭(25)은 상기 패키지 본체(28)의 제1 주면(28a)에 노출된 제1 면과, 그 제1 면과 대향하는 제2 면을 갖는다. 본 실시형태에 채용된 블럭(25)은 절연성 블럭체(25a)와 상기 제1 및 제2 면을 관통하는 접속부(25b)를 갖는다.
- [0066] 본 실시형태에 따른 발광장치(20)의 구조를 보다 용이하게 설명하기 위해서, 상기 패키지 본체(28)는 발광다이오드 칩(22) 중 전극(22a,22b)이 형성된 면을 기준으로 하여 상기 제1 및 제2 주면(28a,28b)을 포함하는 제1 및 제2 레벨영역(L1,L2)으로 구분하여 이해될 수 있다.
- [0067] 상기 발광다이오드 칩(22)은 상기 제1 레벨영역(L1)에서 상기 제1 및 제2 외부단자용 블럭(25) 사이에 위치하며, 제1 및 제2 전극(22a,22b)이 형성된 전극형성면이 상기 제2 레벨영역(L2)을 향하도록 배치된다. 상기 발광다이오드 칩(22)은 와이어(26a,26b)를 통해 제1 및 제2 외부단자용 블럭(25)의 제2 면에 노출된 접속부(25b)에 각각 연결될 수 있다. 또한, 와이어(26)가 존재하는 부분은 상기 패키지 본체(28)의 제1 레벨영역 일부(L1)에 걸쳐 제2 레벨영역(L2)에 위치하여 보호될 수 있다.
- [0068] 본 실시형태에서는, 특히 도3의 배열형태와 도2d의 절단공정에서 설명된 바와 같이, 각 외부단자용 블럭(25)을 인접한 2개의 절단면에서 접속부(25b)가 노출되도록 4개로 분할하여 절단될 수 있다. 이 경우에, 외부단자용 블럭(25)의 접속부(25b)는 상기 패키지 본체(28)의 동일한 측면에 노출되어 발광장치(20)의 외부접속영역으로 제공될 수 있다. 이러한 구조를 갖는 발광장치(20)는 측면방출형 LED 패키지 구조로서 매우 유용하게 사용될 수 있다.
- [0069] 특히, 본 실시형태에 따른 발광장치(20)는 별도의 케이스 구조를 채용하지 않으므로, 충분히 콤팩트한 구조를 실현할 수 있다. 또한, 케이스 구조의 사출성형과 별도로 수지포장부 형성공정이 요구되는 종래의 방법과 달리, 전체 구조를 단일화된 공정으로 제조할 수 있을 뿐만 아니라, 리드프레임에 대한 별도의 가공공정이 요구되지 않으므로, 콤팩트한 패키지를 위한 대량 생산공정에 유익하게 사용될 수 있다.
- [0070] 본 실시형태에 따른 발광장치는 원하는 패키지 구조에 따라 다양하게 변경되어 실시될 수 있다. 일 변형예로서, 필요한 구성요소를 적절히 추가하여 실행할 수 있다. 대표적인 예로, 발광다이오드 칩을 효과적으로 방출시킬 수 있는 방열체 및/또는 내전압특성을 위한 제너다이오드를 추가적으로 포함한 구조로 제공될 수 있다.
- [0071] 도6a 및 도6b는 각각 본 발명에 따른 발광장치의 다른 예를 나타내는 평면도 및 측단면도이다.
- [0072] 도6a 및 도6b를 참조하면, 상기 발광장치(30)는, 도5a 및 도5b에 도시된 발광장치(20)와 유사하게, 패키지 본체(38)와, 상기 패키지 본체(43)의 양단에 위치한 제1 및 제2 외부단자용 블럭(35)이 위치한다. 상기 제1 및 제2 외부단자용 블럭(35) 사이에 위치한 발광다이오드 칩(32)을 포함한다.
- [0073] 상기 발광다이오드 칩(32)은 상기 제1 레벨영역(L1)에서 위치하며, 제1 및 제2 전극(32a,32b)이 와이어(36a,36b)를 통해 제1 및 제2 외부단자용 블럭(35)의 접속부(35b)에 각각 연결될 수 있다. 또한, 와이어(36a,36b)가 존재하는 부분은 상기 패키지 본체(38)의 제2 레벨영역(L2)에 위치하여 보호될 수 있다.
- [0074] 본 실시형태에 따른 발광장치(30)는 상기 제2 레벨영역(L2)에 위치하며 외부단자용 블럭(36) 중 일 블럭 상에 배치된 제너다이오드(37)를 포함한다. 상기 제너다이오드(37)는 와이어본딩 또는 표면실장 본딩방식으로 발광다이오드 칩(32)과 전기적으로 연결될 수 있다. 즉, 본 실시형태와 같이, 상기 제너다이오드(37)의 일 전극이 외부단자용 블럭(35)의 접속부(35b)에 표면실장으로 연결되고, 다른 전극이 와이어(36c)에 의해 다른 외부단자용 블럭(35)의 접속부(35b)에 연결될 수 있다.
- [0075] 이와 달리, 상기 제너 다이오드(37)의 전극위치와 실장위치에 따라 상기 제너다이오드(37)는 다른 본딩구조를 가질 수 있다. 예를 들어, 본 실시형태와 달리 제너다이오드(37)는 발광 다이오드 칩(32)의 전극형성면에 실장할 수 있다. 이 경우에는 양 전극을 와이어를 통해 각 접속부에 연결할 수 있다.

- [0076] 또한, 상기 발광장치(30)는 상기 제2 레벨영역(L2)에 위치하며 상기 발광다이오드 칩(32) 상에 부착된 방열체(39)를 더 포함할 수 있다. 상기 방열체(39)는 공지된 열전도성이 우수한 물질로 이루어질 수 있다.
- [0077] 이와 같이, 필요에 따라 발광장치(30)에 제너다이오드(37) 및/또는 방열체(39)를 추가할 수 있다. 이러한 공정은 도1a 내지 도1d에 도시된 칩 어레이 구조물 제조공정에서 실행될 수 있으며, 바람직하게는 와이어 본딩 단계(도1c) 전에 실행될 수 있다.
- [0078] 도7a 및 도7b는 본 발명의 제1 실시형태에 바람직하게 채용가능한 외부단자용 블럭을 나타내는 사시도이다. 여기서, 도시된 외부단자용 블럭은 도3에 도시된 배열형태에 적용될 수 있는 구조로서, 최종 발광장치에는 점선을 따라 표시된 1/4 분할된 형태로 제공될 수 있으나, 이와 달리, 도9에 도시된 형태와 같이 기관 형태로 제공될 수도 있다.
- [0079] 도7a에 도시된 외부단자용 블럭(45)은 절연성 블럭체(45a)를 포함한다. 이러한 절연성 블럭체(45a)는 바람직하게 세라믹 소체로 이루어질 수 있다. 특히, 세라믹 소체를 다수의 공극(h)을 갖는 다공성 구조로 제공함으로써 패키지 본체를 구성하는 수지와 결합강도를 향상시킬 수 있다. 이러한 목적을 위해서, 다공성 구조를 구성하는 공극률은 약 10 ~ 60%가 바람직하며, 공극직경은 약 0.1~ 1.3 μ m가 바람직하다.
- [0080] 상기 외부단자용 블럭(45)의 접속부(45b)는 상기 절연성 블럭체(45)의 양면을 관통하는 도전성 비아홀(V1)과 상기 도전성 비아홀(V1)에 연결된 전극층(E1)을 포함할 수 있다. 여기서, 전극층(E1)은 발광다이오드 칩의 전극과 와이어 본딩할 때에, 보다 넓은 접속면적을 제공함으로써 본딩의 불량을 저감시킬 수 있다.
- [0081] 도전성 비아홀(V1)의 형성과정에서, 필요에 따라 상기 외부단자용 블럭(45)에 Au 또는 Ag와 같은 금속으로 이루어진 금속층(M)을 형성할 수 있다. 이러한 금속층(M)은 패키지 구조 내에서 발광다이오드 칩으로부터 생성된 광을 흡수하므로, 광효율을 저하시킬 수 있다. 이를 방지하기 위해서, 상기 외부단자용 블럭(45)은 적어도 상기 금속층을 덮도록 형성된 광흡수방지층(46)을 더 포함하는 것이 바람직하다. 상기 광흡수방지층은(46) TiO₂와 같은 고반사성 분말이 함유된 수지층으로 이루어질 수 있다.
- [0082] 도7b에 도시된 외부단자용 블럭(55)은 절연성 블럭체(55a)를 포함한다. 이러한 절연성 블럭체(55a)는 그 측면에 단차(S)를 추가한 형태이다. 이러한 단차구조(S)는 앞선 예의 다공성 조직과 유사하게 패키지 본체를 구성하는 수지와 결합강도를 향상시킬 수 있다.
- [0083] 상기 외부단자용 블럭(55)의 접속부(55b)는 상기 절연성 블럭체(55a)의 양면을 관통하는 도전성 비아홀(V2)과 상기 도전성 비아홀(V2)에 연결된 전극층(E2)을 포함할 수 있다. 여기서, 전극층(E2)은 발광다이오드 칩의 전극과 와이어 본딩할 때에, 보다 넓은 접속면적을 제공함으로써 본딩의 불량을 저감시킬 수 있다.
- [0084] 도8a 내지 도8d는 각각 본 발명의 제1 실시형태의 변형예에 따른 발광장치 제조공정 중 일부 공정(칩 어레이 구조물 제조공정)을 나타내는 공정별 단면도이다.
- [0085] 도8a에 도시된 바와 같이, 경화성 물질(R)이 도포된 제1 시트(61a') 상에 외부단자용 블럭(65)과 발광다이오드 칩(62)을 배열한다.
- [0086] 상기 발광다이오드 칩(62)은 양 극성의 전극(62a,62b)이 모두 형성된 전극 형성면을 갖는다. 본 실시형태에서는, 도1에 예시된 실시형태와 달리, 상기 발광다이오드 칩(62) 표면에 별도의 수지층을 갖지 않는 구조이다.
- [0087] 상기 외부단자용 블럭(65)은 도1과 유사하게 절연성 블럭체(65a)와 그 양면을 관통하는 도체로 이루어진 접속부(65b)를 가질 수 있다. 상기 외부단자용 블럭은 후속 절단공정(도2e 참조)에서 절단되어, 외부접속영역으로 제공될 수 있도록 그 절단면에서 접속부(65b)를 노출시킬 수 있다.
- [0088] 본 실시형태에서, 상기 발광다이오드 칩(62)은 상기 외부단자용 블럭(65) 사이에 위치하도록 배열되며, 상기 발

광다이오드 칩(62)과 상기 외부단자용 블럭(65)은 상기 전극형성면과 상기 접속부(65b) 노출면이 상부를 향하도록 배치된다.

[0089] 본 배열예의 경우에는, 도9에 도시된 바와 같이, 외부단자용 블럭(65)이 기판 구조로 제공되는 형태이다. 이러한 외부단자용 블럭(65)은 PCB 기판을 이용하여 용이하게 제조될 수 있다. 또한, 점선을 따라 후속공정에서 절단되면, 하나의 외부단자용 블럭(65)의 접속부(65b)는 1/4 단위로 절단되어 4개의 개별 발광장치에 속할 수 있다. 여기서, 이러한 절단으로 형성된 인접한 2개의 측면에서 접속부(65b)가 노출될 수 있다. 그 노출된 영역은 외부단자의 외부접속영역으로 제공될 수 있다. 발광장치의 외부단자 구성방법은 이에 한정되지 않으며, 당업자는 하나의 외부단자용 블럭을 2개 또는 다른 수의 칩에 공유되도록 다른 배열형태를 고려할 수 있을 것이다.

[0090] 삭제

[0091] 이어, 도8b와 같이, 배열된 발광다이오드 칩(62)과 외부단자용 블럭(65)을 상기 제1 시트(61a) 상에 접착용 경화성 물질(R)을 이용하여 부착시킨다.

[0092] 본 부착공정은 배열된 칩(62)과 블럭(65)에 대한 적절한 압착공정 후에, 접착용 경화성 물질의 경화조건을 적용함으로써 얻어질 수 있다.

[0093] 다음으로, 도8c와 같이, 상기 발광 다이오드 칩(62)의 전극(62a,62b)을 인접한 외부단자용 블럭(65)의 노출된 접속부(65b)에 와이어(66a,66b)로 각각 연결한다.

[0094] 이어, 도8d와 같이, 상기 외부단자용 블럭(65)과 상기 발광 다이오드 칩(62)의 배열영역을 둘러싸도록 상기 제1 시트(61a) 상에 스페이서(67)를 부착시킨다.

[0095] 와이어(66a,66b)가 수지로 이루어진 패키지 본체 내부에 존재할 수 있도록, 상기 스페이서(67)는 상기 와이어(66a,66b)의 높이(h2)보다 큰 높이(t2)를 갖는다. 상기 스페이서(67)의 부착은 접착용 수지 또는 경화성 물질을 이용하여 실현될 수 있다.

[0096] 이와 같은 공정을 통해서, 본 실시형태에 사용될 칩 어레이 구조물은 제조될 수 있다. 도9에 도시된 칩 어레이 구조물은 도10a 내지 도10e에 도시된 수지 충전공정 및 절단공정을 포함한 일련의 공정을 통해 복수의 발광장치로 제조될 수 있다.

[0097] 본 실시형태에서 채용된 발광다이오드 칩(62)은 도1에 도시된 실시형태와 달리 그 표면에 수지층을 구비하지 않는 형태로 예시되어 있다. 따라서, 백색 발광장치에서와 같이 파장변환을 위한 형광체층의 부가가 필요한 경우에, 본 실시형태는 새로운 형광체층 부가 방안을 제공한다. 이러한 방안은 도10a 내지 도10e에 도시된 공정을 통해 이해될 수 있을 것이다.

[0098] 우선, 도10a와 같이, 스페이서(67)에 의해 둘러싸인 배열영역이 채워지도록 상기 스페이서(67) 내의 배열영역에 경화성 액상 수지(68')를 적하시킨다.

[0099] 상기 경화성 액상 수지(68')는 스페이서에 둘러싸인 내부공간이 채워지도록 충분히 많은 양으로 적하되는 것이 바람직하다. 보다 구체적으로는, 경화성 액상 수지(68')는 적어도 스페이서(67)의 높이(t2)를 가질 수 있도록 적하시키는 것이 바람직하다.

[0100] 본 실시형태에서의 수지 충전공정은 진공챔버 내에 상기 칩 어레이 구조물을 배치하고, 상기 챔버 내가 감압 또는 진공상태가 되도록 상기 챔버 내를 감압시킨 상태에서 실행된다. 예를 들어, 도1에 도시된 실시형태와 유사하게, 도4a 및 도4b에 도시된 진공 챔버를 이용하여 실시될 수 있으며, 그 설명을 참조하여 본 공정을 실행할 수 있다.

[0101] 본 실시형태에 사용되는 경화성 액상 수지는, 패키지 본체 내부로 광이 진입되는 것을 방지하고, 원하는 방향으로 광추출이 용이하도록 낮은 굴절율의 수지를 사용하는 것이 바람직하다. 바람직하게는, 상기 경화성 액상 수

지로는 약 1.5 이하의 굴절율을 갖는 투명 액상 수지를 사용할 수 있다.

- [0102] 이어, 도10b와 같이, 상기 챔버의 감압 또는 진공상태를 해제한 후에, 상기 스페이서(67) 상에 제2 시트(61b)를 부착시킨다.
- [0103] 상기 제2 시트(61b)를 상기 스페이서(67) 상에 부착시키는 과정을 통해 스페이서(67)의 높이에 준하도록 경화성 액상 수지(68')의 레벨을 조절할 수 있다. 또한, 이러한 제2 시트(61b)의 부착공정에 적용되는 적절한 가압을 통해 칩(62)과 블럭(65) 사이의 공간까지 보다 효과적으로 경화성 액상 수지(68')를 주입시킬 수 있다. 본 공정과 함께, 다른 후속 공정은 바람직하게는 챔버의 감압 또는 진공상태를 해제한 후에, 칩 어레이 구조물을 언로딩한 상태로 외부에서 실행될 수 있다.
- [0104] 다음으로, 도10c와 같이 상기 칩 어레이 구조물의 내부에 충전된 경화성 액상 수지(68')를 경화시킨다.
- [0105] 본 경화공정은 경화성 액상 수지(68')의 종류에 따라 열 또는 자외선 조사에 의해 실시될 수 있다. 본 공정은 필요에 따라 챔버 내부에서 직접 실시될 수 있으나, 본 실시형태와 같이 칩 어레이 구조물을 수거하여 챔버 외부에서 별도의 가압장비(P)를 이용하여 실시될 수 있다. 이렇게 경화된 수지(68)는 발광 다이오드 칩(62)과 외부단자 블럭(65)을 결속하여 단일한 구조체를 제공하고, 상기 칩(62)과 상기 블럭(65)을 전기적으로 연결하는 와이어(66a,66b) 부분을 보호할 수 있다.
- [0106]
- [0107] 이어, 도10d와 같이, 상기 칩 어레이 구조물로부터 상기 제1 및 제2 시트(61a,61b)를 제거한 후에, 상기 제1 시트(61a)가 제거되어 노출된 면에 형광체층(69)을 형성한다.
- [0108] 상기 제1 및 제2 시트(61a,61b)는 당업자에게 공지된 적절한 화학적/기계적 방법을 통해 상기 칩 어레이 구조물로부터 제거될 수 있다. 형광체층(69)이 형성되는 면은 광방출면으로서 적어도 발광다이오드 칩(62)에 대응되는 영역에 형성하는 것이 바람직하다.
- [0109] 다음으로, 도10e와 같이, 상기 칩 어레이 구조물을 절단하여, 복수의 발광장치(60)를 제공한다.
- [0110] 본 절단공정은 적절한 다이싱 장치(D)를 이용하여 실행될 수 있다. 본 실시형태와 같이, 하나의 외부단자용 블럭(65)은 4개의 발광다이오드 칩(62)이 서로 공유하는 형태를 갖는 경우에, 하나의 외부단자용 블럭(65)은 1/4 단위로 절단되어 각 발광장치(60)에 속하도록 절단될 수 있다. 여기서, 외부단자용 블럭(65)와 함께 상기 접속부(65b)인 도전성 비아홀도 함께 절단되며, 그 절단으로 형성된 인접한 2개의 측면에서 접속부(65b)가 노출될 수 있다. 그 노출된 접속부 영역은 외부단자의 외부접속영역으로 제공될 수 있다.
- [0111] 도11a 및 도11b는 각각 도8 및 10에 도시된 방법에 따라 제조될 수 있는 발광장치를 나타내는 평면도 및 측단면도이다.
- [0112] 도11a 및 도11b를 참조하면, 상기 발광장치(70)는, 경화성 수지로 이루어진 패키지 본체(78)를 포함한다. 상기 패키지 본체(78)는 서로 반대에 위치한 제1 및 제2 주면(78a,78b)과, 그 사이에 위치한 측면(78c)을 갖는다. 상기 패키지 본체(78)의 제1 및 제2 주면(78a,78b)과 측면(78c)은 평탄한 면으로 제공된다.
 상기 제1 주면(78a)은 도10에서 제1 시트(61a)가 제거된 면에 대응하는 것으로, 그 노출된 면에 형광체층(69, 79)이 형성될 수 있다. 상기 제2 주면(78b)은 상기 발광 다이오드 칩(72)의 전극형성면(72a, 72b)과 같은 방향을 향하는 면으로, 도 10에서 제2 시트(61b)가 제거된 면에 대응하는 면이다. 또한 패키지 본체의 측면(78c)은 상기 제1 주면(78a) 및 상기 제2 주면(78b)을 연결하는 면으로, 상기 제1 및 제2 외부단자용 블럭(75)의 상기 제1 및 제2면을 관통하는 접속부(75b)가 노출된 면을 포함할 수 있다.
- [0113] 상기 패키지 본체(78)의 양단에는 제1 및 제2 외부단자용 블럭(75)이 위치한다. 상기 제1 및 제2 외부단자용 블

력(75)은 상기 패키지 본체(78)의 제1 주면(78a)에 노출된 제1 면과, 그 제1 면과 대향하는 제2 면을 갖는다. 본 실시형태에 채용된 블럭(75)은 절연성 블럭체(75a)와 상기 제1 및 제2 면을 관통하는 접속부(75b)를 갖는다.

- [0114] 상기 패키지 본체(78)는 발광다이오드 칩(72) 중 전극(72a,72b)이 형성된 면을 기준으로 하여 상기 제1 및 제2 주면(78a,78b)을 포함하는 제1 및 제2 레벨영역(L1,L2)으로 구분하여 이해될 수 있다.
- [0115] 상기 발광다이오드 칩(72)은 상기 제1 레벨영역(L1)에서 상기 제1 및 제2 외부단자용 블럭(75) 사이에 위치하며, 제1 및 제2 전극(72a,72b)이 형성된 전극형성면이 상기 제2 레벨영역(L2)을 향하도록 배치된다. 상기 발광다이오드 칩(72)은 와이어(76a,76b)를 통해 제1 및 제2 외부단자용 블럭(75)의 제2 면에 노출된 접속부(75b)에 각각 연결될 수 있다.
- [0116] 또한, 와이어(76)가 존재하는 부분은 상기 패키지 본체(78)의 제2 레벨영역(L2)에 위치하여 보호될 수 있다. 상기 발광다이오드 칩(72) 중 전극형성면의 반대면은 제1 주면(78a)에 노출된다. 상기 패키지 본체(78)의 제1 주면(78a)은 광방출면으로 제공된다. 이러한 패키지 본체의 제1 주면(78a)에는 적어도 발광다이오드 칩(72) 영역이 포함되도록 형광체막(79)이 제공된다.
- [0117] 상기 패키지 본체(78)를 구성하는 경화성 수지는 상기 발광다이오드 칩(72)으로부터 생성된 광이 상기 패키지 본체(78) 내부로 진입되는 것을 방지하고, 상기 형광체막(79)의 방향으로 용이하게 추출될 수 있도록 낮은 굴절율의 수지를 사용하는 것이 바람직하다. 바람직하게는, 상기 경화성 수지로는 약 1.5 이하의 굴절율을 갖는 투명 수지를 사용할 수 있다.
- [0118] 또한, 도11a 및 도11b에 도시된 바와 같이, 상기 발광 장치(70)는 적어도 상기 발광다이오드 칩(72)이 위치한 영역을 커버하도록 상기 발광 장치(70)의 대향하는 양 측면에 형성된 측면 반사층(74)을 더 포함한다. 상기 측면 반사층(74)은 주로 외부단자용 블럭이 위치하지 않는 측면에 배치되어 패키지 본체(78)의 측면방향으로 진행되는 광을 차단하는 역할을 한다. 바람직하게, 상기 측면 반사층(74)은 TiO₂와 같은 고반사성 분말이 함유된 수지로 이루어질 수 있다.
- [0119] 본 실시형태에서는, 상기 외부단자용 블럭(75)을 인접한 2개의 절단면에서 접속부(75b)가 노출된 구조를 갖는다. 이 경우에, 외부단자용 블럭(75)의 접속부(75b)는 상기 패키지 본체(78)의 동일한 측면에 노출되어 발광장치(70)의 외부접속영역으로 제공될 수 있다. 이러한 구조를 갖는 발광장치(70)는 측면방출형 LED 패키지 구조로서 매우 유용하게 사용될 수 있으며, 필요에 따라 외부단자용 블럭의 구조는 다양하게 변경될 수 있다.
- [0120] 예를 들어, 도9에 도시된 바와 같이, 기관형태의 외부단자용 블럭(65)을 사용할 경우에는, 도11a에 도시된 바와 같이, 최종 개별 발광장치의 외부단자용 블럭은 각각 인접한 3면에 노출될 수 있다.
- [0121] 이와 달리, 도3에 도시된 외부 단자용 블럭(15)을 사용할 경우에, 최종 개별 발광장치의 외부단자용 블럭은 도12에 도시된 바와 같이 2개의 인접한 측면에 노출되도록 형성될 수 있으며, 외부 단자용 블럭의 접속부가 동일하게 노출된 면이 실장면으로 제공될 수 있다. 특히, 본 실시형태에서는 실장면으로 사용되는 면과 대향하는 측면에 전극이 노출되지 아니하므로, 셋팅 후에 금속커버에 의한 쇼트문제를 방지할 수 있다.
- [0122] 상술된 제1 실시형태들과 달리, 본 발명의 제2 실시형태는, 새로운 진공흡입을 이용한 수지충전공정을 사용한다. 도13a 내지 도13d는 각각 본 발명의 제2 실시형태에 따른 발광장치 제조공정 중 일부 공정(칩 어레이 구조물 제조공정)을 나타내는 공정별 단면도이다.
- [0123] 우선, 도13a에 도시된 바와 같이, 경화성 물질(R)이 도포된 제1 시트(81a') 상에 외부단자용 블럭(85)과 발광다이오드 칩(82)을 배열한다.
- [0124] 상기 발광다이오드 칩(82)은 양 극성의 전극(82a,82b) 모두가 형성된 전극 형성면을 가지며, 상기 전극형성면의 반대면과 측면에 형성된 수지층(84)을 포함할 수 있다. 상기 수지층(84)은 필요에 따라 파장변환을 위한 형광체 분말을 포함할 수 있다. 특히 형광체가 함유된 수지층 부분은 발광다이오드 칩(82) 중 광방출면으로 제공될, 전극형성면의 반대면에 제공될 수 있다.

- [0125] 본 실시형태에 채용된 외부단자용 블럭(85)은, 단차구조를 갖는 도체 블럭으로 이루어진다. 상기 외부단자용 블럭(85)의 단차면(85a)은 발광다이오드 칩(82)의 전극(82a,82b)과 연결될 접속영역으로 제공된다. 또한, 상기 외부단자용 블럭(85)의 상단면(85b)은 최종 발광장치의 외부접속영역으로 제공된다. 이를 위해서, 상기 외부단자용 블럭의 높이(tc)는 최종 발광장치의 높이에 해당될 수 있다.
- [0126] 본 실시형태에서의 발광다이오드 칩과 외부단자용 블럭의 배열형태는, 제1 실시형태에서와 유사하게 적용될 수 있으며, 그 설명을 참조하여 이해할 수 있을 것이다.
- [0127] 이어, 도13b와 같이, 상기 제1 시트(81a') 상에 배열된 발광다이오드 칩(82)과 외부단자용 블럭(85)을 상기 제1 시트(81a)에 접착용 물질(R)을 경화시켜 부착시킨다.
- [0128] 본 공정은 배열된 칩(82)과 블럭(85)에 대한 적절한 압착공정 후에, 접착용 경화성 물질의 경화조건을 적용함으로써 얻어질 수 있다. 예를 들어, 경화성 물질이 자외선(UV) 경화성 수지인 경우에, 압착 후에 자외선 조사를 통해 원하는 부착을 실현할 수 있다. 본 실시형태에서는, 접착용 경화성 물질을 별도로 도포한 형태로 예시하였으나, 본 발명에서는 상기 제1 시트(81a) 자체가 경화성 수지일 수 있다.
- [0129] 다음으로, 도13c와 같이, 상기 발광 다이오드 칩(82)의 전극(82a,82b)을 인접한 외부단자용 블럭(85)에 와이어(86a,86b)로 각각 연결한다.
- [0130] 본 실시형태에 채용된 외부단자용 블럭(85)에서는, 발광다이오드 칩(82)과 연결되는 접속영역이 단차면(85a)으로 제공될 수 있다. 외부단자용 블럭(85)의 단차면(85a)은 전극형성면과 함께 상부를 향해 배열되어 있으므로, 본 와이어 본딩공정은 용이하게 실현될 수 있다. 또한, 본 실시형태에서 외부단자용 블럭(85)은 그 자체가 도체 물질로 이루어진다. 따라서, 최종 패키지에서 노출될 상단면(85b)이 단차면(85a)과 전기적으로 연결될 수 있으므로, 외부단자용 블럭(85)의 상단면(85b)은 최종 발광장치의 외부접속영역으로 제공될 수 있다.
- [0131] 이어, 도13d에 도시된 바와 같이, 상기 발광다이오드 칩(82)과 상기 외부단자용 블럭(85)이 배열된 영역을 둘러싸도록 형성되며 적어도 하나의 유입구(I, 도16 참조)를 갖는 스페이서(87)를 배치하고, 상기 스페이서(87) 상에 상기 제2 시트(81b)를 부착시킨다.
- [0132] 상기 스페이서(87)는 일정한 높이(h3)를 가지며, 상기 제1 및 제2 시트(81a,81b)와 함께 배열영역을 포함하는 내부공간을 정의한다. 상기 스페이서의 높이는 최종 발광장치의 높이를 의미할 수 있으며, 본 실시형태에서는 외부단자용 블럭의 높이(tc)와 거의 동일하다.
- [0133] 상기 칩 어레이 구조물의 내부공간은 도16에 도시된 바와 같이, 대향하는 측벽부분에 상기 내부공간을 외부와 연결하는 2개의 유입구(I)를 갖는다. 상기 유입구(I)는 후속공정에서 칩(82) 표면을 둘러싸는 수지를 위한 공급로를 사용된다.
- [0134] 본 실시형태와 같이, 유입구(I)를 마주하는 변에 복수로 제공함으로써 더욱 원활한 수지의 유입을 보장할 수 있다. 하지만, 본 발명은 유입구(I)의 개수나 위치에 한정되는 것은 아니며, 배열영역의 크기 및 배열간격에 따라 적어도 하나의 유입구로 충분할 수 있다.
- [0135] 도13d에 도시된 칩 어레이 구조물은 도17a 및 도17b에 도시된 진공 챔버를 이용하여 수지충전공정을 실행할 수 있다.
- [0136] 도17a 및 도17b는 각각 본 실시형태에 사용가능한 진공 챔버 장치의 일 예를 나타내는 측면도 및 내부 평면도이다.
- [0137] 도17a 및 도17b에 도시된 바와 같이, 진공 챔버 장치는, 챔버(91), 상기 챔버(91) 일측에 마련된 진공밸브(96) 및 상기 챔버(91) 내부에 마련된 선반(92)을 포함한다. 상기 챔버(91) 내부공간은 진공밸브(96)를 통해서 감압되어 챔버(91)의 내부공간을 진공 또는 원하는 감압상태로 전환시킬 수 있다.
- [0138] 상기 챔버(91)에는 경화성 액상 수지(88')를 원하는 위치에 적하할 수 있도록 챔버(91) 상부에 수지저장부(94)를 포함한다. 본 실시형태에서 스페이서(87)의 유입구(I)가 밀폐되도록, 수지저장부(94)는 도시된 바와 같이 각각 유입구(I)와 인접한 영역에 배치되는 것이 바람직하다.

- [0139] 이하, 도14a 내지 도14d를 참조하여, 본 발명의 제2 실시형태에 따른 칩 부품 제조공정의 일 예를 설명한다. 본 실시형태는 도17a 및 도17b에 도시된 진공 챔버 장치를 이용하여 실시되는 것으로 이해될 수 있으며, 아래의 제조공정에 대한 보다 구체적인 설명을 도14a 내지 도14d가 참조된다.
- [0140] 우선, 도14a에 도시된 바와 같이 챔버(31) 내에 칩 어레이 구조물을 배치한 상태에서, 진공밸브(96)를 통해 챔버(91) 내부공간을 진공 또는 감압 상태로 전환하고, 경화성 액상 수지(88')를 스페이서(87)의 유입구(I)에 적하시킨다.
- [0141] 본 감압과정에 의해 챔버(91) 내부가 진공상태가 되는 것이 바람직하나, 적절한 감압상태로도 아래에 기술된 수지의 흡입을 보장할 수 있을 것이다. 이러한 감압에 의해 챔버(91) 내부뿐만 아니라, 유입구(I)를 통해서 상기 칩 어레이 구조물의 내부공간도 모두 동일한 압력상태로 전환될 수 있다.
- [0142] 바람직하게는, 본 감압과정에서 경화성 액상 수지(88')를 미리 챔버(91) 내부에 비치함으로써, 액상 수지(88')의 탈포처리가 이루어질 수 있다. 따라서, 경화성 액상 수지(88')를 위한 추가 탈포 공정을 생략할 수 있다.
- [0143] 이어, 도시된 바와 같이, 경화성 액상 수지(88')는 유입구(I)가 덮여지도록 충분한 양으로 적하되고, 적하된 수지에 의해 실질적으로 칩 어레이 구조물의 내부공간은 밀봉될 수 있다.
- [0144] 다음으로, 진공밸브(96)를 이용하여 진공 또는 감압 상태를 해제함으로써, 도14b와 같이 내부공간에 경화성 액상 수지(88')가 충전된 칩 어레이 구조물을 얻을 수 있다.
- [0145] 본 해제과정에서, 챔버(91) 내부압력은 급격히 상승하지만, 칩 어레이 구조물의 내부공간은 일시적이더라도 유입구(I)를 막고 있는 경화성 액상 수지(88')에 의해 감압 또는 진공상태가 유지될 수 있다. 따라서, 칩 어레이 구조물의 내부공간은 다른 외부공간(즉, 챔버(91)의 내부)와 높은 압력차이가 발생되며, 이러한 압력 차이로 인해 도14a의 화살표로 표시된 바와 같이, 경화성 액상 수지(88')는 유입구(I)를 통해 칩 어레이 구조물의 내부공간으로 유입되어 그 내부공간을 충전시킬 수 있다. 본 공정을 통해서 효과적인 수지(88')의 충전을 실현하기 위해서, 수지(88')의 점도와 적하된 수지의 위치 및 형태와 적하량을 조절할 수 있다.
- [0146] 이어, 도14c와 같이, 칩 어레이 구조물의 내부공간에 충전된 경화성 액상 수지(88')를 경화시킨다. 이러한 경화공정은 수지의 종류에 따라 열 또는 자외선 조사에 의해 실시될 수 있다. 본 공정은 필요에 따라 챔버(91) 내부에서 직접 실시될 수 있으나, 칩 어레이 구조물을 수거하여 챔버(91) 외부에서 별도의 장비(P)를 통해 실시될 수 있다. 이렇게 경화된 수지(88)는 제1 시트(81a)에 의해 보호되는 칩(82)의 제1 면(82a)을 제외한 모든 면에 걸쳐 존재할 수 있다.
- [0147] 최종적으로, 상기 칩 어레이 구조물로부터 상기 제1 및 제2 시트(81a,81b)를 제거하고, 복수의 발광장치(80)가 얻어지도록 상기 칩 어레이 구조물을 원하는 크기로 절단한다.
- [0148] 상기 제1 및 제2 시트(81a,81b)는 당업자에게 공지된 적절한 화학적/기계적 방법을 통해 상기 칩 어레이 구조물로부터 제거될 수 있다. 상기 시트(81a,81b) 제거 후에, 상기 칩 어레이 구조물을 다이싱 장치(D)를 이용하여 절단한다.
- [0149] 본 실시형태에 따른 제조방법은, 경화성 액상 수지의 진공유입을 이용하는 점에 특징이 있으며, 이러한 제조방법은 수지의 진공유입시(도14a 참조)에 칩 어레이 구조물에 압력이 가해지므로, 상기 제2 시트가 외부단자용 블럭에 의해 지지될 수 있는 조건이 바람직하므로, 외부단자용 블럭의 높이가 패키지 높이에 해당하는 경우에 보다 바람직하게 적용될 수 있다.
- [0150] 물론, 상기 제2 시트가 수지의 진공유입시에 인가되는 압력에서도 별도의 지지구조없이 휨이 발생되지 않는 강성(rigid) 물질로 이루어진다면, 본 실시형태에 따른 진공흡입에 의한 수지충전공정은 도1 및 도8에 도시된 낮

은 높이를 갖는 외부단자용 블럭을 채용한 형태에서도 유익하게 적용할 수 있다.

- [0151] 본 실시형태로부터 얻어진 발광장치에서는, 최종 발광장치와 동일한 높이를 가지며 측면에 단차가 형성된 외부 단자용 블럭을 이용한다. 따라서, 외부단자용 블럭의 단차면에 발광다이오드 칩을 위한 와이어 접속영역을 제공하고, 그 상단면을 노출시켜 외부접속영역을 제공할 수 있다. 이러한 구조는 상면 방출(top view)형 발광패키지 구조로서 유익하게 사용될 수 있다.
- [0152] 도15a 및 도15b는 도13 및 도14의 제조방법으로 제조될 수 있는 발광장치를 나타내는 평면도 및 측단면도이다.
- [0153] 도15a 및 도15b를 참조하면, 상기 발광장치(100)는, 경화성 수지로 이루어진 패키지 본체(108)를 포함한다. 상기 패키지 본체(108)는 서로 반대에 위치한 제1 및 제2 주면(108a,108b)과, 그 사이에 위치한 측면(108c)을 갖는다. 상기 패키지 본체(108)의 제1 및 제2 주면(108a,108b)과 측면(108c)은 평탄한 면으로 제공된다.
- [0154] 상기 패키지 본체(108)는 다른 구성요소의 광흡수로 인한 손실을 저감시키기 위해서 전기적 절연성을 갖는 고반사성 분말을 포함한 투명 수지일 수 있다. 고반사성 분말로는 바람직하게 TiO₂ 분말이 사용될 수 있다.
- [0155] 상기 패키지 본체(108)의 양단에는 제1 및 제2 외부단자용 블럭(105)이 위치한다. 본 실시형태에서, 제1 및 제2 외부단자용 블럭(105)은 앞선 제1 실시형태와 달리 패키지 본체(108)의 높이와 동일한 높이를 가지면서 발광다이오드 칩(102)을 향하는 측면에 단차가 형성된 구조를 갖는다. 또한, 제1 및 제2 외부단자용 블럭(105)은 그 자체가 도체물질로 이루어질 수 있다. 따라서, 발광다이오드 칩(103)과 연결될 접속영역을 제공하는 단차면(105a)과 패키지 본체의 제2 주면(108b)에 노출된 상단면(105b)은 서로 전기적으로 연결될 수 있다.
- [0156] 본 실시형태에 따른 발광장치(100)의 구조를 보다 용이하게 설명하기 위해서, 상기 패키지 본체(108)는 발광다이오드 칩(102) 중 전극(102a,102b)이 형성된 면을 기준으로 하여 상기 제1 및 제2 주면(108a,108b)을 포함하는 제1 및 제2 레벨영역(L1,L2)으로 구분하여 이해될 수 있다.
- [0157] 상기 발광다이오드 칩(102)은 상기 제1 레벨영역(L1)에서 상기 제1 및 제2 외부단자용 블럭(105) 사이에 위치하며, 제1 및 제2 전극(102a,102b)이 형성된 전극형성면이 상기 제2 레벨영역(L2)을 향하도록 배치된다. 상기 발광다이오드 칩(102)은 와이어(106a,106b)를 통해 제1 및 제2 외부단자용 블럭(105)의 단차면(105a)에 각각 연결될 수 있다. 또한, 와이어(106a,106b)가 존재하는 부분은 상기 패키지 본체(108)의 제2 레벨영역(L2)에 위치하여 보호될 수 있다.
- [0158] 본 실시형태에 따른 발광장치는, 패키지 본체(108)의 제2 주면(108b)에 노출된 외부단자용 블럭 상단면(105b)이 외부접속영역으로 제공되므로, 표면실장방식으로 본딩되면서, 상기 패키지 본체(108)의 제2 주면(108b)이 실장면으로 제공될 수 있다. 이러한 구조를 갖는 발광장치(100)는 상면방출형 LED 패키지 구조로서 매우 유용하게 사용될 수 있다.
- [0159] 본 실시형태에서, 외부단자용 블럭(105)은 광방출면(제1 주면(108a))의 반대면인 제2 주면(108b), 외부회로와 연결될 수 있는 접속영역을 제공하기 위한 구조 예이다. 이러한 구조를 구현하기 위해서, 앞서 설명한 바와 같이 외부단자용 블럭(105)은 패키지 본체(108)의 높이와 동일한 높이를 가지면서 발광다이오드 칩(102)을 향하는 측면에 단차(이는 발광다이오드 칩(102)을 위한 접속영역 제공함)가 형성된 구조를 가질 수 있다.
- [0160] 이러한 외부단자용 블럭의 구조는 다양하게 변경되어 실시될 수 있다. 도18a 및 도18b는 본 발명의 제2 실시형태에 바람직하게 채용가능한 외부단자용 블럭을 나타내는 상부평면도 및 측단면도이다.
- [0161] 도18a 및 도18b에 도시된 외부단자용 블럭(115)은 점선을 따라 1/4로 분할되어 개별 패키지에 외부단자로 사용되는 구조를 나타낸 예이다.

[0162] 상기 외부단자용 블럭(115)은 원하는 패키지 본체의 높이와 거의 동일한 높이를 가지면서 발광다이오드 칩을 향하도록 단차가 형성된 절연성 블럭체(115a)를 포함한다. 상기 절연성 블럭체(115a)는 수지로 이루어진 패키지 본체와의 결합력을 강화하기 위해서, 다수의 공극구조(h)를 갖는 다공성 세라믹 소재로 이루어질 수 있다. 앞서 설명한 바와 같이, 이러한 결합력을 강화하기 위해서, 다공성 구조를 구성하는 공극률은 약 10 ~ 60%가 바람직하며, 공극직경은 약 0.1~ 1.3 μ m가 바람직하다.

[0163] 상기 블럭(115)의 단차면은 패키지 본체 내부에 위치하여 발광다이오드 칩의 전극과의 접촉영역으로 제공되며, 상기 블럭(115)의 상단면은 패키지 본체의 실장면에 노출되어 외부 회로와 연결되는 영역을 제공한다. 이러한 외부단자구조를 실현하기 위해서, 상기 외부단자용 블럭(115)의 단차면을 따라 그 상단면에는 전극층(115b)이 형성되어, 발광다이오드 칩과 외부로 노출된 상면을 전기적으로 연결할 수 있다.

[0164] 이와 같이, 본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니고, 첨부된 청구범위에 의해 한정하고자 하며, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 형태의 치환, 변형 및 변경이 가능하다는 것은 당 기술분야의 통상의 지식을 가진 자에게는 자명할 것이다.

도면의 간단한 설명

[0165] 도1a 내지 도1d는 각각 본 발명의 제1 실시형태에 따른 발광장치 제조공정 중 일부 공정(칩 어레이 구조물 제조 공정)을 나타내는 공정별 단면도이다.

[0166] 도2a 내지 도2d는 각각 본 발명의 제1 실시형태에 따른 발광장치 제조공정 중 나머지 일부 공정(개별 발광장치 제조공정)을 나타내는 공정별 단면도이다.

[0167] 도3는 도1a에 도시된 배열형태를 상부에서 본 평면도이다.

[0168] 도4a 및 도4b는 각각 본 발명에서 사용가능한 진공 챔버의 측단면도 및 내부 평면도이다.

[0169] 도5a 및 도5b는 각각 본 발명에 따른 발광장치의 일 예를 나타내는 평면도 및 측단면도이다.

[0170] 도6a 및 도6b는 각각 본 발명에 따른 발광장치의 다른 예를 나타내는 평면도 및 측단면도이다.

[0171] 도7a 및 도7b는 본 발명의 제1 실시형태에 바람직하게 채용가능한 외부단자용 블럭을 나타내는 사시도이다.

[0172] 도8a 내지 도8d는 각각 본 발명의 제1 실시형태의 응용예에 따른 발광장치 제조공정 중 일부 공정(칩 어레이 구조물 제조공정)을 나타내는 공정별 단면도이다.

[0173] 도9는 도8a에 도시된 배열형태를 상부에서 본 평면도이다.

[0174] 도10a 내지 도10e는 각각 본 발명의 제1 실시형태의 응용예에 따른 발광장치 제조공정 중 나머지 일부 공정(개별 발광장치 제조공정)을 나타내는 공정별 단면도이다.

[0175] 도11a 및 도11b는 각각 본 발명에 따른 발광장치의 제1 예를 나타내는 평면도 및 측단면도이다.

[0176] 도12는 본 발명에 따른 발광장치의 제2 예를 나타내는 평면도이다.

[0177] 도13a 내지 도13e는 각각 본 발명의 제2 실시형태에 따른 발광장치 제조공정 중 일부 공정(칩 어레이 구조물 제조공정)을 나타내는 공정별 단면도이다.

[0178] 도14a 내지 도14d는 각각 본 발명의 제2 실시형태에 따른 발광장치 제조공정 중 나머지 일부 공정(개별 발광장치 제조공정)을 나타내는 공정별 단면도이다.

[0179] 도15a 및 도15b는 각각 도12d에 도시된 발광장치를 나타내는 평면도 및 측단면도이다.

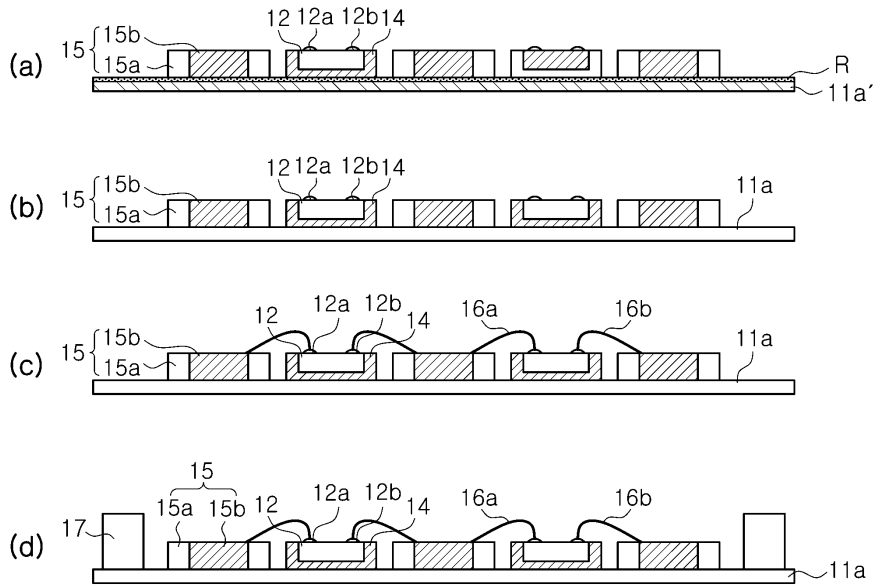
[0180] 도16는 도13d에 도시된 배열형태를 상부에서 본 평면도이다.

[0181] 도17a 및 도17b는 각각 본 발명에서 사용가능한 진공 챔버의 측단면도 및 내부 평면도이다.

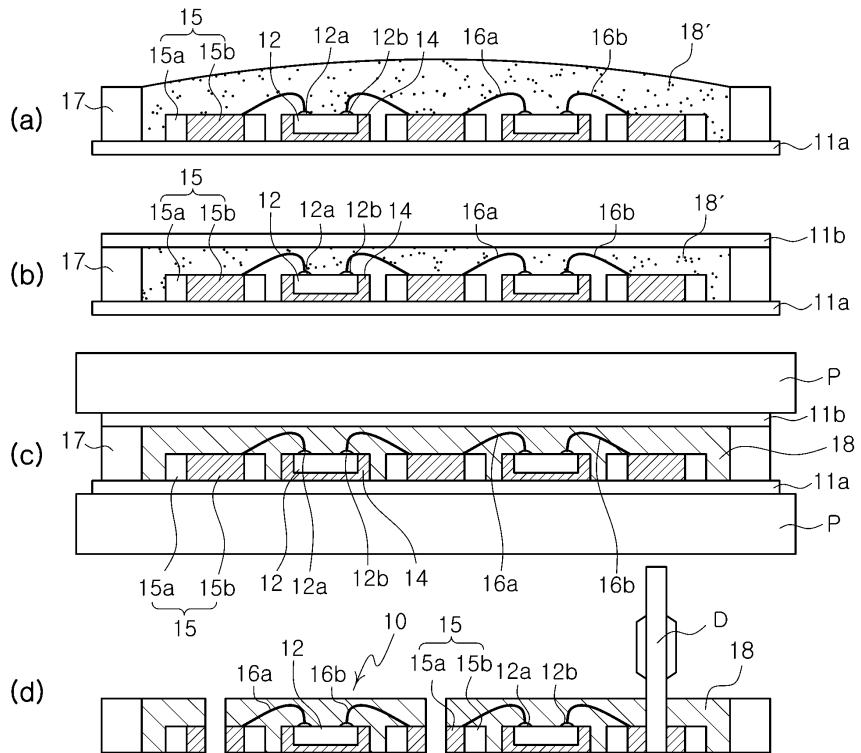
[0182] 도18a 및 도18b는 본 발명의 제2 실시형태에 바람직하게 채용가능한 외부단자용 블럭을 나타내는 상부평면도 및 측단면도이다.

도면

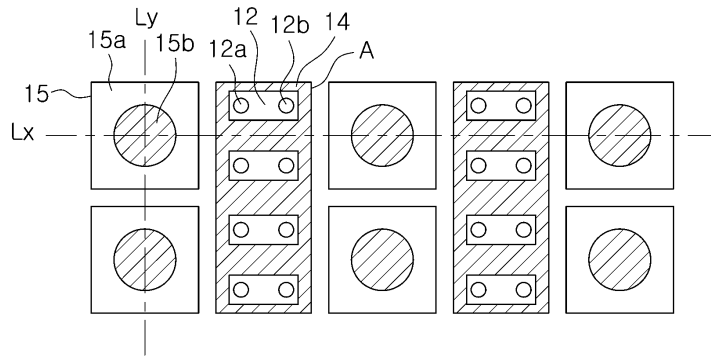
도면1



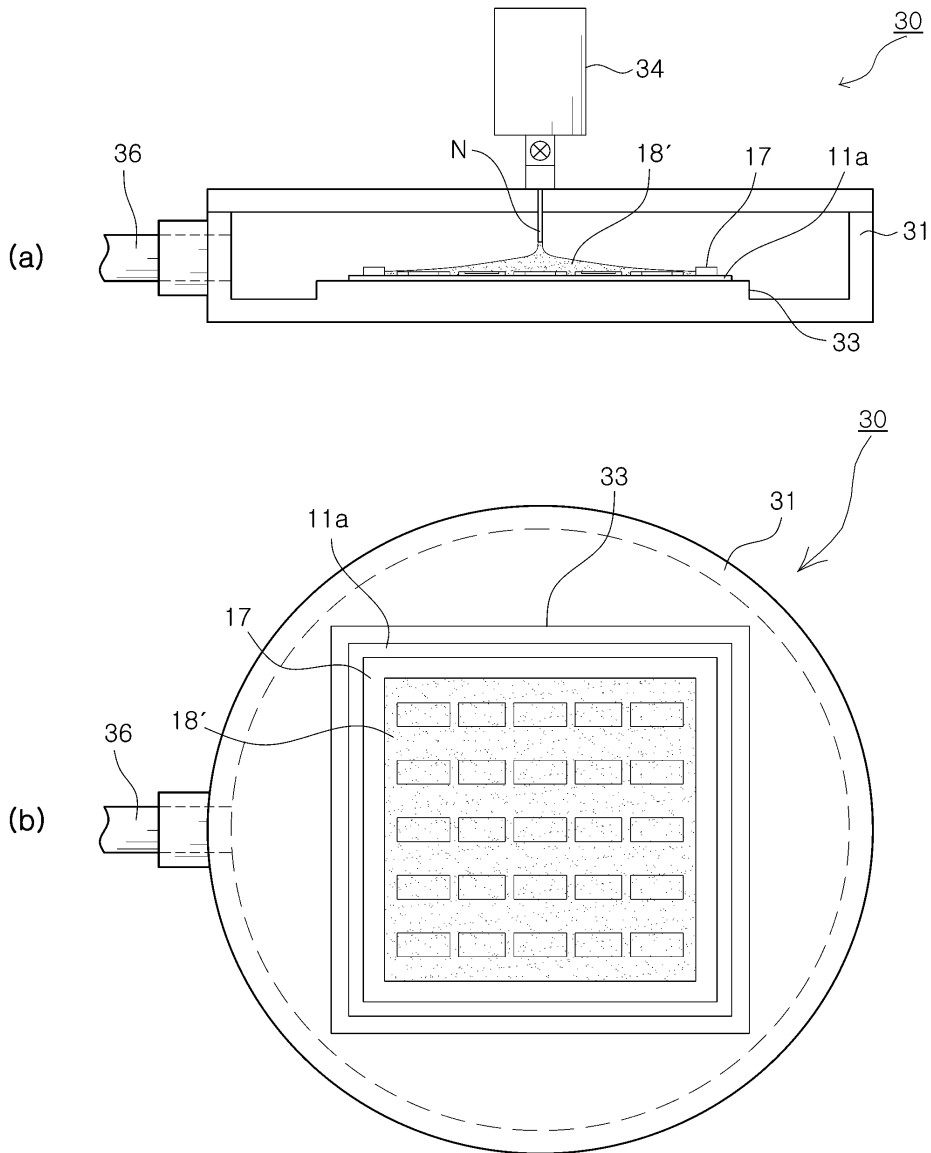
도면2



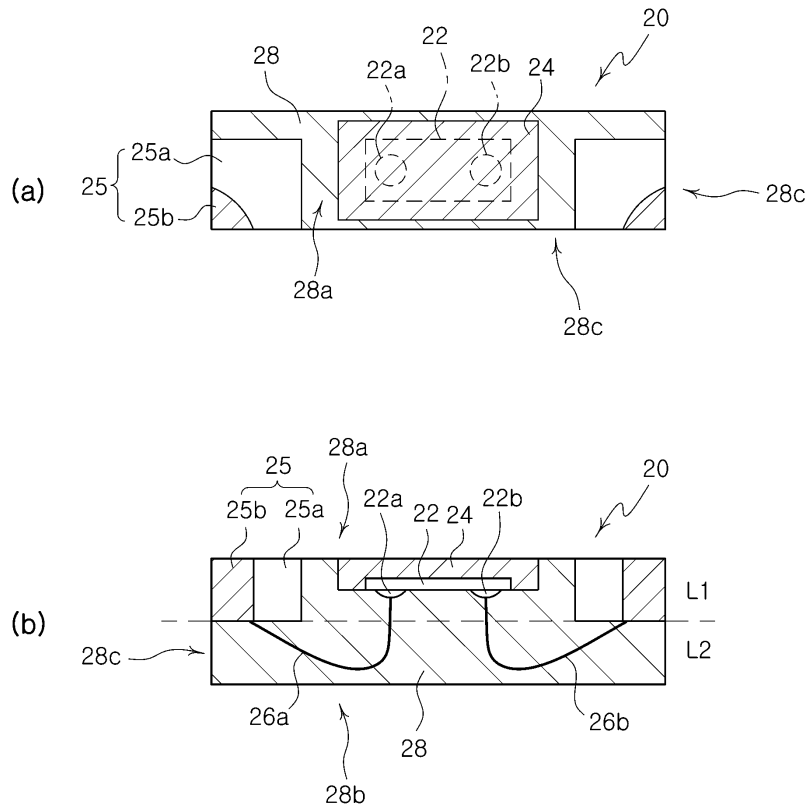
도면3



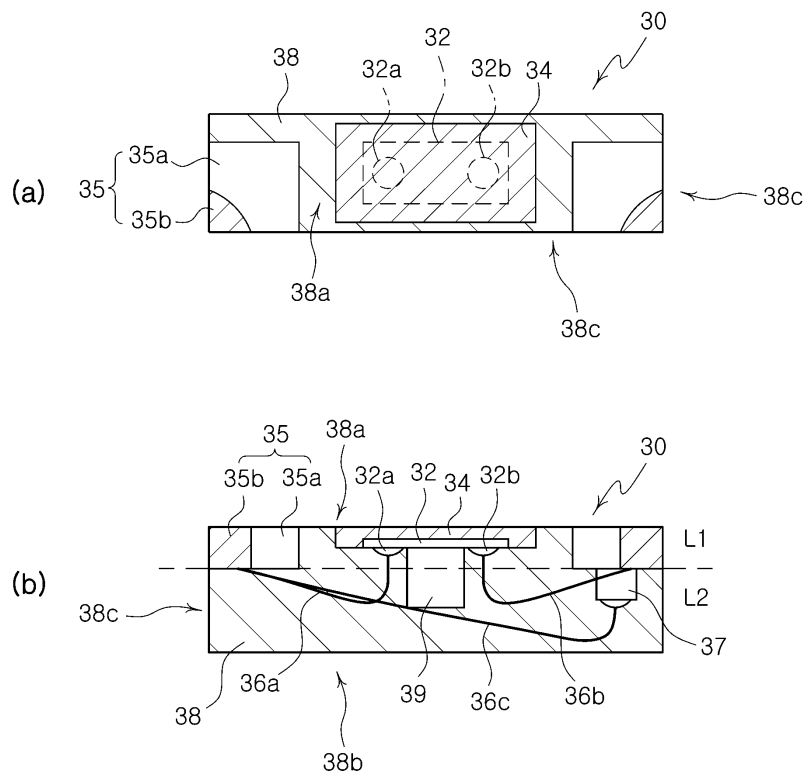
도면4



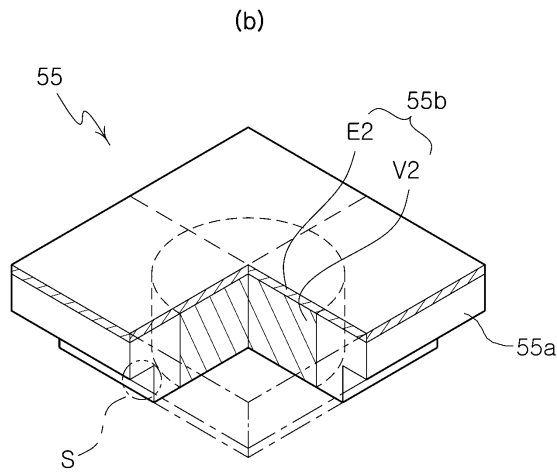
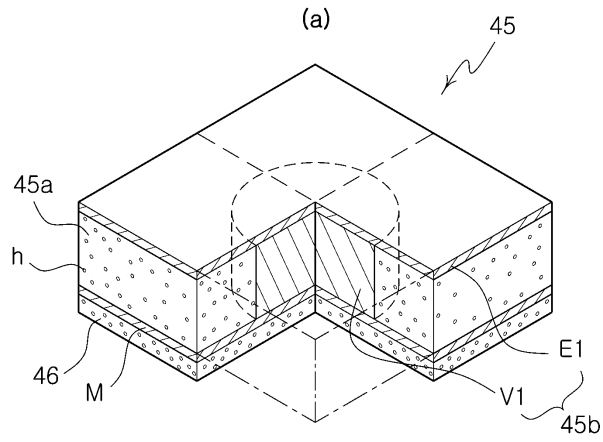
도면5



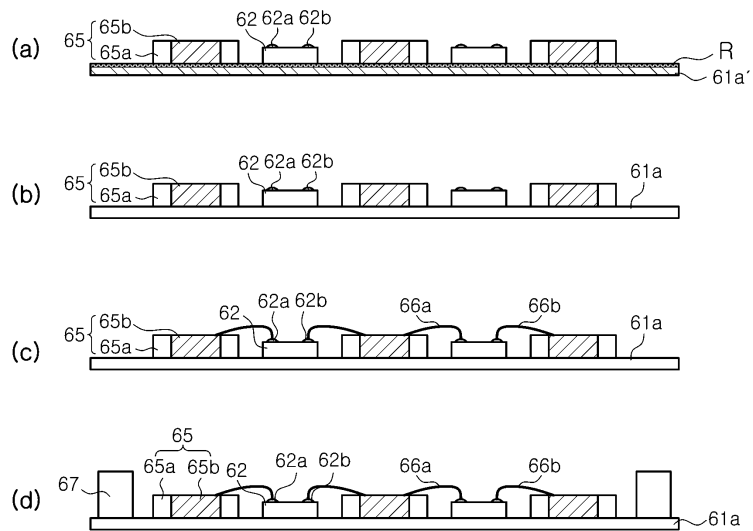
도면6



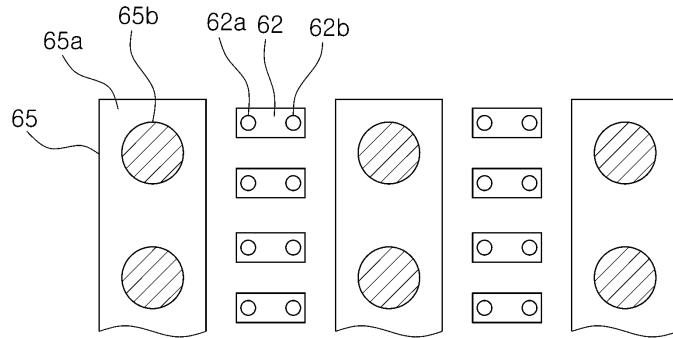
도면7



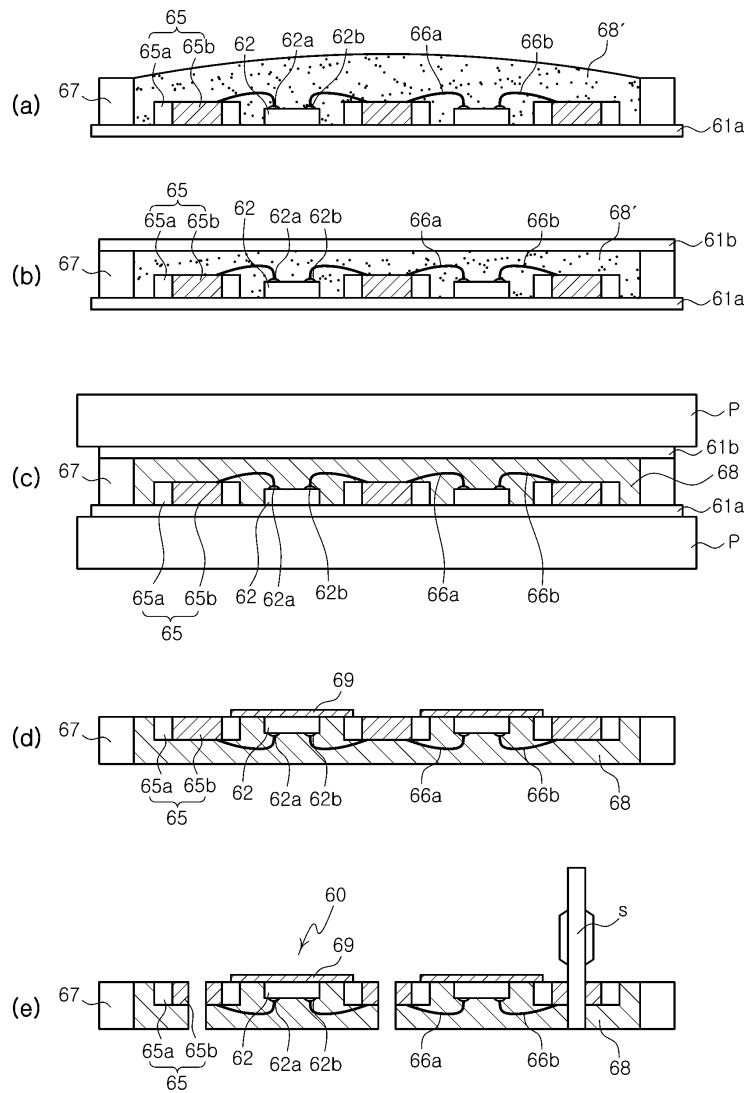
도면8



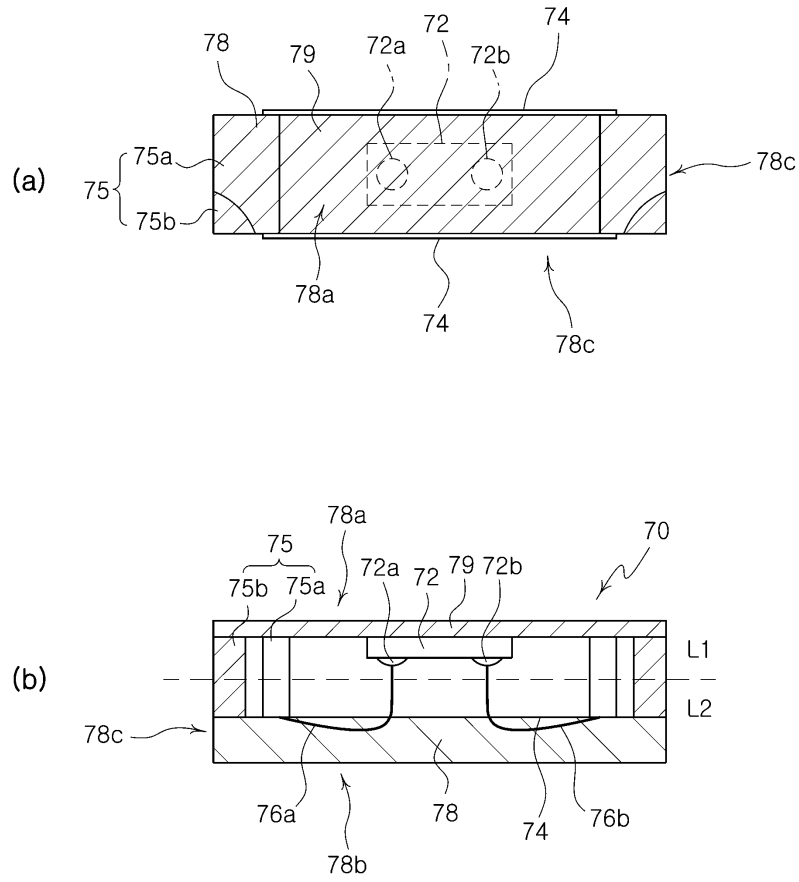
도면9



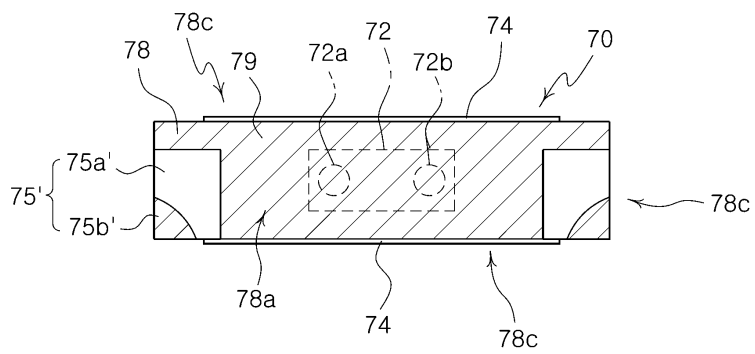
도면10



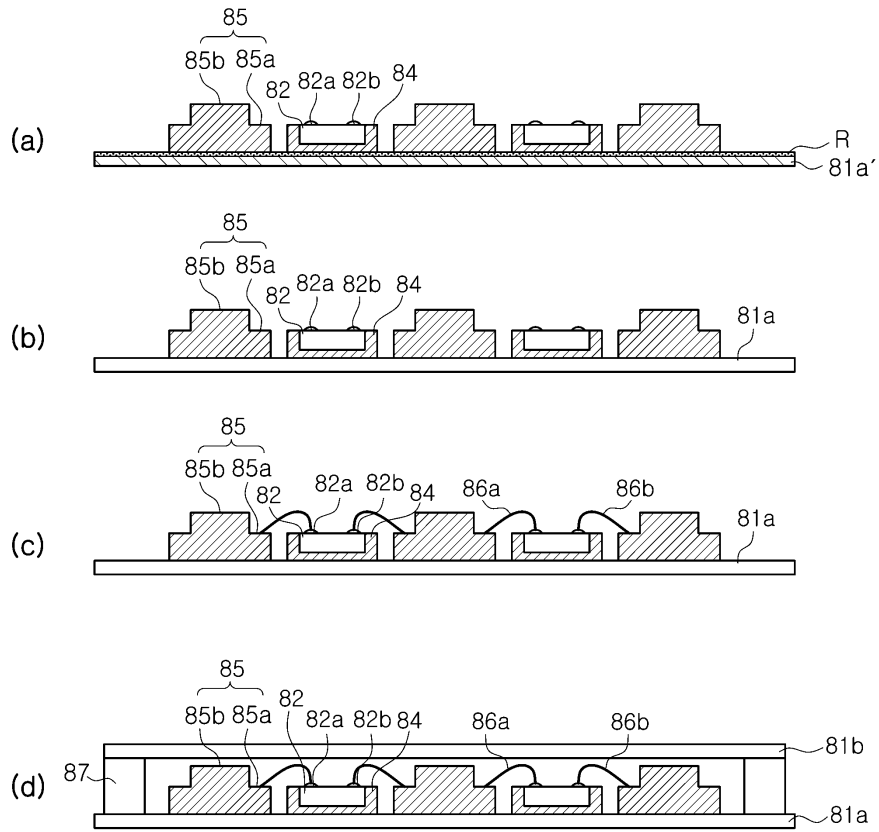
도면11



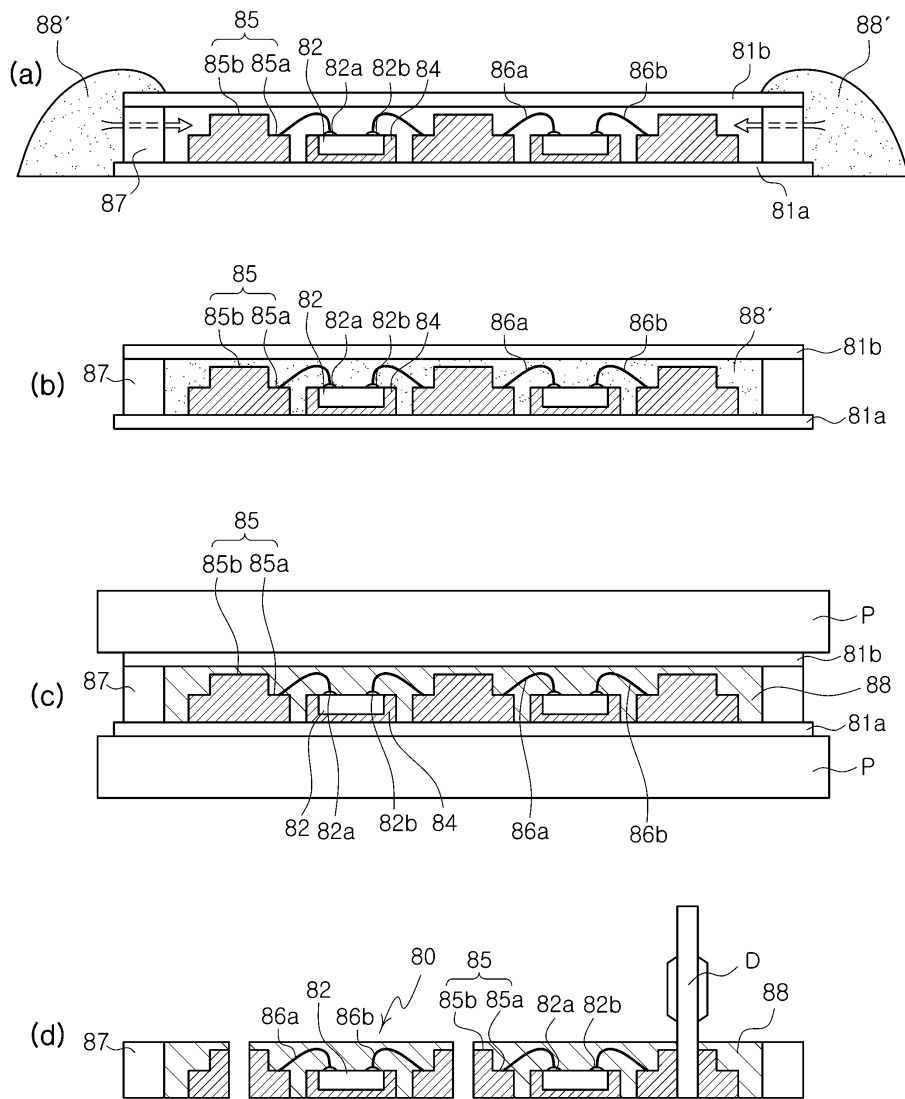
도면12



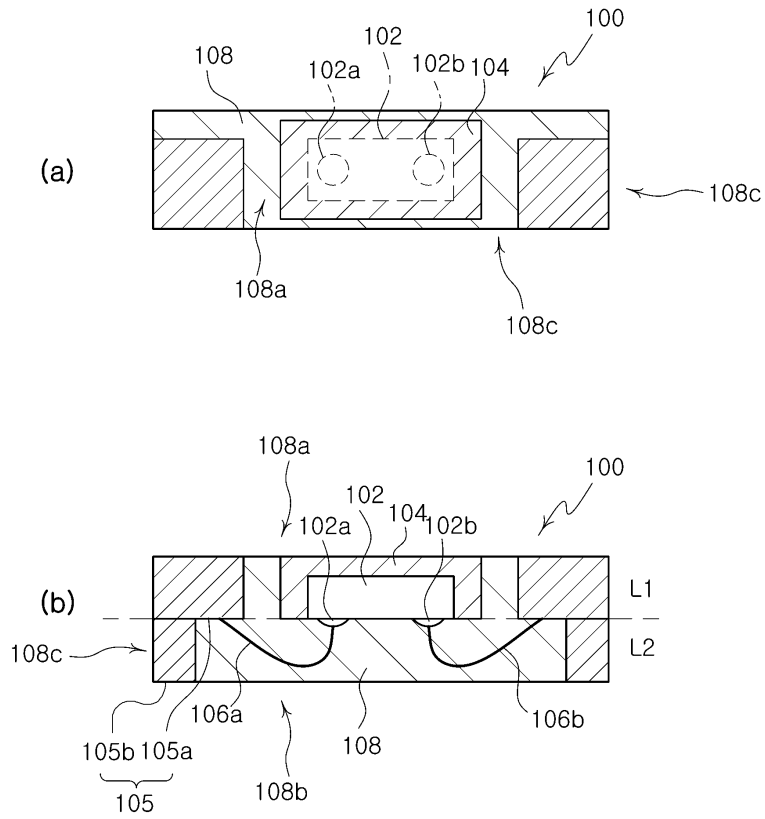
도면13



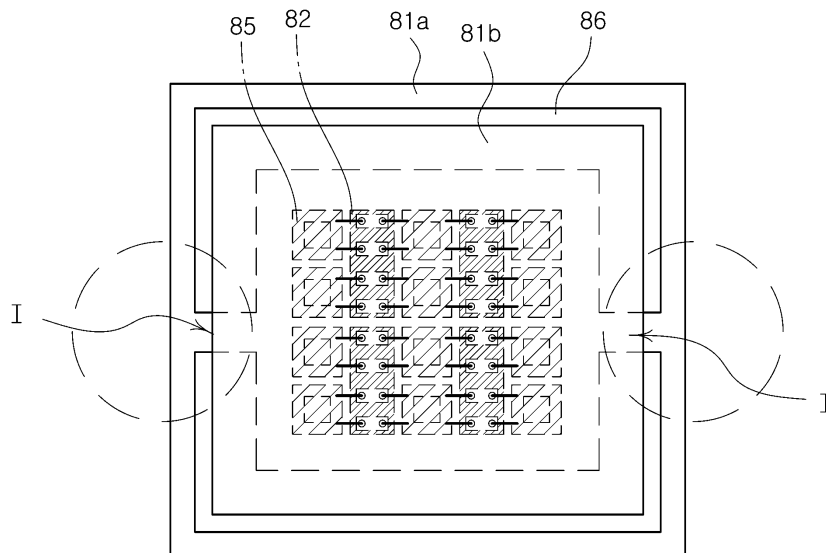
도면14



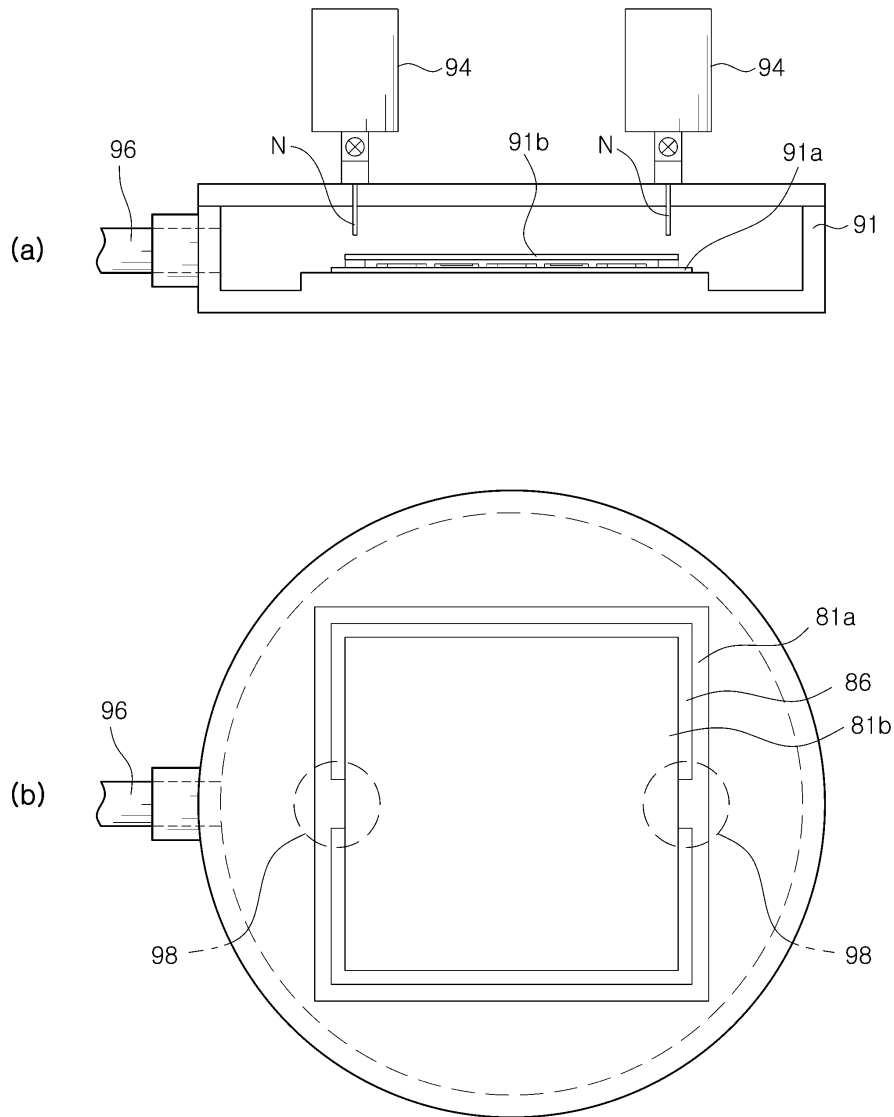
도면15



도면16



도면17



도면18

