



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G05F 3/02 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년07월12일 10-0739327 2007년07월06일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2001-0038456 2001년06월29일 2006년02월27일	(65) 공개번호 (43) 공개일자	10-2003-0002756 2003년01월09일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자 매그나칩 반도체 유한회사
 충북 청주시 흥덕구 향정동 1

(72) 발명자 이준석
 서울특별시용산구원효로1가22-13

(74) 대리인 신영무

(56) 선행기술조사문헌 JP02105907 A JP62259119 A	JP10275021 A KR19900001761 B1
---	----------------------------------

심사관 : 장석환

전체 청구항 수 : 총 2 항

(54) 디지털 영역에서 전류량을 제어하기 위한 전류 바이어스 회로

(57) 요약

제 1 전류 경로와, 상기 제 1 전류 경로에 흐르는 전류에 비례하여 전류량이 변하는 제 2 전류 경로와, 상기 제 1 전류 경로에 흐르는 전류에 따라 하나 이상의 분기 전류를 생성하여 상기 제 2 경로에 흐르는 전류에 더해주기 위한 분기 전류 생성 수단과, 상기 분기 전류 생성 수단을 제어하기 위한 디지털 컨트롤러를 포함하여 구성된 전류 바이어스 회로가 제공되는 데, 상기 분기의 전류 생성 수단은 상기 제 2 전류 경로에 제공된 소자에 병렬 접속되는 다수의 트랜지스터와, 상기 다수의 트랜지스터의 각 게이트 단자와 상기 제 1 전류 경로간에 접속되며 상기 디지털 컨트롤러의 제어 신호에 따라 온 또는 오프되는 다수의 디지털 스위치를 포함하여 구성된다.

대표도

도 2

특허청구의 범위

청구항 1.

제 1 전류 경로와,

상기 제 1 전류 경로에 흐르는 전류에 비례하여 전류량이 변하는 제 2 전류 경로와,

상기 제 1 전류 경로에 흐르는 전류에 따라 하나 이상의 분기 전류를 생성하여 상기 제 2 경로에 흐르는 전류에 더해주기 위한 분기 전류 생성 수단과,

상기 분기 전류 생성 수단을 제어하기 위한 디지털 컨트롤러를 포함하되,

상기 디지털 컨트롤러는 상기 제 1 전류 경로에 흐르는 전류와 제2 전류 경로에 흐르는 전류를 합한 값과 선정된 기준 전류 값을 비교한 결과에 따라 상기 분기 전류 생성 수단을 제어하는 것을 특징으로 하는 전류 바이어스 회로.

청구항 2.

제 1 항에 있어서,

상기 분기 전류 생성 수단은 상기 제 2 전류 경로에 제공된 소자에 병렬 접속되는 다수의 트랜지스터와,

상기 다수의 트랜지스터의 각 게이트 단자와 상기 제 1 전류 경로간에 접속되며 상기 디지털 컨트롤러의 제어 신호에 따라 온 또는 오프되는 다수의 디지털 스위치를 포함하여 구성된 것을 특징으로 하는 전류 바이어스 회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 혼성 모드 집적 회로 설계시 각 서브 블록(sub-block)에 전류를 제공 해 주는 바이어스 회로에 관한 것으로, 특히 간단한 방법으로 각 서브 블록 또는 반도체 소자 테스트시에 정확한 양의 전류를 제공할 수 있는 전류 바이어스 회로에 관한 것이다.

일반적으로 혼성 모드 집적 회로 설계시 각 서브 블록에 정확한 양의 전류를 제공해야 한다. 그런데 종래에는 가변 저항을 이용하여 외부에서 전류의 양을 조절하거나 칩 내부에 저항을 집적시켜 전류의 양을 조절하였다.

전자의 경우 외부의 가변저항을 사람이 수작업으로 하나씩 조절하여 테스트 해야 하므로 시간이 많이 소요될 뿐더러 정확도가 많이 저하되는 단점이 있다.

후자의 단점은 실제 반도체 공정에서 칩내에 저항을 집적시키는 경우 저항값은 10% 정도의 오차를 갖게 되므로 정확한 전류의 제공이 어려워 수율이 떨어지는 단점이 있다.

도 1을 참조하여 외부 가변 저항에 의해 전류를 제어하는 종래 기술을 설명하기로 한다.

칩 내부(20)에는 트랜지스터(Q1, Q2, Q3 및 Q4)등이 집적되어 있다. 칩 외부(10)에는 가변 저항(VR)이 구비되는데, 이 가변 저항(VR)의 일측 단자는 칩 내부의 VDD 라인에 연결되고, 타측 단자는 트랜지스터(Q3)를 통해 칩의 VSS라인에 연결된다. 즉, 가변 저항(VR)을 가변하여 전류 (I1)가 결정되고 트랜지스터(Q3)와 트랜지스터(Q4)의 비율에 의해 전류(I2)가 결정된다. 따라서 전류(I2)는 전류(I1)에 비례하여 흐른다.

이러한 종래 기술은 상술한 바와 같이 제조된 칩마다 일일이 수작업으로 전류량을 조절하게 되므로 정확도가 떨어질 뿐 아니라 비효율적이다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명은 디지털 신호로써 칩에 공급되는 전류량을 제어되게 하여 상술한 단점을 해소할 수 있는 전류 바이어스 회로를 제공하는데 그 목적이 있다.

발명의 구성

상술한 목적을 달성하기 위한 본 발명에 따른 전류 바이어스 회로는 제 1 전류 경로와, 상기 제 1 전류 경로에 흐르는 전류에 비례하여 전류량이 변하는 제 2 전류 경로와, 상기 제 1 전류 경로에 흐르는 전류에 따라 하나 이상의 분기 전류를 생성하여 상기 제 2 경로에 흐르는 전류에 더해주기 위한 분기 전류 생성 수단과, 상기 분기 전류 생성 수단을 제어하기 위한 디지털 콘트롤러를 포함하되, 상기 디지털 콘트롤러는 상기 제 1 전류 경로에 흐르는 전류와 제2 전류 경로에 흐르는 전류를 합한 값과 선정된 기준 전류값을 비교한 결과에 따라 상기 분기 전류 생성 수단을 제어하는 것을 특징으로 하며, 상기 분기 전류 생성 수단은 상기 제 2 전류 경로에 제공된 소자에 병렬 접속되는 다수의 트랜지스터와, 상기 다수의 트랜지스터의 각 게이트 단자와 상기 제 1 전류 경로간에 접속되며 상기 디지털 콘트롤러의 제어 신호에 따라 온 또는 오프되는 다수의 디지털 스위치를 포함하여 구성된다.

삭제

삭제

삭제

이하, 첨부된 도면을 참조하여 본 발명을 더욱 상세히 설명하기로 한다.

도 2 는 본 발명에 따른 전류 바이어스 회로도이다.

반도체 칩 내부(20)에는 저항(R) 및 트랜지스터(Q1, Q2, Q3 및 Q4)등이 집적되는데 저항(R) 및 트랜지스터(Q3)를 통과하는 제 1 전류 경로(I1) 및 트랜지스터(Q1) 및 트랜지스터 (Q4)를 통과하는 제 2 전류 경로(I2) 가 있는 것으로 가정한다. 트랜지스터(Q1 및 Q4)는 VDD 라인과 VSS 라인 사이에 직렬 접속되어 있고 트랜지스터(Q2)는 VDD 라인과 패드(P)간에 접속 되어 있다. 트랜지스터(Q1 및 Q2)의 게이트 전극은 서로 접속 된 채로 트랜지스터(Q1 및 Q4)의 접속점에 접속 되어 있다. 저항(R) 및 트랜지스터(Q3)가 VDD 라인과 VSS 라인에 직렬 접속되고 트랜지스터(Q3 및 Q4)의 게이트 전극이 서로 접속된 채로 저항(R) 및 트랜지스터(Q3)의 접속점에 접속된다. 상기 저항(R)은 칩 외부에 구성시킬 수 있다.

제 2 전류 경로(I2)의 전류량을 제어하기 위해서 트랜지스터(Q4)에 다수의 트랜지스터(T1 내지 T4)를 병렬로 접속한다. 트랜지스터(T1)의 게이트 전극은 디지털 스위치(SW1)를 통해 트랜지스터(Q3)의 게이트 전극에 접속되고, 트랜지스터 (T2)의 게이트 전극은 디지털 스위치(SW2)를 통해 트랜지스터(Q3)의 게이트 전극에 접속된다. 또한 트랜지스터(T3)의 게이트 전극은 디지털 스위치(SW3)를 통해 트랜지스터(Q3)의 게이트 전극에 접속되고, 트랜지스터(T4)의 게이트 전극은 디지털 스위치(SW4)를 통해 트랜지스터(Q4)의 게이트 전극에 접속된다. 이러한 구성을 본 발명에서는 전류 바이어스 회로(100)로 칭하기로 한다.

디지털 스위치(SW1 내지 SW4)는 트랜지스터등으로 구성할 수 있으며 디지털 콘트롤러(50)의 제어 신호에 따라 온 또는 오프된다.

디지털 콘트롤러(50)의 제어 신호에 따라 스위치(SW1 내지 SW4)가 온 또는 오프되어 분기 전류 (I2a, I2b, I2c, I2d)를 생성한다.

전류(I4)는 전류(I4)와 분기전류(I2a, I2b, I2c, I2d)를 합한 값이 된다. 전체 전류를 I라고 하면 $I=I1+I2$ 가 된다.

물론 전류(I2)의 양은 디지털 스위치(SW1 내지 SW4)를 적절히 조정하면 된다. 디지털 스위치 (SW1 내지 SW4)의 조정에 따른 전류(I2)의 몇가지 예를 표시하면 다음과 같다.

$$I2 = I4 + I2a + I2b + I2c + I2d (SW1=ON, SW2=ON, SW3=ON, SW4=ON)$$

$$I2 = I4 + I2b + I2c + I2d (SW1=OFF, SW2=ON, SW3=ON, SW4=ON)$$

$$I2 = I4 + I2c + I2d (SW=OFF, SW2=OFF, SW3=ON, SW4=ON)$$

$$I_2 = I_4 + I_{2d}(SW1=OFF, SW2=OFF, SW3=OFF, SW4=ON)$$

도 3 은 본 발명을 이용하여 반도체 소자에 일정한 전류량을 제공하기 위한 회로도이다.

즉, 본 발명은 어떤 외부 전류와 비교하여 칩 내부에 흐르는 전류를 같게 맞추어 주는데 사용할 수 있다. 이는 본 발명에서 제안하는 전류 바이어스 회로가 디지털로 외부에서 제어가 되기 때문에, 즉 외부에서 어떠한 프로그램으로 전류의 양을 제어하기 때문에 가능하며, 이러한 응용 외에 여러가지 응용에 사용할 수 있다. 도 3은 본 발명에서 제안하는 전류 바이어스 회로와 외부에서 제공하는 디지털 회로를 이용하여 원하는 칩에 흐르는 전류를 기준 전류와 같게 만들어 주는 회로도이다. 여기서 비교기(200)는 히스테리시스(hysteresis)회로를 사용해야만 전류가 진동하는 문제를 해결할 수 있다.

예를 들어 칩에 50 μ A의 전류를 흘려 주고 싶을 경우 레퍼런스 전류를 50 μ A로 하면 전류바이어스회로(100)에도 동일한 전류가 흐르게 된다. 즉, 레퍼런스 전류와 바이어스 전류(I)를 비교하여 그 비교 값에 따라 가산 및 감산기(300)가 일정한 디지털 신호를 생성한다. 이 디지털 신호에 따라 전류바이어스 회로(100)가 제어 되어 일정한 전류를 생성하게 되는 것이다.

발명의 효과

상술한 바와 같이 본 발명에 의하면 디지털 신호로 칩에 제공되는 전류량을 자동으로 제어할 수 있는 효과가 있다.

도면의 간단한 설명

도 1은 반도체 소자에 적용되는 종래의 전류 바이어스 방식을 설명하기 위한 전류 바이어스 회로도.

도 2는 반도체 소자에 적용되는 본 발명에 따른 전류 바이어스 방식을 설명하기 위한 전류 바이어스 회로도.

도 3은 반도체 소자 테스트시 본 발명이 적용된 구성을 나타내는 회로도.

<도면의 주요 부분에 대한 부호의 설명>

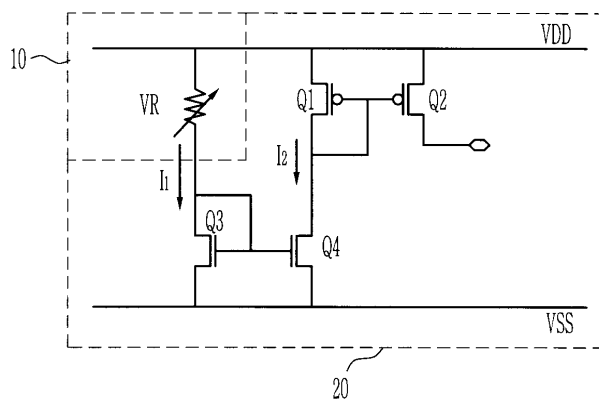
10: 칩 내부 20: 칩 외부

50: 디지털 콘트롤러 100: 전류 바이어스 회로

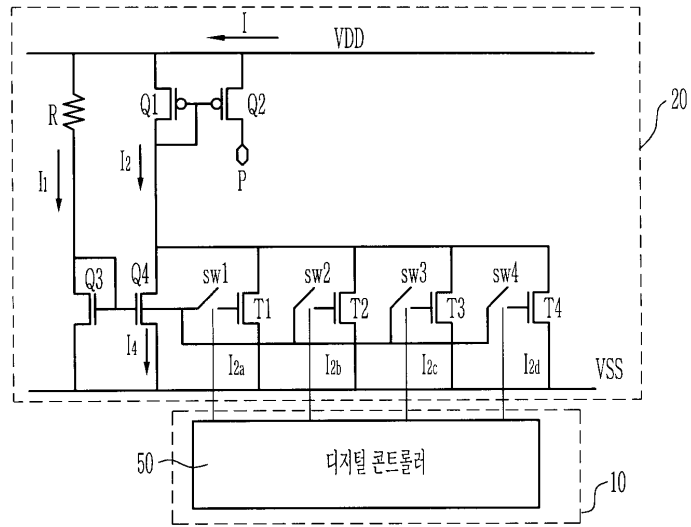
200: 비교기 300: 가산 및 감산기

도면

도면1



도면2



도면3

