



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년05월24일  
(11) 등록번호 10-2401178  
(24) 등록일자 2022년05월19일

(51) 국제특허분류(Int. Cl.)  
H01L 29/732 (2006.01) H01L 29/417 (2006.01)  
H01L 29/423 (2006.01) H01L 29/66 (2006.01)  
(52) CPC특허분류  
H01L 29/732 (2013.01)  
H01L 29/41775 (2013.01)  
(21) 출원번호 10-2017-0145848  
(22) 출원일자 2017년11월03일  
심사청구일자 2020년11월03일  
(65) 공개번호 10-2019-0050444  
(43) 공개일자 2019년05월13일  
(56) 선행기술조사문헌  
KR1020170073002 A\*  
US20170207232 A1\*  
US20170263618 A1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
김광수  
경기도 화성시 동탄반석로 277 (석우동, 동탄예당  
마을 우미린제일풍경채) 114동 401호  
정영진  
경기도 화성시 동탄중앙로 200 (반송동, 메타폴  
리스) D동 2804호  
이재덕  
경기도 성남시 분당구 정자로 143, 211동 101호(정  
자동, 한솔마을LG아파트)  
(74) 대리인  
특허법인씨엔에스

전체 청구항 수 : 총 20 항

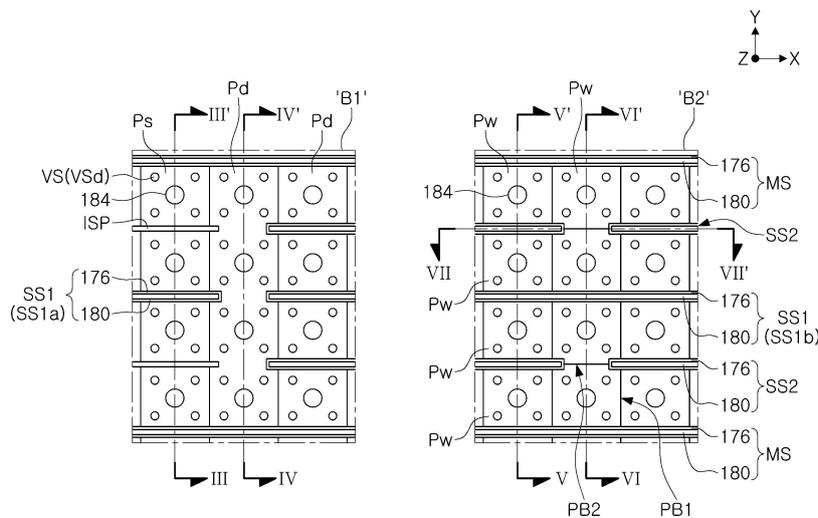
심사관 : 안경민

(54) 발명의 명칭 3차원 반도체 소자

(57) 요약

3차원 반도체 소자를 제공한다. 이 3차원 반도체 소자는 기판 상에 배치되고, 상기 기판의 표면과 수평한 제1 방향으로 연장되는 주 분리 구조체들; 상기 주 분리 구조체들 사이에 배치되는 게이트 전극들; 상기 주 분리 구조체들 사이에서 상기 게이트 전극들을 관통하고, 서로 마주 보는 끝 부분들을 갖는 제1 라인 부분 및 제2 라인 부분을 포함하는 제1 보조 분리 구조체; 및 상기 제1 보조 분리 구조체와 상기 주 분리 구조체들 사이에 배치되고 상기 게이트 전극들을 관통하는 제2 보조 분리 구조체들을 포함한다. 상기 제2 보조 분리 구조체들은 상기 제2 라인 부분과 상기 주 분리 구조체들 사이에서 서로 마주보는 끝 부분들을 갖는다.

대표도



(52) CPC특허분류

*H01L 29/42312* (2013.01)

*H01L 29/66666* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

기관 상에 배치되고, 상기 기관의 표면과 수평한 제1 방향으로 연장되는 주 분리 구조체들;

상기 주 분리 구조체들 사이에 배치되는 게이트 전극들;

상기 주 분리 구조체들 사이에서 상기 게이트 전극들을 관통하고, 서로 마주 보는 끝 부분들을 갖는 제1 라인 부분 및 제2 라인 부분을 포함하는 제1 보조 분리 구조체; 및

상기 제1 보조 분리 구조체와 상기 주 분리 구조체들 사이에 배치되고 상기 게이트 전극들을 관통하는 제2 보조 분리 구조체들을 포함하되,

상기 제2 보조 분리 구조체들은 상기 제2 라인 부분과 상기 주 분리 구조체들 사이에서 서로 마주보는 끝 부분들을 갖고,

상기 기관은 메모리 셀 어레이 영역 및 연결 영역을 갖고,

상기 제1 라인 부분은 상기 메모리 셀 어레이 영역을 가로지르며 상기 연결 영역으로 연장되고,

상기 제2 라인 부분은 상기 연결 영역 상에 배치되며 상기 연결 영역에서 상기 제1 라인 부분과 마주보는 끝 부분을 갖고,

상기 게이트 전극들은 상기 연결 영역에서 계단 모양으로 배열되는 패드 영역들을 갖는 3차원 반도체 소자.

#### 청구항 2

제 1 항에 있어서,

상기 제2 보조 분리 구조체들 각각은 상기 제2 라인 부분 보다 짧은 상기 제1 방향으로의 길이를 갖는 3차원 반도체 소자.

#### 청구항 3

제 1 항에 있어서,

상기 주 분리 구조체들, 상기 제1 보조 분리 구조체 및 상기 제2 보조 분리 구조체들의 각각은 도전성 패턴 및 상기 도전성 패턴의 측면 상의 절연성 스페이서를 포함하는 3차원 반도체 소자.

#### 청구항 4

제 3 항에 있어서,

상기 주 분리 구조체들, 상기 제1 보조 분리 구조체 및 상기 제2 보조 분리 구조체들 하부의 상기 기관 내에 배치되는 불순물 영역들을 더 포함하는 3차원 반도체 소자.

#### 청구항 5

제 1 항에 있어서,

상기 연결 영역에서 상기 제1 라인 부분과 상기 제2 라인 부분의 서로 마주보는 상기 끝 부분들은 상기 제1 방향으로 배열되고,

상기 게이트 전극들은 상기 메모리 셀 어레이 영역에서 상기 기판의 표면과 수직한 방향으로 적층되며 상기 연결 영역으로 연장되는 3차원 반도체 소자.

**청구항 6**

제 5 항에 있어서,

상기 기판 상에 배치되는 수직 구조체들을 더 포함하되,

상기 수직 구조체들은 상기 메모리 셀 어레이 영역 상에 배치되며 상기 게이트 전극들을 관통하는 메모리 셀 수직 구조체들 및 상기 연결 영역 상에 배치되며 상기 패드 영역들을 관통하는 더미 수직 구조체들을 포함하고,

상기 메모리 셀 어레이 영역 상에 배치되는 상기 메모리 셀 수직 구조체들의 배치 밀도는 상기 연결 영역 상에 배치되는 상기 더미 수직 구조체들의 배치 밀도 보다 높은 3차원 반도체 소자.

**청구항 7**

제 6 항에 있어서,

상기 수직 구조체들의 각각은 상기 기판의 표면과 수직한 방향으로 연장되는 채널 반도체 층, 및 상기 채널 반도체 층과 상기 게이트 전극들 사이에 개재되는 정보 저장 층을 포함하는 3차원 반도체 소자.

**청구항 8**

제 6 항에 있어서,

평면으로 보았을 때, 상기 더미 수직 구조체들은 상기 패드 영역들 사이의 경계와 이격되는 3차원 반도체 소자.

**청구항 9**

제 6 항에 있어서,

평면으로 보았을 때, 상기 더미 수직 구조체들 중 일부는 상기 패드 영역들 사이의 경계를 관통하는 3차원 반도체 소자.

**청구항 10**

제 6 항에 있어서,

상기 더미 수직 구조체들 중 일부는 서로 마주보는 상기 제2 보조 분리 구조체들의 끝 부분들 사이에 배치되는 3차원 반도체 소자.

**청구항 11**

기판의 메모리 셀 어레이 영역 및 연결 영역을 가로지르는 주 분리 구조체들;

상기 주 분리 구조체들 사이에서, 상기 메모리 셀 어레이 영역 상에 차례로 적층되고 상기 연결 영역으로 연장되어 상기 연결 영역에서 계단 모양으로 배열되는 패드 영역들을 갖는 게이트 전극들;

상기 주 분리 구조체들 사이에서 상기 게이트 전극들을 관통하는 제1 보조 분리 구조체, 상기 제1 보조 분리 구조체는 상기 메모리 셀 어레이 영역을 가로지르며 상기 연결 영역으로 연장되는 제1 라인 부분 및 상기 연결 영역 상에 배치되며 상기 연결 영역에서 상기 제1 라인 부분과 마주보는 끝 부분을 갖는 제2 라인 부분을 포함하

고; 및

상기 제1 보조 분리 구조체와 상기 주 분리 구조체들 사이에 배치되고 상기 게이트 전극들을 관통하는 제2 보조 분리 구조체들을 포함하되,

상기 제2 보조 분리 구조체들은 상기 연결 영역에서 서로 마주보는 끝 부분들을 갖는 3차원 반도체 소자.

**청구항 12**

제 11 항에 있어서,

상기 제2 보조 분리 구조체들의 서로 마주보는 끝 부분들은 상기 제1 보조 분리 구조체의 상기 제2 라인 부분과 상기 주 분리 구조체들 사이에 배치되는 3차원 반도체 소자.

**청구항 13**

제 11 항에 있어서,

상기 게이트 전극들은 하부 게이트 전극, 상기 하부 게이트 전극 상에 배치되는 복수의 중간 게이트 전극들, 및 상기 복수의 중간 게이트 전극들 상에 배치되는 복수의 상부 게이트 전극들을 포함하되,

상기 복수의 상부 게이트 전극들은 상부 선택 게이트 전극을 포함하고,

상기 제1 라인 부분은 상기 상부 선택 게이트 전극을 가로지르고, 상기 제2 라인 부분은 상기 상부 선택 게이트 전극과 이격되는 3차원 반도체 소자.

**청구항 14**

제 13 항에 있어서,

상기 제2 보조 분리 구조체들은 상기 상부 선택 게이트 전극과 이격되는 3차원 반도체 소자.

**청구항 15**

제 13 항에 있어서,

상기 기판 상에 배치되는 수직 구조체들을 더 포함하되,

상기 수직 구조체들은 상기 메모리 셀 어레이 영역 상에 배치되며 상기 게이트 전극들을 관통하는 메모리 셀 수직 구조체들 및 상기 연결 영역 상에 배치되며 상기 패드 영역들을 관통하는 더미 수직 구조체들을 포함하되,

상기 더미 수직 구조체들 중 일부는 상기 제1 및 제2 라인 부분들의 서로 마주 보는 끝 부분들 사이, 및 상기 제2 보조 분리 구조체들의 서로 마주보는 끝 부분들 사이에 배치되는 3차원 반도체 소자.

**청구항 16**

메모리 셀 어레이 영역 및 상기 메모리 셀 어레이 영역과 인접하는 연결 영역을 갖는 기판;

상기 메모리 셀 어레이 영역에서 상기 기판의 표면과 수직한 방향으로 적층되고 상기 연결 영역으로 연장되는 게이트 전극들;

상기 메모리 셀 어레이 영역 및 상기 연결 영역을 가로지르며 상기 게이트 전극들을 관통하는 주 분리 구조체들;

상기 주 분리 구조체들 사이에서 상기 게이트 전극들을 관통하고, 상기 연결 영역에서 서로 마주보는 끝 부분들

을 갖는 제1 라인 부분 및 제2 라인 부분을 포함하는 제1 보조 분리 구조체; 및  
 상기 제1 보조 분리 구조체 양 옆에 위치하고, 상기 제1 보조 분리 구조체와 상기 주 분리 구조체들 사이에서  
 상기 게이트 전극들을 관통하는 제2 보조 분리 구조체들을 포함하되,  
 상기 제2 보조 분리 구조체들은 상기 연결 영역에서 서로 마주보며 이격된 끝 부분들을 갖고,  
 상기 제2 보조 분리 구조체들의 각각은 상기 제1 보조 분리 구조체의 상기 제1 및 제2 라인 부분들 보다 짧은  
 길이를 갖는 3차원 반도체 소자.

**청구항 17**

제 16 항에 있어서,  
 상기 게이트 전극들 중에서 어느 하나의 게이트 전극은 상기 제1 및 제2 라인 부분들 사이에 위치하는 제1 게이  
 트 연결 부분 및 상기 제2 보조 분리 구조체들 사이에 위치하는 제2 게이트 연결 부분들을 포함하고,  
 상기 제2 게이트 연결 부분들은 상기 제1 게이트 연결 부분 보다 상기 주 분리 구조체들에 가까운 3차원 반도체  
 소자.

**청구항 18**

제 17 항에 있어서,  
 상기 게이트 전극들은 하부 게이트 전극, 상기 하부 게이트 전극 상에 배치되는 복수의 중간 게이트 전극들, 및  
 상기 복수의 중간 게이트 전극들 상에 배치되는 복수의 상부 게이트 전극들을 포함하되,  
 상기 제1 보조 분리 구조체의 상기 제2 라인 부분은 상기 복수의 상부 게이트 전극들과 이격되고,  
 상기 제1 및 제2 게이트 연결 부분들을 갖는 상기 게이트 전극은 상기 복수의 중간 게이트 전극들 및 상기 하부  
 게이트 전극 중 어느 하나인 3차원 반도체 소자.

**청구항 19**

제 16 항에 있어서,  
 상기 기판 상에 배치되는 수직 구조체들을 더 포함하되,  
 상기 수직 구조체들은 상기 메모리 셀 어레이 영역 상에 배치되며 상기 게이트 전극들을 관통하는 메모리 셀 수  
 직 구조체들 및 상기 연결 영역 상에 배치되며 상기 게이트 전극들의 패드 영역들을 관통하는 더미 수직 구조체  
 들을 포함하되,  
 상기 더미 수직 구조체들 중 일부는 상기 제1 및 제2 게이트 연결 부분들을 관통하는 3차원 반도체 소자.

**청구항 20**

제 16 항에 있어서,  
 상기 게이트 전극들은 상기 연결 영역에서 상기 게이트 전극들 보다 두께가 증가된 패드 영역들을 갖는 3차원  
 반도체 소자.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 기술적 사상은 반도체 소자에 관한 것으로, 특히 게이트 전극들을 포함하는 3차원 반도체 소자에 관한 것이다.

**배경 기술**

[0002] 반도체 기판의 표면으로부터 수직인 방향으로 적층되는 게이트 전극들을 포함하는 반도체 소자가 개발되고 있다. 반도체 소자의 고집적화를 위하여, 상기 적층되는 게이트 전극들의 수를 증가시키고 있다. 이와 같이, 반도체 기판의 표면과 수직인 방향으로 적층되는 게이트 전극들의 수가 점점 증가하면서, 게이트 형성 공정의 난이도는 점점 증가하고 예상치 못한 불량들이 발생하고 있다.

**발명의 내용**

**해결하려는 과제**

[0003] 본 발명의 기술적 사상이 해결하려는 과제는 3차원 반도체 소자를 제공하는데 있다.  
 [0004] 본 발명의 기술적 사상이 해결하려는 과제는 고집적화할 수 있는 3차원 반도체 소자 및 그 형성 방법을 제공하는데 있다.

**과제의 해결 수단**

[0005] 본 발명의 기술적 사상의 일 실시 예에 3차원 반도체 소자를 제공한다. 이 3차원 반도체 소자는 기판 상에 배치되고, 상기 기판의 표면과 수평한 제1 방향으로 연장되는 주 분리 구조체들; 상기 주 분리 구조체들 사이에 배치되는 게이트 전극들; 상기 주 분리 구조체들 사이에서 상기 게이트 전극들을 관통하고, 서로 마주 보는 끝 부분들을 갖는 제1 라인 부분 및 제2 라인 부분을 포함하는 제1 보조 분리 구조체; 및 상기 제1 보조 분리 구조체와 상기 주 분리 구조체들 사이에 배치되고 상기 게이트 전극들을 관통하는 제2 보조 분리 구조체들을 포함한다. 상기 제2 보조 분리 구조체들은 상기 제2 라인 부분과 상기 주 분리 구조체들 사이에서 서로 마주 보는 끝 부분들을 갖는다.

[0006] 본 발명의 기술적 사상의 일 실시 예에 3차원 반도체 소자를 제공한다. 이 3차원 반도체 소자는 기판의 메모리 셀 어레이 영역 및 연결 영역을 가로지르는 주 분리 구조체들; 상기 주 분리 구조체들 사이에서, 상기 메모리 셀 어레이 영역 상에 차례로 적층되고 상기 연결 영역으로 연장되어 상기 연결 영역에서 계단 모양으로 배열되는 패드 영역들을 갖는 게이트 전극들; 상기 주 분리 구조체들 사이에서 상기 게이트 전극들을 관통하는 제1 보조 분리 구조체; 및 상기 제1 보조 분리 구조체와 상기 주 분리 구조체들 사이에 배치되고 상기 게이트 전극들을 관통하는 제2 보조 분리 구조체들을 포함한다. 상기 제1 보조 분리 구조체는 상기 메모리 셀 어레이 영역을 가로지르며 상기 연결 영역으로 연장되는 제1 라인 부분 및 상기 연결 영역 상에 배치되며 상기 연결 영역에서 상기 제1 라인 부분과 마주 보는 끝 부분을 갖는 제2 라인 부분을 포함한다. 상기 제2 보조 분리 구조체들은 상기 연결 영역에서 서로 마주 보는 끝 부분들을 갖는다.

[0007] 본 발명의 기술적 사상의 일 실시 예에 3차원 반도체 소자를 제공한다. 이 3차원 반도체 소자는 메모리 셀 어레이 영역 및 상기 메모리 셀 어레이 영역과 인접하는 연결 영역을 갖는 기판; 상기 메모리 셀 어레이 영역에서 상기 기판의 표면과 수직인 방향으로 적층되고 상기 연결 영역으로 연장되는 게이트 전극들; 상기 메모리 셀 어레이 영역 및 상기 연결 영역을 가로지르며 상기 게이트 전극들을 관통하는 주 분리 구조체들; 상기 주 분리 구조체들 사이에서 상기 게이트 전극들을 관통하고, 상기 연결 영역에서 서로 마주 보는 끝 부분들을 갖는 제1 라인 부분 및 제2 라인 부분을 포함하는 제1 보조 분리 구조체; 및 상기 제1 보조 분리 구조체 양 옆에 위치하고, 상기 제1 보조 분리 구조체와 상기 주 분리 구조체들 사이에서 상기 게이트 전극들을 관통하는 제2 보조 분리 구조체들을 포함한다. 상기 제2 보조 분리 구조체들은 상기 연결 영역에서 서로 마주 보며 이격된 끝 부분들을 갖는다. 상기 제2 보조 분리 구조체들의 각각은 상기 제1 보조 분리 구조체의 상기 제1 및 제2 라인 부분들 보다 짧은 길이를 갖는다.

**발명의 효과**

[0008] 본 발명의 기술적 사상의 실시예 등에 따르면, 게이트 전극들의 적층 수를 증가시킬 수 있는 3차원 반도체 소자를 제공할 수 있기 때문에, 반도체 소자의 집적도를 향상시킬 수 있다.

**도면의 간단한 설명**

- [0009] 도 1은 본 발명의 일 실시예에 따른 3차원 반도체 소자의 개략적인 블록 다이어그램이다.
- 도 2는 본 발명의 일 실시예에 따른 3차원 반도체 소자의 메모리 셀 어레이 영역의 예시적인 예를 개념적으로 나타낸 회로도이다.
- 도 3은 본 발명의 일 실시예에 따른 3차원 반도체 소자의 예시적인 예를 개념적으로 나타낸 평면도이다.
- 도 4 및 도 5는 도 3의 일부를 확대하여 본 발명의 일 실시예에 따른 3차원 반도체 소자의 예시적인 예를 나타낸 평면도들이다.
- 도 6은 도 5의 I-I'선을 따라 취해진 영역을 나타낸 단면도이다.
- 도 7은 도 5의 II-II'선을 따라 취해진 영역을 나타낸 단면도이다.
- 도 8은 본 발명의 일 실시예에 따른 3차원 반도체 소자의 예시적인 예를 설명하기 위하여 도 4 및 도 5의 'B1'로 표시된 부분 및 'B2'로 표시된 부분을 확대한 평면도이다.
- 도 9a는 도 8의 III-III'선 및 IV'-IV'선을 따라 취해진 영역을 나타낸 단면도이다.
- 도 9b는 도 8의 V-V'선 및 VI'-VI'선을 따라 취해진 영역을 나타낸 단면도이다.
- 도 9c는 도 8의 VII-VII'선을 따라 취해진 영역을 나타낸 단면도이다.
- 도 10은 본 발명의 일 실시예에 따른 3차원 반도체 소자의 게이트 전극들의 예시적인 예를 나타낸 사시도이다.
- 도 11은 본 발명의 일 실시예에 따른 3차원 반도체 소자의 게이트 전극들의 변형 예를 나타낸 사시도이다.
- 도 12는 본 발명의 일 실시예에 따른 3차원 반도체 소자의 변형 예를 설명하기 위하여 도 4 및 도 5의 'B1'로 표시된 부분 및 'B2'로 표시된 부분을 확대한 평면도이다.
- 도 13a는 도 12의 III-III'선 및 IV'-IV'선을 따라 취해진 영역을 나타낸 단면도이다.
- 도 13b는 도 12의 V-V'선 및 VI'-VI'선을 따라 취해진 영역을 나타낸 단면도이다.
- 도 13c는 도 12의 VII-VII'선을 따라 취해진 영역을 나타낸 단면도이다.
- 도 14는 본 발명의 일 실시예에 따른 3차원 반도체 소자의 다른 변형 예를 설명하기 위하여 도 4 및 도 5의 'B1'로 표시된 부분 및 'B2'로 표시된 부분을 확대한 평면도이다.
- 도 15는 본 발명의 일 실시예에 따른 3차원 반도체 소자의 또 다른 변형 예를 설명하기 위하여 도 4 및 도 5의 'B1'로 표시된 부분 및 'B2'로 표시된 부분을 확대한 평면도이다.
- 도 16은 본 발명의 일 실시예에 따른 3차원 반도체 소자의 게이트 전극들의 또 다른 변형 예를 나타낸 사시도이다.
- 도 17은 본 발명의 일 실시예에 따른 3차원 반도체 소자의 또 다른 변형 예를 설명하기 위한 평면도이다.
- 도 18a 내지 도 22b는 본 발명의 일 실시예에 따른 3차원 반도체 소자의 형성 방법의 예시적인 예를 나타낸 단면도들이다.

**발명을 실시하기 위한 구체적인 내용**

- [0010] 도 1을 참조하여 본 발명의 기술적 사상에 따른 3차원 반도체 소자의 예시적인 예를 설명하기로 한다. 도 1은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 개략적인 블록 다이어그램이다.
- [0011] 도 1을 참조하면, 3차원 반도체 소자(1)는 메모리 셀 어레이 영역(MA), 로우 디코더(3), 페이지 버퍼(4), 컬럼 디코더(5) 및 제어 회로(6)를 포함할 수 있다. 상기 메모리 셀 어레이 영역(MA)은 메모리 블록들(BLK)을 포함할 수 있다.
- [0012] 상기 메모리 셀 어레이 영역(MA)은 복수의 행과 열을 따라 배열된 메모리 셀들을 포함할 수 있다. 상기 메모리 셀 어레이 영역(MA)에 포함되는 상기 메모리 셀들은, 워드 라인들(WL), 적어도 하나의 공통 소스 라인(CSL), 스트링 선택 라인들(SSL), 적어도 하나의 접지 선택 라인(GSL) 등을 통해 로우 디코더(3)와 전기적으로 연결될 수 있으며, 비트 라인들(BL)을 통해 페이지 버퍼(4) 및 컬럼 디코더(5)와 전기적으로 연결될 수 있다.
- [0013] 일 실시예에서, 상기 메모리 셀들 중에서, 동일한 행을 따라 배열되는 메모리 셀들은 동일한 워드 라인(WL)에

연결되고, 동일한 열을 따라 배열되는 메모리 셀들은 동일한 비트 라인(BL)에 연결될 수 있다.

- [0014] 상기 로우 디코더(3)는 상기 메모리 블록들(BLK)에 공통으로 연결될 수 있으며, 블록 선택 신호에 따라 선택된 상기 메모리 블록들(BLK)의 워드 라인들(WL)에 구동 신호를 제공할 수 있다. 예를 들어, 상기 로우 디코더(3)는 외부로부터 어드레스 정보(ADDR)를 수신하고, 수신한 어드레스 정보(ADDR)를 디코딩하여 상기 메모리 블록들(BLK)에 전기적으로 연결된 상기 워드 라인들(WL), 상기 공통 소스 라인(CSL), 상기 스트링 선택 라인들(SSL) 및 상기 접지 선택 라인(GSL) 중 적어도 일부에 공급되는 전압을 결정할 수 있다.
- [0015] 상기 페이지 버퍼(4)는 상기 비트 라인들(BL)을 통해 상기 메모리 셀 어레이 영역(MA)과 전기적으로 연결될 수 있다. 상기 페이지 버퍼(4)는 상기 컬럼 디코더(5)로부터 디코딩된 어드레스에 따라 선택된 비트 라인(BL)과 연결될 수 있다. 상기 페이지 버퍼(4)는 동작 모드에 따라, 메모리 셀들에 저장될 데이터를 임시로 저장하거나, 메모리 셀들에 저장된 데이터를 감지할 수 있다. 예를 들어, 상기 페이지 버퍼(4)는 프로그램 동작 모드시 기입 드라이버(write driver) 회로로 동작하며, 읽기 동작 모드시 감지 증폭기(sense amplifier) 회로로서 동작할 수 있다. 상기 페이지 버퍼(4)는 제어 로직으로부터 파워(예를 들어, 전압 또는 전류)를 수신하고 선택된 비트 라인(BL)에 이를 제공할 수 있다.
- [0016] 상기 컬럼 디코더(5)는 상기 페이지 버퍼(4)와 외부 장치(예를 들면, 메모리 컨트롤러) 사이에 데이터 전송 경로를 제공할 수 있다. 상기 컬럼 디코더(5)는 외부에서 입력된 어드레스를 디코딩하여, 상기 비트 라인들(BL) 중 어느 하나를 선택할 수 있다.
- [0017] 상기 컬럼 디코더(5)는 상기 메모리 블록들(BLK)에 공통으로 연결될 수 있으며, 블록 선택 신호에 따라 선택된 상기 메모리 블록(BLK)의 상기 비트 라인들(BL)에 데이터 정보를 제공할 수 있다.
- [0018] 상기 제어 회로(6)는 상기 3차원 반도체 소자(1)의 전반적인 동작을 제어할 수 있다. 상기 제어 회로(6)는 제어 신호 및 외부 전압을 수신하고, 수신된 제어 신호에 따라 동작할 수 있다. 상기 제어 회로(6)는 외부 전압을 이용하여 내부 동작에 필요한 전압들(예를 들어, 프로그램 전압, 읽기 전압, 소거 전압 등)을 생성하는 전압 발생기를 포함할 수 있다. 상기 제어 회로(6)는 제어 신호들에 응답하여 읽기, 쓰기, 및/또는 소거 동작을 제어할 수 있다.
- [0019] 도 2를 참조하여 도 1에서 설명한 3차원 반도체 소자(도 1의 1)의 상기 메모리 셀 어레이 영역(도 1의 MA)의 회로의 예시적인 예를 설명하기로 한다. 도 2는 상기 메모리 셀 어레이 영역(도 1의 MA)의 예를 개념적으로 나타낸 회로도이다.
- [0020] 도 2를 참조하면, 상기 메모리 셀 어레이 영역(도 1의 MA)은, 서로 직렬로 연결되는 메모리 셀들(MC), 상기 메모리 셀들(MC)의 양단에 직렬로 연결되는 접지 선택 트랜지스터(GST) 및 스트링 선택 트랜지스터(SST)를 포함하는 메모리 스트링들(S)을 포함할 수 있다. 서로 직렬로 연결되는 상기 메모리 셀들(MC)은 상기 메모리 셀들(MC)을 선택하기 위한 워드 라인들(WL)에 각각 연결될 수 있다.
- [0021] 상기 접지 선택 트랜지스터(GST)의 게이트 단자는 접지 선택 라인(GSL)과 연결되고, 소스 단자는 공통 소스 라인(CSL)에 연결될 수 있다. 상기 스트링 선택 트랜지스터(SST)의 게이트 단자는 스트링 선택 라인(SSL)에 연결되고, 소스 단자는 상기 메모리 셀들(MC)의 드레인 단자에 연결될 수 있다.
- [0022] 도 2에서는 서로 직렬로 연결되는 상기 메모리 셀들(MC)에 상기 접지 선택 트랜지스터(GST)와 상기 스트링 선택 트랜지스터(SST)가 하나씩 연결되는 구조를 도시하였으나, 이와 달리 복수의 접지 선택 트랜지스터(GST) 또는 복수의 스트링 선택 트랜지스터(SST)가 연결될 수도 있다.
- [0023] 일 실시예에서, 상기 워드 라인들(WL) 중 최하위 워드라인(WL)과 상기 접지 선택 라인(GSL) 사이에 제1 더미 라인(DL1)이 배치될 수 있고, 상기 워드 라인들(WL) 중 최상위 워드 라인(WL)과 상기 스트링 선택 라인(SSL) 사이에 제2 더미 라인(DL2)이 배치될 수 있다. 상기 제1 더미 라인(DL1)은 하나 또는 복수개가 배치될 수 있고, 상기 제2 더미 라인(DL2)은 하나 또는 복수개가 배치될 수 있다.
- [0024] 상기 스트링 선택 트랜지스터(SST)의 드레인 단자는 비트 라인(BL)에 연결될 수 있다. 상기 스트링 선택 트랜지스터(SST)의 게이트 단자에 상기 스트링 선택 라인(SSL)을 통해 신호가 인가되면, 상기 비트 라인(BL)을 통해 인가되는 신호가 서로 직렬로 연결된 메모리 셀들(MC)에 전달됨으로써 데이터 읽기, 쓰기 동작이 실행될 수 있다. 또한, 기판을 통해 소정의 소거 전압을 인가함으로써, 상기 메모리 셀들(MC)에 기록된 데이터를 지우는 소거 동작이 실행될 수도 있다.
- [0025] 본 발명의 일 실시예에 따른 3차원 반도체 소자는 적어도 하나의 더미 스트링(DS)을 포함할 수 있다. 상기 더미

스트링(DS)은 상기 비트 라인(BL)과 전기적으로 분리되는 더미 채널을 포함하는 스트링일 수 있다.

- [0026] 다음으로, 도 3 및 도 4를 참조하여 본 발명의 일 실시예에 따른 3차원 반도체 소자의 예시적인 예를 설명하기로 한다. 도 3은 본 발명의 일 실시예에 따른 3차원 반도체 소자의 메모리 셀 어레이 영역의 예시적인 예를 개념적으로 나타낸 평면도이고, 도 4는 도 3의 'A'로 표시된 부분을 확대하여 본 발명의 일 실시예에 따른 3차원 반도체 소자의 예시적인 예를 나타낸 평면도이다.
- [0027] 도 3 및 도 4를 참조하면, 메모리 셀 어레이 영역(MA) 상에 메모리 블록들(BLK)이 배치될 수 있다. 상기 메모리 셀 어레이 영역(MA)의 적어도 어느 한 측에 연결 영역(IA)이 배치될 수 있다. 예를 들어, 상기 연결 영역(IA)은 상기 메모리 셀 어레이 영역(MA)의 서로 대향하는 양 측에 배치될 수 있다.
- [0028] 일 실시예에서, 상기 메모리 셀 어레이 영역(MA)은 상기 메모리 셀들(도 2의 MC)이 배치되는 영역일 수 있고, 상기 연결 영역(IA)은 상기 스트링 선택 라인들(도 2의 SSL), 상기 워드 라인들(도 2의 WL) 및/또는 상기 접지 선택 라인(도 2의 GSL)에 전기적 신호 또는 전압을 인가하기 위한 콘택 플러그들과 접촉하는 게이트 전극들의 패드 영역들이 배치되는 영역일 수 있다. 상기 메모리 블록들(BLK)은 상기 메모리 셀 어레이 영역(MA) 및 상기 연결 영역(IA)을 가로지르는 주 분리 구조체들(MS) 사이에 배치될 수 있다. 각각의 상기 메모리 블록들(BLK)은 서로 인접하는 한 쌍의 주 분리 구조체들(MS) 사이에 위치할 수 있다. 따라서, 서로 인접하는 한 쌍의 주 분리 구조체들(MS) 사이에는 하나의 메모리 블록(BLK)이 위치할 수 있다.
- [0029] 이하에서, 서로 인접하는 한 쌍의 주 분리 구조체들(MS) 사이에 위치하는 구성요소들을 위주로 설명하기로 한다.
- [0030] 상기 주 분리 구조체들(MS) 사이에는 복수의 보조 분리 구조체들이 배치될 수 있다. 상기 주 분리 구조체들(MS)은 제1 방향(X)으로 연장되는 라인 모양일 수 있다. 각각의 상기 복수의 보조 분리 구조체들은 상기 제1 방향(X)으로 연장되는 라인 모양 또는 바 모양일 수 있다. 각각의 상기 복수의 보조 분리 구조체들은 상기 주 분리 구조체들(MS) 보다 짧은 길이의 라인 모양 또는 바 모양일 수 있다.
- [0031] 상기 복수의 보조 분리 구조체들은 제1 보조 분리 구조체(SS1), 및 제2 보조 분리 구조체들(SS2)을 포함할 수 있다.
- [0032] 상기 제1 보조 분리 구조체(SS1)는 서로 이격되며 서로 마주보는 끝 부분들을 갖는 제1 라인 부분(SS1a) 및 제2 라인 부분(SS1b)을 포함할 수 있다.
- [0033] 상기 제1 보조 분리 구조체(SS1)의 상기 제1 라인 부분(SS1a)은 상기 메모리 셀 어레이 영역(MA)을 가로지르며 상기 연결 영역(IA)의 일부까지 연장될 수 있고, 상기 제1 보조 분리 구조체(SS1)의 상기 제2 라인 부분(SS1b)은 상기 연결 영역(IA)에 배치되며 상기 제1 라인 부분(SS1a)의 끝 부분과 마주보는 끝 부분을 가질 수 있다.
- [0034] 상기 제2 보조 분리 구조체들(SS2)은 상기 제1 보조 분리 구조체(SS1)와 상기 주 분리 구조체들(MS) 사이에 배치될 수 있다. 상기 제2 보조 분리 구조체들(SS2)은 상기 제1 방향(X)을 따라 길이 배열되는 라인 또는 바 모양으로 복수개가 배치될 수 있으며 서로 이격될 수 있다. 각각의 상기 제2 보조 분리 구조체들(SS2)은 상기 제1 보조 분리 구조체(SS1)의 상기 제1 및 제2 라인 부분들(SS1a, SS1b) 보다 짧은 상기 제1 방향(X)으로의 길이를 가질 수 있다.
- [0035] 일 예에서, 상기 제2 보조 분리 구조체들(SS2)은 상기 제1 보조 분리 구조체(SS1)의 상기 제2 라인 부분(SS1b)과 상기 주 분리 구조체들(MS) 사이에 배치될 수 있다. 상기 제2 보조 분리 구조체들(SS2)은 상기 제1 보조 분리 구조체(SS1)의 상기 제2 라인 부분(SS1b)과 상기 주 분리 구조체들(MS) 사이에서 서로 마주보는 끝 부분들을 가질 수 있다. 상기 제2 보조 분리 구조체들(SS2)의 서로 마주보는 끝 부분들은 상기 제1 방향(X)을 따라 배열될 수 있다.
- [0036] 상술한 상기 주 분리 구조체들(MS) 사이에는 상기 제1 및 제2 보조 분리 구조체들(SS1, SS2)과 함께, 다양한 구성요소들이 배치될 수 있다. 이와 같은 상기 주 분리 구조체들(MS), 및 상기 제1 및 제2 보조 분리 구조체들(SS1, SS2)을 포함하는 3차원 반도체 소자의 예시적인 예에 대하여, 도 5, 도 6 및 도 7, 도 8, 도 9a, 도 9b 및 도 9c를 참조하여 설명하기로 한다. 도 5는 도 3의 'A'로 표시된 부분을 확대하여 본 발명의 일 실시예에 따른 3차원 반도체 소자의 예시적인 예를 나타낸 평면도이고, 도 6은 도 5의 I-I'선을 따라 취해진 영역을 나타낸 단면도이고, 도 7은 도 5의 II-II'선을 따라 취해진 영역을 나타낸 단면도이고, 도 8은 도 4 및 도 5의 'B1'로 표시된 부분 및 'B2'로 표시된 부분을 확대한 평면도이고, 도 9a는 도 8의 III-III'선 및 IV'-IV'선을 따라 취

해진 영역을 나타낸 단면도이고, 도 9b는 도 8의 V-V'선 및 VI'-VI'선을 따라 취해진 영역을 나타낸 단면도이고, 도 9c는 도 8의 VII-VII'선을 따라 취해진 영역을 나타낸 단면도이다.

- [0037] 도 5 내지 도 8, 도 9a, 도 9b 및 도 9c를 참조하면, 도 3 및 도 4를 참조하여 설명한 것과 같은 상기 주 분리 구조체들(MS), 및 상기 제1 및 제2 보조 분리 구조체들(SS1, SS2)은 기판(103) 상에 배치될 수 있다.
- [0038] 상기 기판(103)은 실리콘 등과 같은 반도체 물질로 형성될 수 있는 반도체 기판일 수 있다. 상기 기판(103)은 벌크 실리콘 기판 또는 SOI 기판일 수 있다.
- [0039] 상기 주 분리 구조체들(MS), 및 상기 제1 및 제2 보조 분리 구조체들(SS1, SS2)은 상기 기판(103)의 표면(103s)과 수평한 제1 방향(X)으로 연장되는 라인 모양일 수 있다.
- [0040] 상기 주 분리 구조체들(MS) 사이의 상기 기판(103) 상에 게이트 전극들(GE)이 배치될 수 있다. 상기 게이트 전극들(GE)은 도우프트 폴리 실리콘, 금속 질화물(e.g., TiN), 금속 실리사이드(e.g., WSi, TiSi, TaSi 등) 또는 금속(e.g., W) 중 적어도 하나를 포함하는 도전성 물질로 형성될 수 있다. 상기 도우프트 폴리 실리콘은 N형 불순물(e.g., P, As 등) 또는 P형 불순물(e.g., B 등)을 포함하는 폴리 실리콘일 수 있다.
- [0041] 상기 게이트 전극들(GE)은 상기 메모리 셀 어레이 영역(MA) 상에서 상기 기판(103)의 표면(103s)과 수직인 방향(Z)으로 차례로 적층되면서 서로 이격되고, 상기 연결 영역(IA) 상으로 연장될 수 있다. 상기 게이트 전극들(GE)은 상기 기판(103)의 표면(103s)과 수직인 방향(Z)으로 배열되면서 층간 절연 층들(106)에 의해 이격될 수 있다. 상기 층간 절연 층들(106) 중 최하위의 층간 절연 층은 상기 게이트 전극들(GE) 중 최하위의 게이트 전극과 상기 기판(103) 사이에 개재될 수 있다.
- [0042] 상기 게이트 전극들(GE)은 하나 또는 복수의 하부 게이트 전극(GE<sub>g</sub>, GE<sub>d1</sub>), 상기 하나 또는 복수의 하부 게이트 전극(GE<sub>g</sub>, GE<sub>d1</sub>) 상에 배치되는 복수의 중간 게이트 전극들(GE<sub>w</sub>), 및 상기 복수의 중간 게이트 전극들(GE<sub>w</sub>) 상에 배치되는 복수의 상부 게이트 전극들(GE<sub>s</sub>, GE<sub>d2</sub>)을 포함할 수 있다.
- [0043] 일 예에서, 상기 하나 또는 복수의 하부 게이트 전극(GE<sub>g</sub>, GE<sub>d1</sub>)은 복수개가 배치될 수 있다. 상기 복수의 하부 게이트 전극들(GE<sub>g</sub>, GE<sub>d1</sub>)은 하부 선택 게이트 전극(GE<sub>g</sub>) 및 상기 하부 선택 게이트 전극(GE<sub>g</sub>) 상에 배치되는 하나 또는 복수의 하부 더미 게이트 전극(GE<sub>d1</sub>)을 포함할 수 있다. 상기 하부 선택 게이트 전극(GE<sub>g</sub>)은 도 1 및 도 2에서 설명한 상기 접지 선택 라인(도 1 및 도 2의 GSL)일 수 있다.
- [0044] 상기 복수의 중간 게이트 전극들(GE<sub>w</sub>)은 도 1 및 도 2에서 설명한 상기 워드라인들(도 1 및 도 2의 WL)일 수 있다.
- [0045] 일 실시예에서, 상기 하나 또는 복수의 상부 게이트 전극(GE<sub>s</sub>, GE<sub>d2</sub>)은 복수개가 배치될 수 있다. 상기 복수개의 상부 게이트 전극(GE<sub>s</sub>, GE<sub>d2</sub>) 중에서, 최상위 상부 게이트 전극 및/또는 차상위 게이트 전극은 상부 선택 게이트 전극(GE<sub>s</sub>)일 수 있고, 상기 상부 선택 게이트 전극(GE<sub>s</sub>)과 상기 복수의 중간 게이트 전극들(GE<sub>w</sub>) 사이에 위치하는 하나 또는 복수의 상부 게이트 전극은 상부 더미 게이트 전극(GE<sub>d2</sub>)일 수 있다. 상기 상부 선택 게이트 전극(GE<sub>s</sub>)은 도 1 및 도 2에서 설명한 상기 스트링 선택 라인들(도 1 및 도 2의 SSL)일 수 있다.
- [0046] 상기 제1 보조 분리 구조체(SS1)에서, 상기 제1 라인 부분(SS1a)은 상기 상부 선택 게이트 전극(GE<sub>s</sub>)을 가로지르고, 상기 제2 라인 부분(SS1b)은 상기 상부 선택 게이트 전극(GE<sub>s</sub>)과 이격될 수 있다. 일 예에서, 상기 제2 보조 분리 구조체들(SS2)은 상기 상부 선택 게이트 전극(GE<sub>s</sub>)과 이격될 수 있다.
- [0047] 상기 연결 영역(IA) 상에서, 상기 복수의 중간 게이트 전극들(GE<sub>w</sub>) 상에 배치되며 상기 상부 게이트 전극들(GE<sub>s</sub>, GE<sub>d2</sub>) 중 일부와 마주보는 플로팅 더미 게이트 전극들(GE<sub>f</sub>)이 배치될 수 있다. 상기 플로팅 더미 게이트 전극들(GE<sub>f</sub>)은 상기 게이트 전극들(GE)과 동일한 물질로 형성될 수 있다. 상기 플로팅 더미 게이트 전극들(GE<sub>f</sub>)은 상기 상부 게이트 전극들(GE<sub>s</sub>, GE<sub>d2</sub>)을 향하는 방향으로 차례로 낮아지는 계단 모양으로 배열되는 플로팅 패드 영역들(Pf)을 포함할 수 있다. 상기 플로팅 더미 게이트 전극들(GE<sub>f</sub>)은 상기 메모리 셀 어레이 영역(MA)과 이격될 수 있다.
- [0048] 상기 게이트 전극들(GE)은 상기 주 분리 구조체들(MS) 사이에 배치될 수 있다. 상기 주 분리 구조체들(MS)은 상기 게이트 전극들(GE)을 가로지르면서 관통하는 것으로 볼 수도 있다. 상기 게이트 전극들(GE)은 상기 주 분리 구조체들(MS) 사이에서 상기 제1 및 제2 보조 분리 구조체들(SS1, SS2)에 의해 관통될 수 있다.
- [0049] 상기 주 분리 구조체들(MS), 및 상기 제1 및 제2 보조 분리 구조체들(SS1, SS2)의 각각은 도전성 패턴(176) 및 상기 도전성 패턴(176)의 측면을 덮는 스페이서(174)를 포함할 수 있다. 상기 스페이서(174)는 실리콘 산화물

또는 실리콘 질화물 등과 같은 절연성 물질로 형성될 수 있다. 상기 스페이서(174)는 상기 도전성 패턴(176)과 상기 게이트 전극들(GE)을 이격시킬 수 있다. 상기 도전성 패턴(176)은 도우프트 폴리 실리콘, 타이타늄 질화물 등과 같은 금속 질화물, 또는 텅스텐 등과 같은 금속 중 적어도 하나를 포함하는 도전성 물질로 형성될 수 있다. 일 예에서, 상기 도전성 패턴(176)은 소스 콘택 플러그로 명명될 수도 있다.

[0050] 상기 주 분리 구조체들(MS), 및 상기 제1 및 제2 보조 분리 구조체들(SS1, SS2) 하부의 상기 기판(103) 내에 불순물 영역들(178)이 배치될 수 있다. 상기 불순물 영역들(178)은 도 1 및 도 2에서 설명한 상기 공통 소스 라인(도 1 및 도 2의 CSL)을 형성할 수 있다. 상기 불순물 영역들(178)은 N형의 도전형을 가질 수 있고, 상기 불순물 영역들(178)에 인접하는 상기 기판(103)의 부분은 P형의 도전형을 가질 수 있다.

[0051] 상기 상부 선택 게이트 전극(GE<sub>s</sub>)을 가로지르며, 상기 주 및 보조 분리 구조체들(MS, SS1, SS2)의 길이 방향, 즉 상기 제1 방향(X)으로 상기 상부 선택 게이트 전극(GE<sub>s</sub>)을 분리시키는 절연성 라인 패턴들(ISP)이 배치될 수 있다. 상기 절연성 라인 패턴들(ISP)은 상기 복수의 중간 게이트 전극들(GE<sub>w</sub>) 보다 높은 레벨에 배치될 수 있다. 상기 절연성 라인 패턴들(ISP)의 끝 부분들은 상기 제2 보조 분리 구조체들(SS2)의 끝 부분들과 마주볼 수 있다. 상기 절연성 라인 패턴들(ISP)은 실리콘 산화물로 형성될 수 있다. 일 예에서, 상기 절연성 라인 패턴들(ISP)은 상기 제1 방향(X)으로 연장되는 라인 모양이면서 상기 제1 보조 분리 구조체(SS1)의 상기 제1 라인 부분(SS1a)과 상기 주 분리 구조체들(MS) 사이에 개재될 수 있다. 일 예에서, 상기 제2 보조 분리 구조체들(SS2)은 상기 상부 선택 게이트 전극(GE<sub>s</sub>)과 이격될 수 있다.

[0052] 상기 게이트 전극들(GE)은 상기 연결 영역(IA) 상에서 3차원적으로 배열되는 패드 영역들을 가질 수 있다. 이와 같이 패드 영역들을 3차원적으로 배열함으로써, 반도체 소자를 고집적화시킬 수 있다.

[0053] 상기 상부 선택 게이트 전극(GE<sub>s</sub>)은 상부 선택 패드 영역들(Ps)을 포함할 수 있고, 상기 상부 더미 게이트 전극(GE<sub>d2</sub>)은 상부 더미 패드 영역들(Pd2)을 포함할 수 있다. 상기 상부 선택 패드 영역들(Ps) 및 상기 상부 더미 패드 영역들(Pd2)은 상기 상부 게이트 전극들(GE<sub>s</sub>, GE<sub>d2</sub>)의 상부 패드 영역들(Ps, Pd2)을 구성할 수 있다.

[0054] 상기 상부 패드 영역들(Ps, Pd2)은 도 6에서와 같이 상기 메모리 셀 어레이 영역(MA)으로부터 멀어지는 제1 방향(X)으로 차례로 낮아지고, 도 9a에서와 같이 상기 제1 방향(X)과 수직한 제2 방향(Y)으로 동일 레벨에 위치하도록 배열될 수 있다. 상기 제1 및 제2 방향들(X, Y)은 상기 기판(103)의 표면(103s)과 수평할 수 있다.

[0055] 상기 하부 게이트 전극들(GE<sub>g</sub>, GE<sub>d1</sub>) 중에서, 상기 하부 선택 게이트 전극(GE<sub>g</sub>)은 하부 선택 패드 영역(Pg)을 포함할 수 있고, 상기 하부 더미 게이트 전극들(GE<sub>d1</sub>)은 하부 더미 패드 영역들(Pd1)을 포함할 수 있다.

[0056] 상기 플로팅 더미 게이트 전극들(GE<sub>f</sub>)은 플로팅 더미 패드 영역들(Pf)을 포함할 수 있다. 상기 플로팅 더미 패드 영역들(Pf)은 상기 메모리 셀 어레이 영역(MA)을 향하는 방향으로 낮아지는 계단 모양으로 배열될 수 있다. 상기 복수의 중간 게이트 전극들(GE<sub>w</sub>)은 중간 패드 영역들(Pw)을 포함할 수 있다. 상기 중간 패드 영역들(Pw)은 상기 메모리 셀 어레이 영역(MA)으로부터 상기 연결 영역(IA)을 향하는 상기 제1 방향(X)으로 제1 단차로 낮아지는 계단 모양 및 상기 제1 방향(X)과 수직한 상기 제2 방향(Y)으로 상기 제1 단차 보다 작은 제2 단차로 차례로 낮아지는 계단 모양으로 배열될 수 있다.

[0057] 도 8과 같은 평면으로 보았을 때, 상기 중간 패드 영역들(Pw) 사이의 제1 경계(PB1)는 상기 제1 방향(X)을 따라 배열되며 상기 제2 방향(Y)과 실질적으로 평행할 수 있고, 상기 중간 패드 영역들(Pw) 사이의 제2 경계(PB2)는 상기 제2 방향(Y)을 따라 배열되며 상기 제1 방향(X)과 실질적으로 평행할 수 있다.

[0058] 상기 기판(103) 상에 수직 구조체들(VS)이 배치될 수 있다. 상기 수직 구조체들(VS)은 메모리 셀 수직 구조체들(VSc) 및 더미 수직 구조체들(VSd)을 포함할 수 있다. 상기 수직 구조체들(VS)은 상기 게이트 전극들(GE)을 관통할 수 있다.

[0059] 일 예에서, 상기 기판(103) 상에 상기 게이트 전극들(GE)을 덮으며 차례로 적층되는 제1 절연 층(132), 제2 절연 층(163) 및 제3 절연 층(180)이 배치될 수 있다. 상기 수직 구조체들(VS)은 상기 제1 절연 층(132)을 관통하며 상기 게이트 전극들(GE)을 관통할 수 있다. 상기 주 분리 구조체들(MS), 및 상기 제1 및 제2 보조 분리 구조체들(SS1, SS2)은 상기 제1 및 제2 절연 층들(132, 163)을 관통하며 상기 게이트 전극들(GE)을 관통할 수 있다. 상기 주 분리 구조체들(MS), 및 상기 제1 및 제2 보조 분리 구조체들(SS1, SS2)의 상부면들은 상기 수직 구조체들(VS)의 상부면들 보다 높은 레벨에 위치할 수 있다.

[0060] 상기 메모리 셀 수직 구조체들(VSc)은 상기 메모리 셀 어레이 영역(MA) 상에 배치될 수 있다. 상기 더미 수직 구조체들(VSd) 중 일부는 상기 메모리 셀 어레이 영역(MA) 상에서 상기 절연성 라인 패턴들(ISP)을 관통할 수

있고, 나머지는 상기 연결 영역(IA) 상에서 상기 주 분리 구조체들(MS) 사이에 배치될 수 있다. 상기 메모리 셀 어레이 영역(MA) 상에서의 상기 수직 구조체들(VS)의 배치 밀도는 상기 연결 영역(IA) 상에서의 상기 수직 구조체들(VS)의 배치 밀도 보다 높을 수 있다. 상기 메모리 셀 수직 구조체들(VSc)의 배치 밀도는 상기 더미 수직 구조체들(VSd)의 배치 밀도 보다 높을 수 있다.

- [0061] 일 예에서, 상기 연결 영역(IA) 상에서의 상기 더미 수직 구조체들(VSd)은 상기 패드 영역들을 관통할 수 있다.
- [0062] 각각의 상기 수직 구조체들(VS)은 반도체 패턴(145), 코어 패턴(157), 패드 패턴(160), 채널 반도체 층(154) 및 제1 게이트 유전체(151)를 포함할 수 있다. 상기 게이트 전극들(GE)의 상/하부면들에 배치되면서 상기 메모리 셀 수직 구조체들(VSc)과 상기 게이트 전극들(GE) 사이로 연장되는 제2 게이트 유전체(169)가 배치될 수 있다.
- [0063] 상기 반도체 패턴(145)은 상기 기판(103)과 접촉할 수 있다. 일 예에서, 상기 반도체 패턴(145)은 에스이지(SEG) 공정에 의해 형성될 수 있는 에피택시얼 물질 층일 수 있다.
- [0064] 상기 코어 패턴(157)은 상기 반도체 패턴(145) 상에 배치될 수 있으며, 절연성 물질(e.g., 실리콘 산화물 등)로 형성될 수 있다. 상기 패드 패턴(160)은 상기 코어 패턴(157) 상에 배치될 수 있다. 상기 패드 패턴(160)은 N형의 도전형질을 갖는 폴리 실리콘으로 형성될 수 있으며, 드레인 영역일 수 있다. 상기 패드 패턴(160)은 상기 게이트 전극들(GE) 보다 높은 레벨에 배치될 수 있다.
- [0065] 상기 채널 반도체 층(154)은 상기 반도체 패턴(145)과 접촉하면서 상기 기판(103)의 표면(103s)과 수직인 방향(Z)으로 연장될 수 있다. 상기 채널 반도체 층(154)은 상기 코어 패턴(157)의 측면을 덮을 수 있고, 상기 패드 패턴(160)과 접촉할 수 있다. 상기 채널 반도체 층(154)은 상기 게이트 전극들(GE)의 상기 워드 라인들(도 1 및 도 2의 WL)을 포함할 수 있는 상기 중간 게이트 전극들(GE\_w) 및 상기 스트링 선택 라인들(도 1 및 도 2의 SSL)을 포함할 수 있는 상기 상부 게이트 전극들(GE\_s, GE\_d)을 관통할 수 있다. 상기 채널 반도체 층(154)은 폴리 실리콘 층으로 형성될 수 있다.
- [0066] 상기 제1 게이트 유전체(151)는 상기 채널 반도체 층(154)의 외측을 덮으면서 상기 채널 반도체 층(154)과 상기 게이트 전극들(GE) 사이에 배치될 수 있다.
- [0067] 상기 제1 및 제2 게이트 유전체들(151, 169) 중 어느 하나는 정보를 저장할 수 있는 층을 포함할 수 있다. 예를 들어, 상기 제1 게이트 유전체(151)는 정보를 저장할 수 있는 층을 포함할 수 있다. 그렇지만, 본 발명의 기술적 사상은 이에 한정되지 않는다. 예를 들어, 상기 제2 게이트 유전체(169)가 정보를 저장할 수 있는 층을 포함할 수 있다. 이하에서, 상기 제1 게이트 유전체(151)가 정보를 저장할 수 있는 층을 포함하는 예를 설명하기로 한다.
- [0068] 상기 제1 게이트 유전체(151)는 터널 유전체 층(148), 정보 저장 층(147) 및 블로킹 유전체 층(146)을 포함할 수 있다. 상기 정보 저장 층(147)은 상기 터널 유전체 층(148) 및 상기 블로킹 유전체 층(146) 사이에 배치될 수 있다. 상기 터널 유전체 층(148)은 상기 채널 반도체 층(154)과 가까울 수 있고, 상기 블로킹 유전체 층(146)은 상기 게이트 전극들(GE)과 가까울 수 있다.
- [0069] 상기 터널 유전체 층(148)은 실리콘 산화물 및/또는 불순물 도핑된 실리콘 산화물을 포함할 수 있다. 상기 블로킹 유전체 층(146)은 실리콘 산화물 및/또는 고유전체를 포함할 수 있다.
- [0070] 상기 정보 저장 층(147)은 상기 채널 반도체 층(154)과 상기 게이트 전극들(GE)의 상기 중간 게이트 전극들(GE\_w) 사이에 개재될 수 있으며, 플래시 메모리 소자 등과 같은 비휘발성 메모리 소자에서 정보를 저장하기 위한 층일 수 있다. 예를 들어, 상기 정보 저장 층(147)은 플래시 메모리 소자 등과 같은 비휘발성 메모리 소자의 동작 조건에 따라, 상기 채널 반도체 층(154)으로부터 상기 터널 유전체 층(148)을 통하여 주입된 전자를 트랩하여 보유(retention) 하거나, 또는 상기 정보 저장 층(147) 내의 트랩된 전자를 소거할 수 있는 물질, 예를 들어 실리콘 질화물로 형성될 수 있다. 상기 제2 게이트 유전체(169)는 고유전체(e.g., AlO 등)를 포함할 수 있다.
- [0071] 상기 정보 저장 층(147)은 상기 게이트 전극들(GE) 중에서 상기 워드 라인들(도 1 및 도 2의 WL)에 대응할 수 있는 상기 중간 게이트 전극들(GE\_w)과 마주보는 영역들에서 정보를 저장할 수 있다. 상기 메모리 셀 수직 구조체들(VSc) 중 어느 하나의 셀 수직 구조체 내의 정보 저장 층(147)에서 정보를 저장할 수 있는 영역들은 상기 기판(103)의 표면과 수직인 방향으로 배열될 수 있으며, 상기 메모리 셀들(도 2의 MC)로 정의될 수 있다. 따라서, 상기 메모리 셀 수직 구조체들(VSc)은 도 2에서 설명한 상기 메모리 스트링들(도 2의 S)을 구성할 수 있고, 상기 더미 수직 구조체들(VSd)은 도 2에서 설명한 상기 더미 스트링(도 2의 DS)을 구성할 수 있다.

- [0072] 상기 메모리 셀 수직 구조체들(VSc) 상에 비트라인 콘택 플러그들(182)이 배치될 수 있다.
- [0073] 상기 게이트 전극들(GE)의 패드 영역들 상에 콘택 플러그들(184)이 배치될 수 있다. 상기 콘택 플러그들(184)은 상기 하부 선택 게이트 전극(GE<sub>g</sub>)의 상기 하부 선택 패드 영역(Pg)과 전기적으로 연결되는 하부 선택 콘택 플러그(184g), 상기 복수의 중간 게이트 전극들(GE<sub>w</sub>)의 상기 중간 패드 영역들(Pw)과 전기적으로 연결되는 중간 콘택 플러그들(184w), 상기 상부 선택 게이트 전극(GE<sub>s</sub>)의 상기 상부 선택 패드 영역(Ps)과 전기적으로 연결되는 상부 선택 콘택 플러그(184s), 상기 하부 및 상부 더미 패드 영역들(Pd1, Pd2) 및 상기 플로팅 패드 영역들(Pf) 상의 더미 콘택 플러그들(184d)을 포함할 수 있다.
- [0074] 도 10을 참조하여 상기 게이트 전극들(GE)의 예시적인 예를 설명하기로 한다. 도 10은 상기 게이트 전극들(GE) 중에서 상기 복수의 중간 게이트 전극들(GE<sub>w</sub>)의 예시적인 예를 나타낸 사시도이다.
- [0075] 도 10을 참조하면, 상술한 바와 같이, 상기 복수의 중간 게이트 전극들(GE<sub>w</sub>)은 도 8에서 설명한 것과 같이 상기 제2 방향(Y)으로 차례로 낮아지는 패드 영역들(Pw)을 포함할 수 있다. 상기 패드 영역들(Pw)은 상기 콘택 플러그들과 접촉하는 콘택 영역들을 포함할 수 있다.
- [0076] 상기 복수의 중간 게이트 전극들(GE<sub>w</sub>)은 상기 제1 보조 분리 구조체들(도 5 및 도 8의 SS1)의 상기 제1 및 제2 라인 부분들(도 5 및 도 8의 SS1a, SS1b)의 서로 마주보는 끝 부분들 사이에 위치하는 제1 연결 부분(GEa) 및 상기 제2 보조 분리 구조체들(도 5 및 도 8의 )의 서로 마주보는 끝 부분들 사이에 위치하는 제2 연결 부분들(GEb)을 포함할 수 있다. 상기 제2 게이트 연결 부분들(GEb)은 상기 제1 게이트 연결 부분(GEa) 보다 상기 주 분리 구조체들(MS)에 가까울 수 있다.
- [0077] 상기 제1 및 제2 게이트 연결 부분들(GEa, GEb)을 갖는 게이트 전극은 상기 복수의 중간 게이트 전극들(GE<sub>w</sub>) 및 상기 하부 선택 게이트 전극(GE<sub>g</sub>)일 수 있다. 일 예에서, 상기 상부 선택 게이트 전극(GE<sub>s</sub>)은 상기 제1 및 제2 게이트 연결 부분들(GEa, GEb)을 가질 수 없다.
- [0078] 일 실시예에서, 상기 게이트 전극들(GE)의 패드 영역들은 상기 게이트 전극들(GE)과 동일한 두께를 가질 수 있다. 그렇지만, 본 발명의 기술적 사상은 이에 한정되지 않는다. 예를 들어, 상기 게이트 전극들(GE)은 상기 연결 영역(IA)에서 상기 게이트 전극들(GE) 보다 두께가 증가된 패드 영역들을 갖도록 변형될 수 있다. 이와 같은 상기 게이트 전극들(GE)의 변형 예를 사시도로 나타낸 도 11과 같이, 상기 게이트 전극들(GE)의 상기 중간 게이트 전극들(GE<sub>w</sub>)은 제1 두께(t1)를 가질 수 있고, 상기 중간 게이트 전극들(GE<sub>w</sub>)의 상기 중간 패드 영역들(Pw)은 상기 제1 두께(t1) 보다 큰 제2 두께(t2)를 가질 수 있다.
- [0079] 일 실시예에서, 상기 더미 수직 구조체들(VSd)은 상기 패드 영역들(Ps, Pd, Pw) 사이의 경계들로부터 이격되도록 배치될 수 있고, 상기 제1 보조 분리 구조체들(SS1)의 상기 제1 및 제2 라인 부분들(SS1a, SS1b)의 서로 마주보는 끝 부분들 사이, 및/또는 상기 제2 보조 분리 구조체들(SS2)의 서로 마주보는 끝 부분들 사이에 배치되지 않을 수 있다. 그렇지만, 본 발명의 기술적 사상은 이에 한정되지 않는다. 상기 더미 수직 구조체들(VSd)의 변형 예를 도 12, 도 13a, 도 13b 및 도 13c을 참조하여 설명하기로 한다. 도 12는 본 발명의 일 실시예에 따른 3차원 반도체 소자의 변형 예를 설명하기 위하여 도 4 및 도 5의 'B1'로 표시된 부분 및 'B2'로 표시된 부분을 확대한 평면도이고, 도 13a는 도 12의 III-III'선 및 IV'-IV'선을 따라 취해진 영역을 나타낸 단면도이고, 도 13b는 도 12의 V-V'선 및 VI'-VI'선을 따라 취해진 영역을 나타낸 단면도이고, 도 13c는 도 12의 VII-VII'선을 따라 취해진 영역을 나타낸 단면도이다.
- [0080] 도 12, 도 13a, 도 13b 및 도 13c를 참조하면, 상기 연결 영역(IA) 내에서, 더미 수직 구조체들(VSd) 중 일부는 상기 제1 보조 분리 구조체들(SS1)의 상기 제1 및 제2 라인 부분들(SS1a, SS1b)의 서로 마주보는 끝 부분들 사이, 및/또는 상기 제2 보조 분리 구조체들(SS2)의 서로 마주보는 끝 부분들 사이에 배치될 수 있다. 여기서, 상기 제1 보조 분리 구조체들(SS1)의 상기 제1 및 제2 라인 부분들(SS1a, SS1b)의 서로 마주보는 끝 부분들 및 상기 제2 보조 분리 구조체들(SS2)의 서로 마주보는 끝 부분들은 상기 제1 방향(X)을 따라 배열되는 끝 부분들일 수 있다.
- [0081] 일 예에서, 더미 수직 구조체들(VSd) 중 일부는 상기 제2 방향(Y)을 따라 배열되며 상기 제1 방향(X)과 평행할 수 있는 상기 중간 패드 영역들(Pw) 사이의 상기 제2 경계(PB2)에 위치할 수 있다.
- [0082] 일 예에서, 상기 더미 수직 구조체들(VSd)은 상기 제1 방향(X)을 따라 배열되며 상기 제2 방향(Y)과 평행할 수 있는 상기 중간 패드 영역들(Pw) 사이의 상기 제1 경계(PB1)와 이격될 수 있다. 그렇지만, 본 발명의 기술적 사상은 이에 한정되지 않는다. 도 14에서와 같이, 상기 더미 수직 구조체들(VSd) 중 일부는 상기 제1 방향(X)을

따라 배열되고 상기 제2 방향(Y)과 평행한 상기 중간 패드 영역들(Pw) 사이의 상기 제1 경계(PB1)를 관통할 수 있다. 따라서, 도 14로부터 상기 더미 수직 구조체들(VSd) 중 일부는 상기 중간 게이트 전극들(도 10의 GE\_w)의 상기 제1 및 제2 게이트 연결 부분들(도 10의 GEa, GEb)을 관통하는 것을 알 수 있다.

[0083] 일 실시예에서, 상기 제2 방향(Y)을 따라 배열되고 상기 제1 방향(X)과 평행한 상기 중간 패드 영역들(Pw) 사이의 상기 제2 경계(PB2)는 상기 보조 분리 구조체들(SS1, SS2)의 서로 마주보는 끝 부분들 사이에 배치될 수 있다. 그렇지만, 본 발명의 기술적 사상은 이에 한정되지 않는다. 도 15 및 도 16을 참조하여, 상기 제2 방향(Y)을 따라 배열되는 상기 중간 패드 영역들(Pw)에 대하여 설명하기로 한다. 도 15는 본 발명의 일 실시예에 따른 3차원 반도체 소자의 또 다른 변형 예를 설명하기 위하여 도 4 및 도 5의 'B1'로 표시된 부분 및 'B2'로 표시된 부분을 확대한 평면도이고, 도 16은 본 발명의 일 실시예에 따른 3차원 반도체 소자의 게이트 전극들(GE)의 또 다른 변형 예를 나타낸 사시도이다.

[0084] 도 15 및 도 16을 참조하면, 도 15와 같은 평면도로 보았을 때, 상기 제2 방향(Y)을 따라 배열되는 상기 중간 패드 영역들(Pw) 사이의 상기 제2 경계(PB2)는 상기 제1 및 제2 보조 분리 구조체들(SS1, SS2)과 중첩하지 않을 수 있다.

[0085] 일 실시예에 따르면, 상기 절연성 라인 패턴(ISP)은 상기 복수의 중간 게이트 전극들(GE\_w) 상에 배치되며 상기 상부 선택 게이트 전극(GE\_s)을 가로지르면서 관통할 수 있다. 상기 절연성 라인 패턴(ISP)은 상기 메모리 셀 어레이 영역(MA) 상에서 상기 상부 선택 게이트 전극(GE\_s)을 가로지르면서 상기 연결 영역(IA)으로 연장되어 상기 상부 선택 패드 영역들(Ps) 사이를 지날 수 있다. 그렇지만, 본 발명의 기술적 사상은 이에 한정되지 않는다. 예를 들어, 본 발명의 일 실시예에 따른 3차원 반도체 소자의 또 다른 변형 예를 설명하기 위한 도 17의 평면도와 같이, 상기 절연성 라인 패턴(ISP)은 상기 메모리 셀 어레이 영역(MA)에서 상기 상부 선택 게이트 전극(GE\_s)을 가로지르고, 상기 상부 선택 패드 영역들(Ps) 사이에는 상기 제2 보조 분리 구조체들(SS2)이 배치될 수 있다.

[0086] 다음으로, 도 18a 내지 도 22b를 참조하여 본 발명의 기술적 사상에 따른 3차원 반도체 소자 형성 방법의 예시적인 예를 설명하기로 한다. 도 18a 내지 도 22b에서, 도 18a, 도 19a, 도 20a, 도 21a 및 도 22a는 도 5의 I-I'선을 따라 취해진 영역을 나타낸 단면도들이고, 도 18b, 도 19b, 도 20b, 도 21b 및 도 22b는 도 5의 VIII-VIII'선을 따라 취해진 영역을 나타낸 단면도들이다.

[0087] 도 5, 도 18a 및 도 18b를 참조하면, 메모리 셀 어레이 영역(MC) 및 연결 영역(IA)을 갖는 기판(103)의 표면(103s) 상에 층간 절연 층들(106) 및 희생 층들(109)을 포함하는 몰드 구조체(112)를 형성할 수 있다. 상기 층간 절연 층들(106)은 실리콘 산화물로 형성할 수 있고, 상기 희생 층들(109)은 실리콘 질화물로 형성할 수 있다.

[0088] 상기 층간 절연 층들(106) 및 상기 희생 층들(109)은 교대로 반복적으로 형성될 수 있고, 최하위의 층 및 최상위의 층은 층간 절연 층일 수 있다. 상기 희생 층들(109) 중에서, 최하위에 위치하는 희생 층 및 최상위에 위치하는 희생 층은 패터닝된 희생 층일 수 있다.

[0089] 상기 층간 절연 층들(106) 및 상기 희생 층들(109)을 갖는 기판(103) 상에 서로 이격된 제1 마스크 패턴(118a) 및 제2 마스크 패턴(121a)을 형성할 수 있다.

[0090] 일 예에서, 상기 제1 마스크 패턴(118a)은 상기 메모리 셀 어레이 영역(MA) 전체를 덮으면서 상기 연결 영역(IA)의 일부 상으로 연장될 수 있다. 상기 제1 마스크 패턴(118a)은 상기 희생 층들(109) 중에서, 최상위에 위치하는 패터닝된 희생 층을 덮을 수 있다. 상기 제2 마스크 패턴(121a)은 상기 연결 영역(IA)의 일부 상에 형성될 수 있다.

[0091] 일 예에서, 상기 메모리 블록들(BLK) 중에서 서로 인접하는 한 쌍의 메모리 블록들(BLK) 상에 하나의 제2 마스크 패턴(121a)이 사각형 모양으로 형성될 수 있다. 상기 제1 및 제2 마스크 패턴들(118a, 121a)은 포토레지스트 패턴들로 형성될 수 있다.

[0092] 상기 제1 및 제2 마스크 패턴들(118a, 121a)을 식각 마스크로 이용하여, 상기 층간 절연 층들(106) 및 상기 희생 층들(109) 중에서 상기 제1 및 제2 마스크 패턴들(118a, 121a)과 중첩하지 않는 1 개의 층간 절연 층 및 1 개의 희생 층을 차례로 식각할 수 있다.

[0093] 도 5, 도 19a 및 도 19b를 참조하면, 상기 제1 및 제2 마스크 패턴들(도 18a 및 도 18b의 118a, 121a)의 크기를 감소시키는 제1 트림 공정을 진행할 수 있다. 상기 제1 트림 공정은 상기 제1 및 제2 마스크 패턴들(도 18a

및 도 18b의 118a, 121a)을 상기 기판(103)의 표면과 수평한 방향으로 크기를 줄이는 부분 식각 또는 등방성 식각 공정일 수 있다. 따라서, 상기 제1 트림 공정에 의해 크기가 감소된 상기 제1 및 제2 마스크 패턴들(118b, 121b)을 이용하여, 상기 층간 절연 층들(106) 및 상기 희생 층들(109) 중에서 상기 제1 및 제2 마스크 패턴들(118b, 121b)과 중첩하지 않는 1 개의 층간 절연 층 및 1 개의 희생 층을 차례로 식각할 수 있다.

[0094] 도 5, 도 20a 및 도 20b를 참조하면, 상기 제1 및 제2 마스크 패턴들(도 19a 및 도 19b의 118b, 121b)의 크기를 더욱 감소시키는 제2 트림 공정을 진행할 수 있다. 상기 제2 트림 공정은 상기 제1 및 제2 마스크 패턴들(도 19a 및 도 19b의 118b, 121b)을 상기 기판(103)의 표면과 수평한 방향으로 크기를 줄이는 부분 식각 또는 등방성 식각 공정일 수 있다.

[0095] 따라서, 상기 제2 트림 공정에 의해 크기가 감소된 상기 제1 및 제2 마스크 패턴들(118c, 121c)을 이용하여, 상기 층간 절연 층들(106) 및 상기 희생 층들(109) 중에서 상기 제1 및 제2 마스크 패턴들(118c, 121c)과 중첩하지 않는 1 개의 층간 절연 층 및 1 개의 희생 층을 차례로 식각할 수 있다.

[0096] 도 5, 도 21a 및 도 21b를 참조하면, 상기 제1 및 제2 마스크 패턴들(도 20a 및 도 20b의 118c, 121c)을 제거한 후에, 상기 제2 마스크 패턴(121c)이 제거된 영역 내에 일정한 높이로 낮아지는 계단들을 형성하는 계단 공정을 진행할 수 있다. 따라서, 제1 방향(X)으로 제1 단차로 낮아지는 계단들(STx2), 및 상기 제1 방향(X)으로 상기 제1 단차 보다 작은 제2 단차로 낮아지는 계단들(STx1, STx3), 상기 제1 방향(X)과 수직인 제2 방향(Y)으로 상기 제2 단차로 낮아지는 계단들(Sty, Sty)이 형성될 수 있다.

[0097] 도 5, 도 22a 및 도 22b를 참조하면, 상기 몰딩 구조체(112) 상에 제1 절연 층(132)을 형성할 수 있다. 상기 제1 절연 층(132)을 관통하며, 상기 몰딩 구조체(112)의 상기 희생 층들(109) 중에서 최상위 희생 층 및 차상위 희생 층을 관통하는 절연성 라인 패턴들(도 7의 ISP)을 형성할 수 있다.

[0098] 변형 예에서, 상기 제1 절연 층(132)을 형성하기 전에, 상기 층간 절연 층들(106) 중 최상위에 위치하는 층간 절연 층을 제거하여 상기 희생 층들(109)을 노출시킬 수 있다. 이어서, 상기 희생 층들(109) 중 앞에서 설명한 패드 영역들에 대응할 수 있는 희생 층들 상에 상기 희생 층들과 동일한 물질을 형성하여 상기 희생 층들의 두께를 증가시킬 수 있다. 이와 같이 두께가 증가된 희생 층들의 부분들은 도 11에서 설명한 상기 두께가 증가된 패드 영역들(도 11의 Pw)을 형성하기 위한 부분들일 수 있다.

[0099] 상기 제1 절연 층(132) 및 상기 몰딩 구조체(112)를 관통하는 수직 구조체들(VS)을 형성할 수 있다. 상기 수직 구조체들(VS)은 도 7을 참조하여 설명한 것과 동일한 구조로 형성될 수 있다. 상기 제1 절연 층(132) 및 상기 수직 구조체들(VS)을 덮는 제2 절연 층(163)을 형성할 수 있다.

[0100] 상기 제1 및 제2 절연 층들(132, 163), 및 상기 몰딩 구조체(112)를 관통하는 트렌치들(166)을 형성할 수 있다. 상기 트렌치들(166)의 측벽들에 의해 상기 몰딩 구조체(112)의 상기 희생 층들(109)이 노출될 수 있다.

[0101] 상기 트렌치들(166)은 도 3 및 도 4에서 설명한 상기 주 분리 구조체들(도 3 및 도 4의 MS), 및 상기 제1 및 제2 보조 분리 구조체들(도 3 및 도 4의 SS1, SS2)에 대응하는 평면 모양으로 형성될 수 있다.

[0102] 다시, 도 4 내지 도 8, 및 도 9a, 도 9b 및 도 9c를 참조하면, 상기 트렌치들(도 22a 및 도 22b의 166)에 의해 노출되는 상기 희생 층들(도 22a 및 도 22b의 109)을 게이트들로 대체하는 게이트 대체 공정을 진행할 수 있다. 예를 들어, 상기 트렌치들(도 22a 및 도 22b의 166)에 의해 노출되는 상기 희생 층들(도 22a 및 도 22b의 109)을 제거하여 빈 공간들을 형성하고, 상기 빈 공간들의 내벽을 덮는 제2 게이트 유전체(169)를 형성하고, 상기 제2 게이트 유전체(169)에 의해 내벽이 덮인 빈 공간들을 채우는 게이트 전극들(GE)을 형성할 수 있다.

[0103] 이어서, 상기 트렌치들(도 22a 및 도 22b의 166)의 측면들 상에 절연성 스페이서들(176)을 형성하고, 상기 트렌치들(도 22a 및 도 22b의 166)에 의해 노출되는 상기 기판(103) 내에 불순물 영역들(178)을 형성하고, 상기 트렌치들(도 22a 및 도 22b의 166)을 채우는 도전성 패턴들(180)을 형성할 수 있다. 상기 절연성 스페이서들(176) 및 상기 도전성 패턴들(180)은 주 분리 구조체들(MS) 및 제1 및 제2 보조 분리 구조체들(SS1, SS2)을 구성할 수 있다. 이어서, 상기 분리 구조체들(MS, SS1, SS2) 및 상기 제2 절연 층(163)을 덮는 절연성 물질을 형성한 후에, 콘택 및 배선 형성 공정을 진행할 수 있다.

[0104] 상술한 바와 같이 게이트 전극들(GE)은 3차원적으로 배열되는 패드 영역들을 포함할 수 있다. 이러한 3차원적으로 배열되는 패드 영역들은 반도체 소자의 집적도를 향상시킬 수 있다. 또한, 상기 제1 및 제2 보조 분리 구조체들(SS1, SS2)을 배치함으로써, 상기 게이트 전극들(GE)을 불량 없이 보다 많이 적층시킬 수 있다. 따라서, 반도체 소자의 집적도를 향상시킬 수 있다.

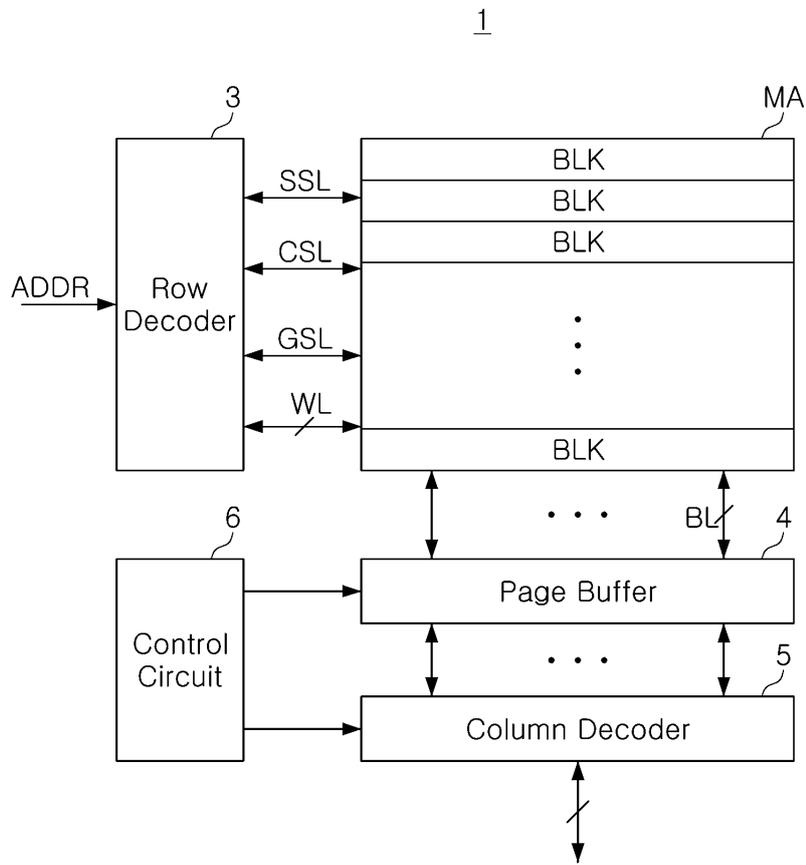
[0105] 이상, 첨부된 도면을 참조하여 본 발명의 실시 예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

**부호의 설명**

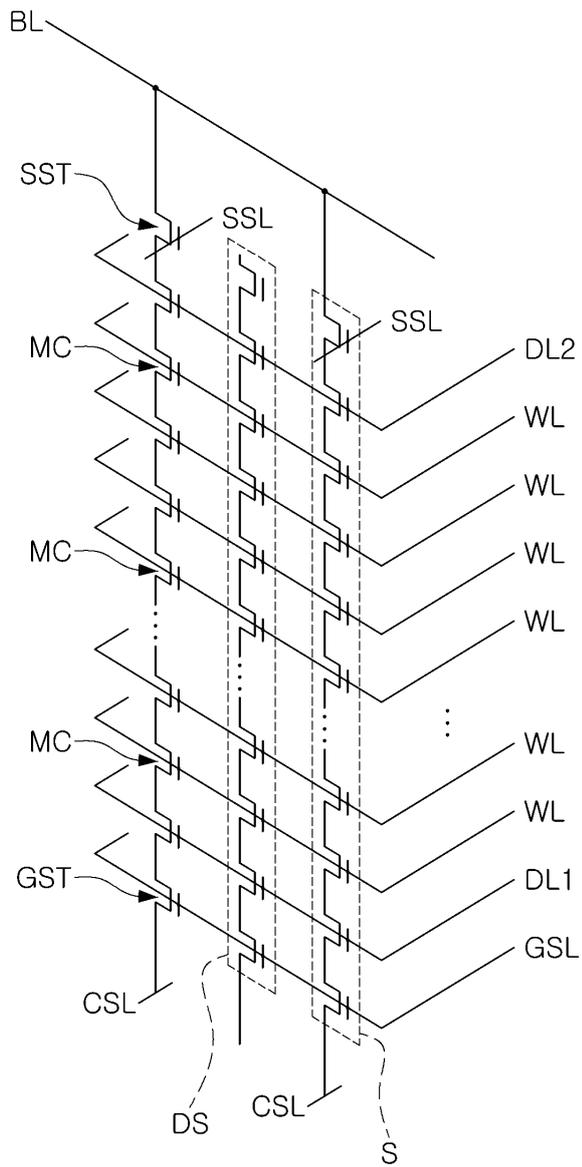
[0106] MA : 메모리 셀 어레이 영역            IA : 연결 영역  
 BLK : 메모리 블록                        MC : 메모리 셀  
 WL : 워드라인                              BL : 비트라인  
 CSL : 공통 소스 라인                    SSL : 스트링 선택 라인  
 S : 메모리 스트링                        DS : 더미 스트링  
 MS : 주 분리 구조체                      SS1 : 제1 보조 분리 구조체  
 SS1a : 제1 라인 부분                    SS1b : 제2 라인 부분  
 SS2 : 제2 보조 분리 구조체            VS : 수직 구조체  
 VSc : 메모리 셀 수직 구조체          VSd : 더미 수직 구조체  
 Ps, Pd, Pf, Pw, Pg : 패드 영역들      GE : 게이트 전극들  
 182, 184 : 콘택 플러그들              103 : 기판  
 106, 132, 163, 180 : 절연 층            176 : 절연성 스페이서  
 178 : 불순물 영역                        180 : 도전성 패턴  
 151 : 제1 게이트 유전체                146 : 블로킹 유전체 층  
 147 : 정보 저장 층                        148 : 터널 유전체 층  
 154 : 채널 반도체 층                    157 : 코어 패턴  
 169 : 제2 게이트 유전체

도면

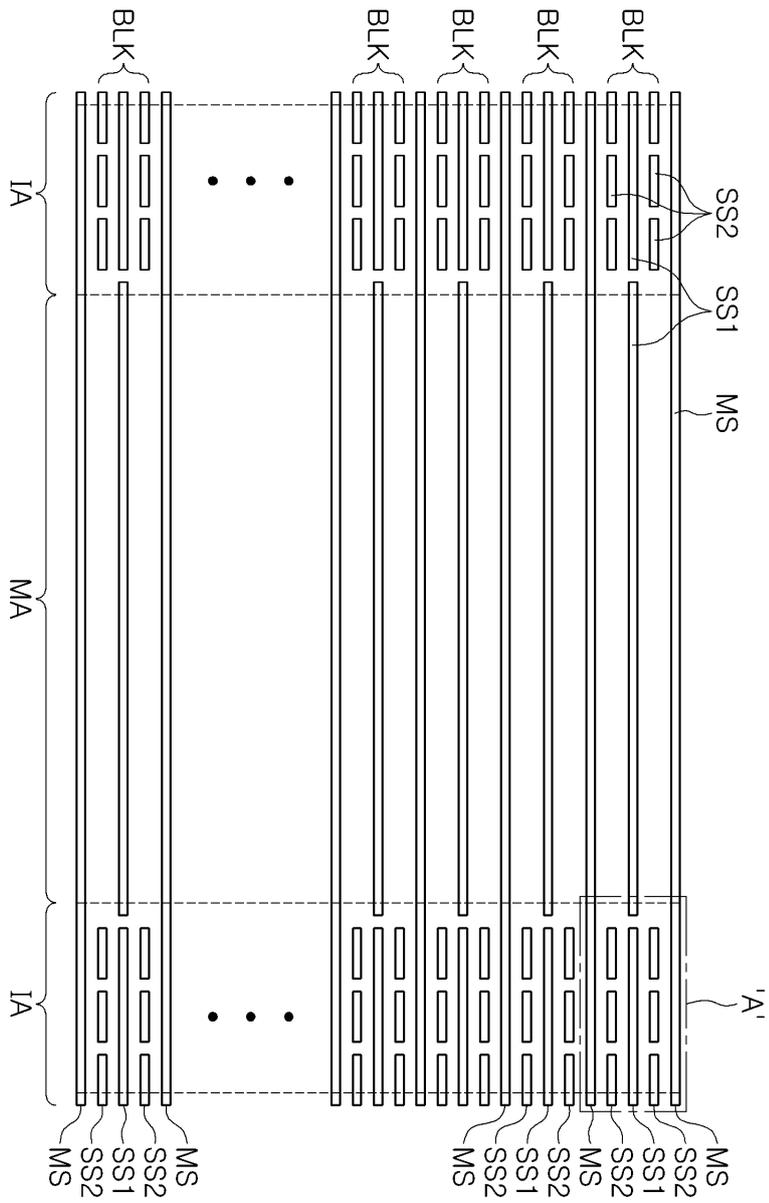
도면1



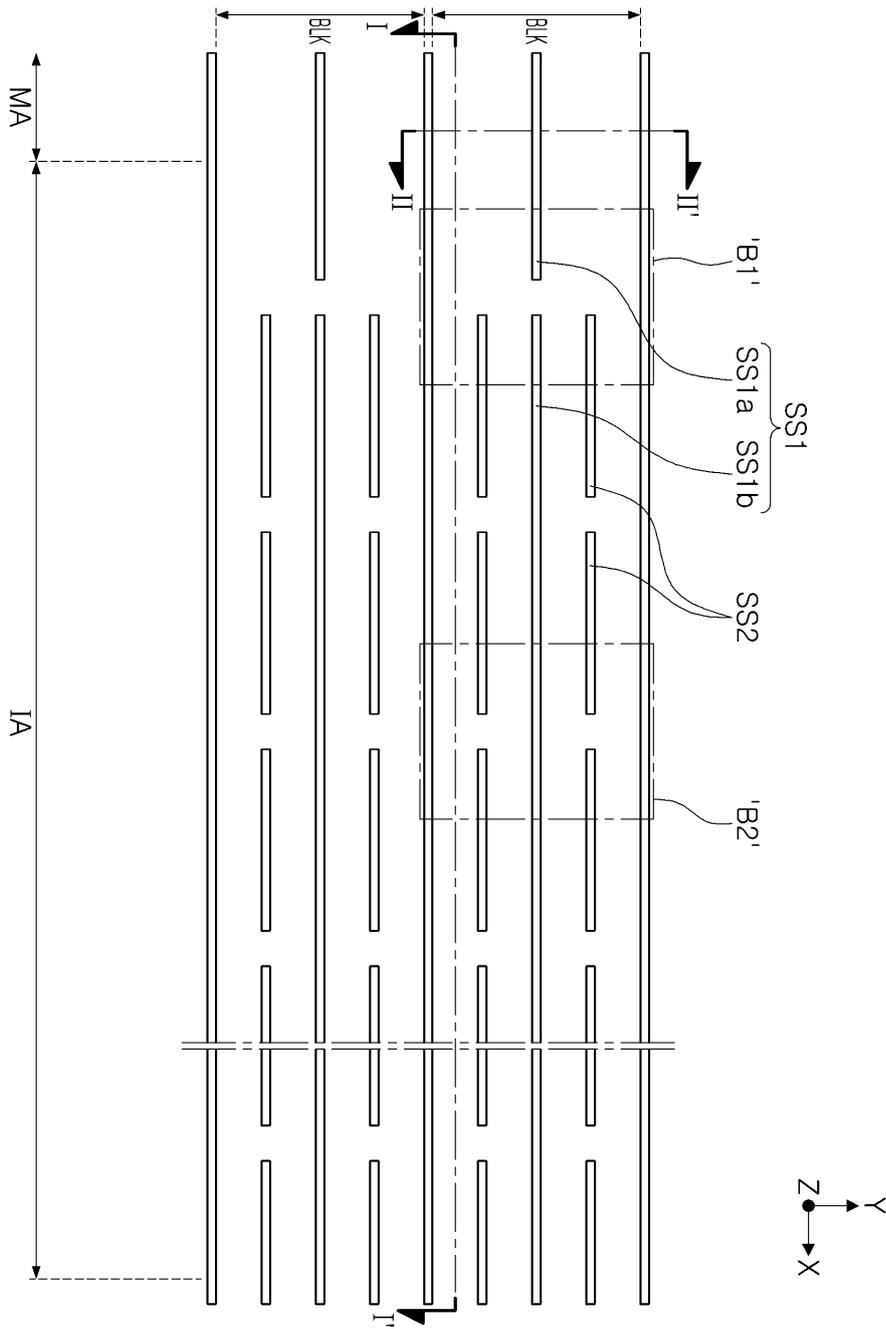
도면2



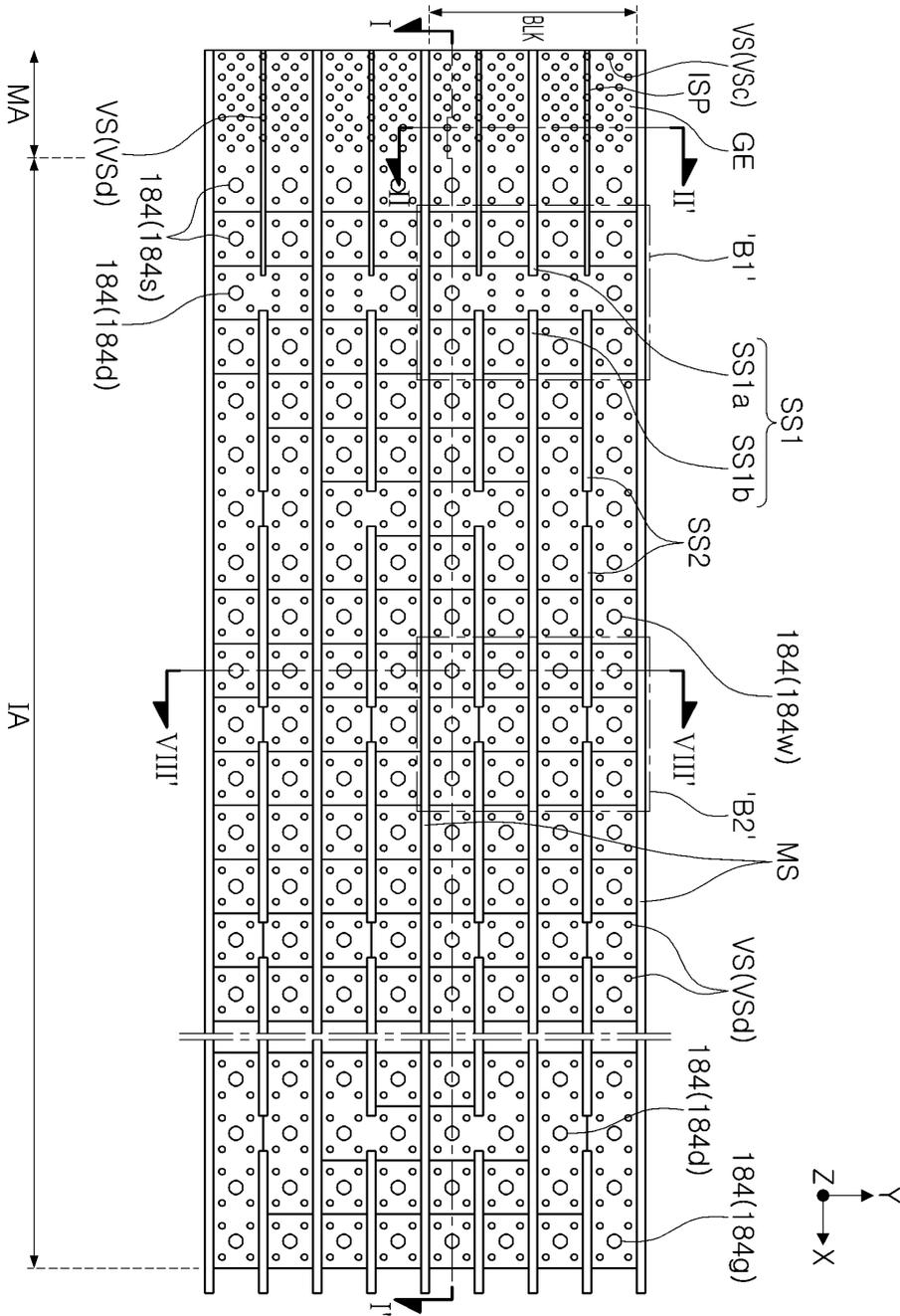
도면3



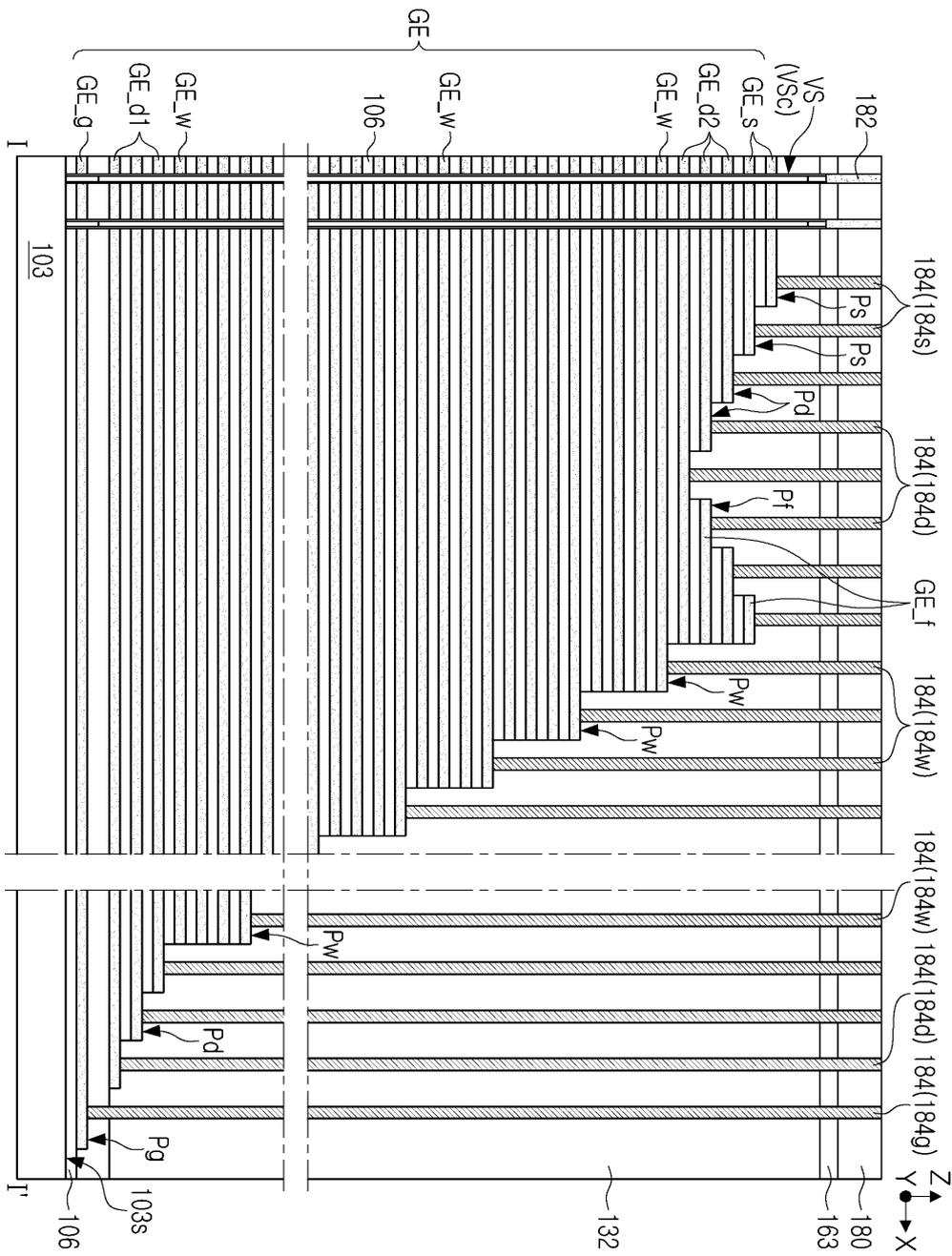
도면4



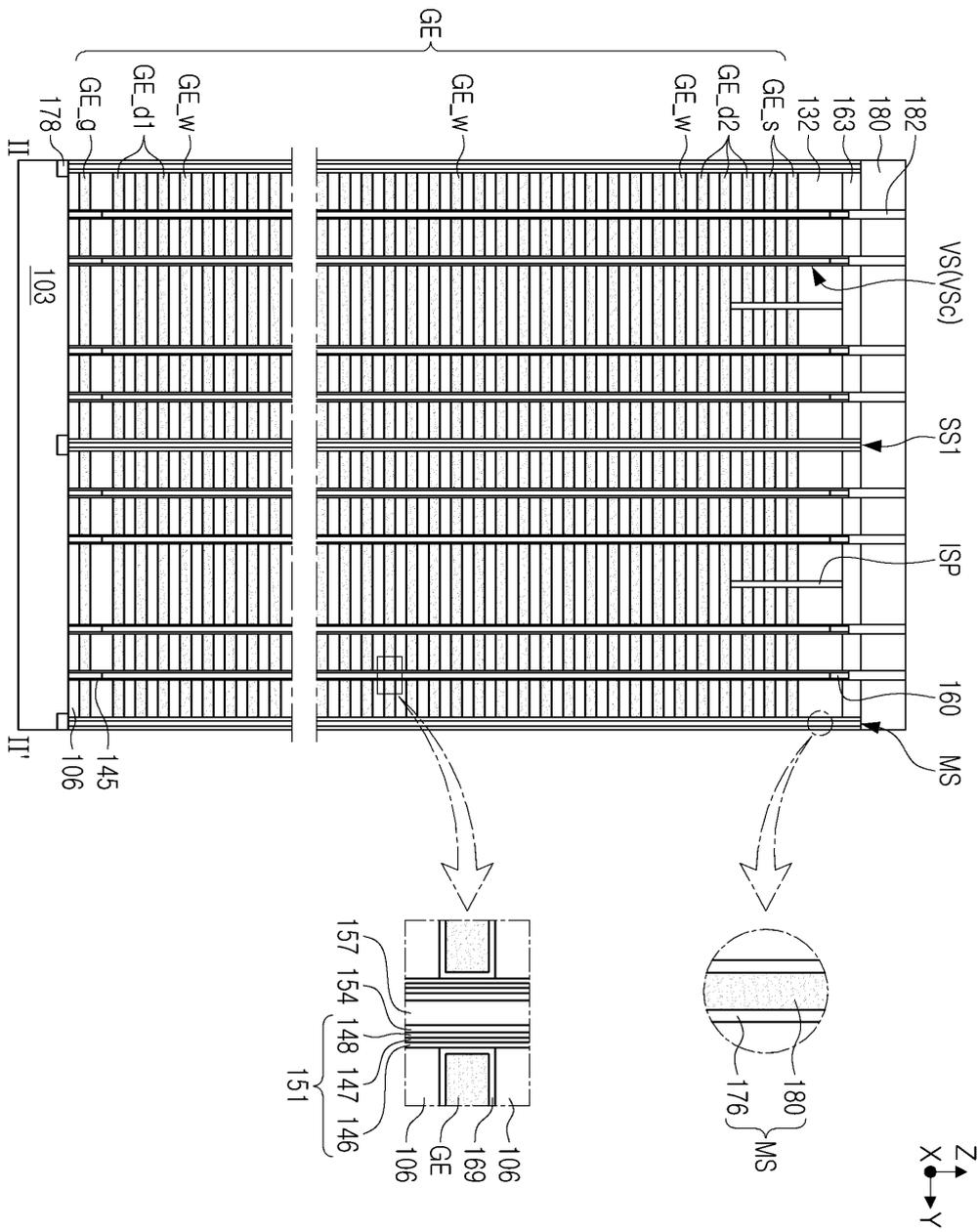
도면5



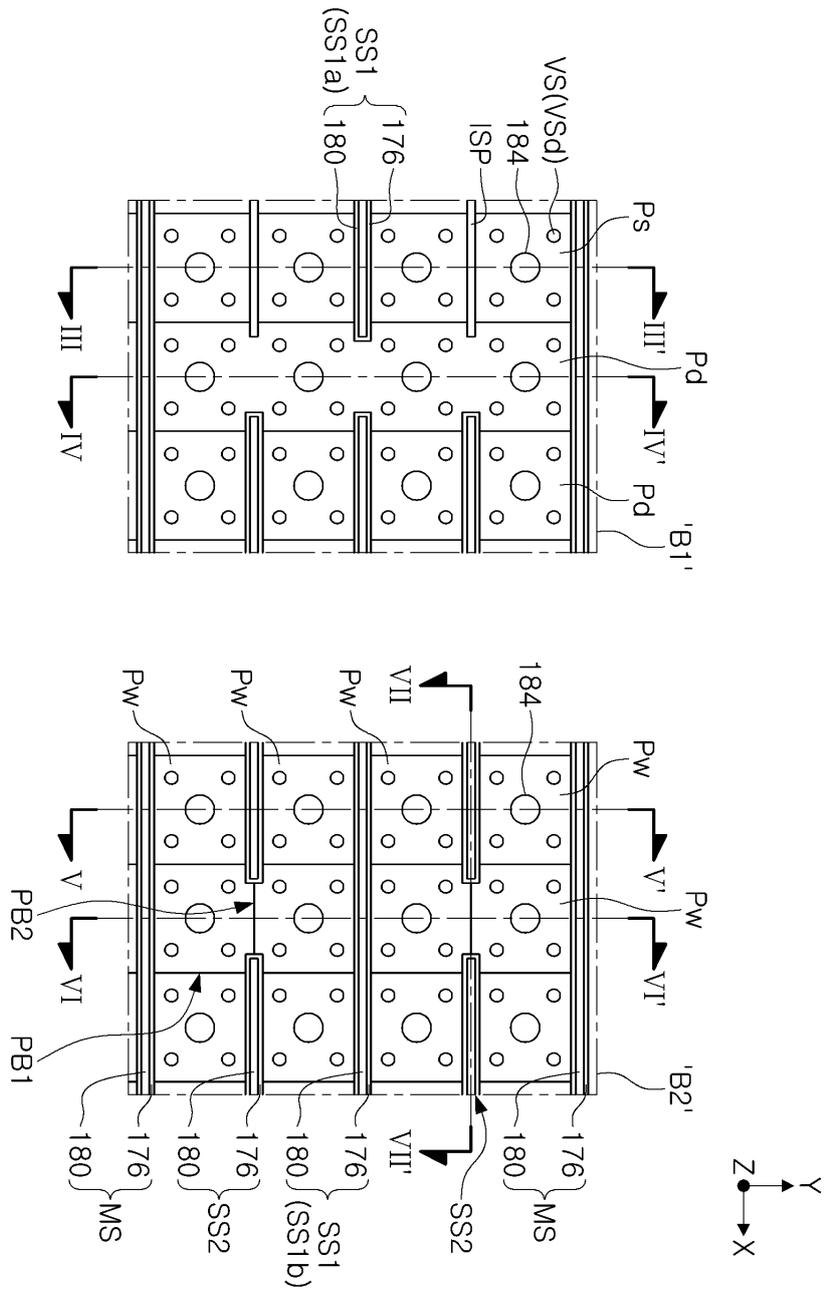
도면6



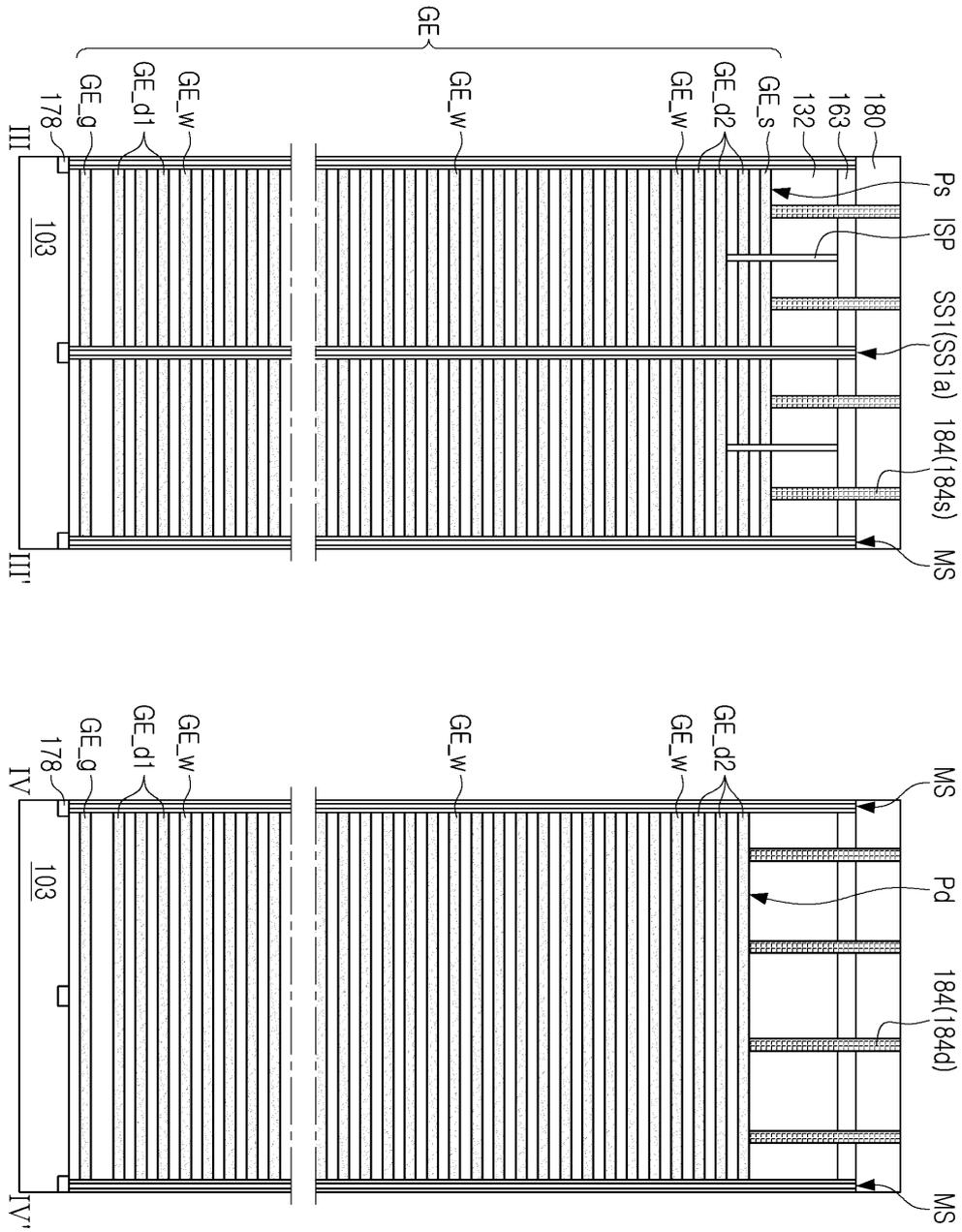
도면7



도면8

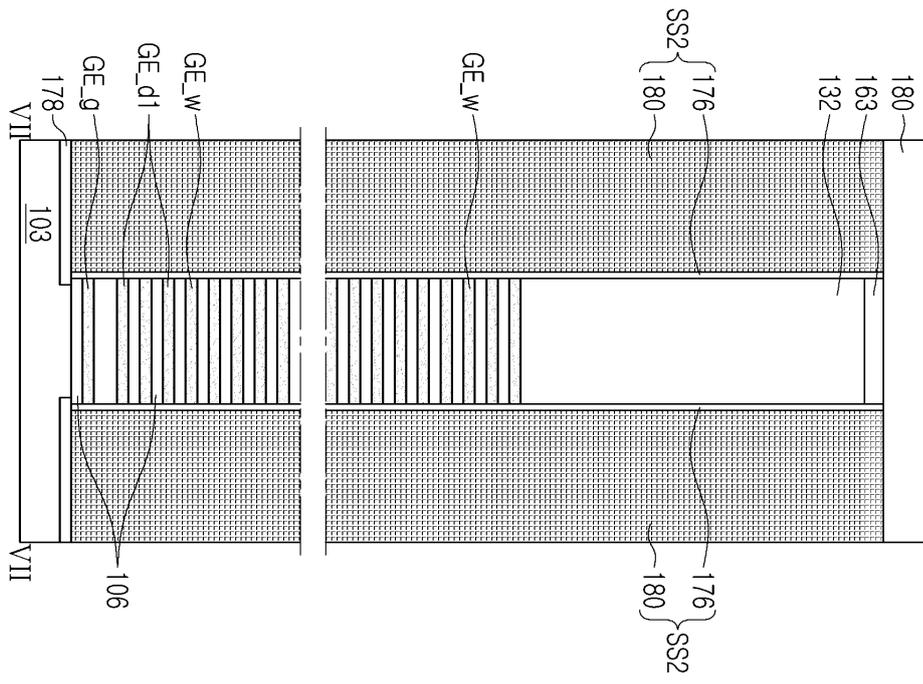


도면9a

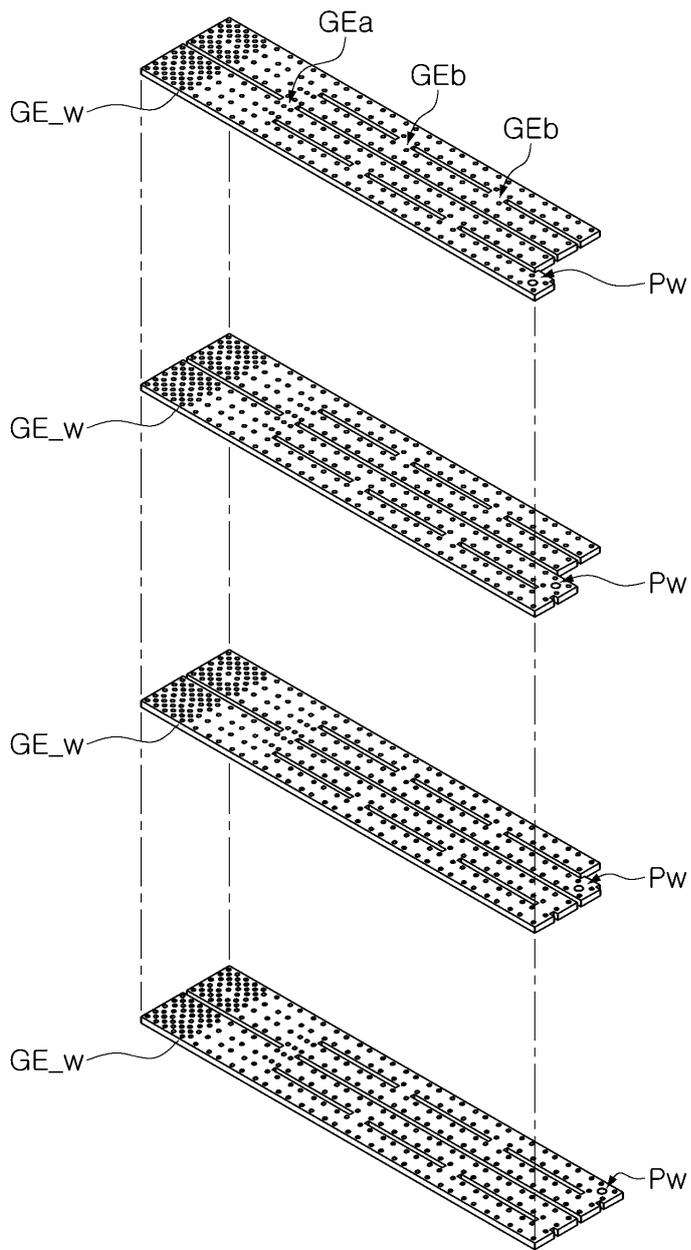




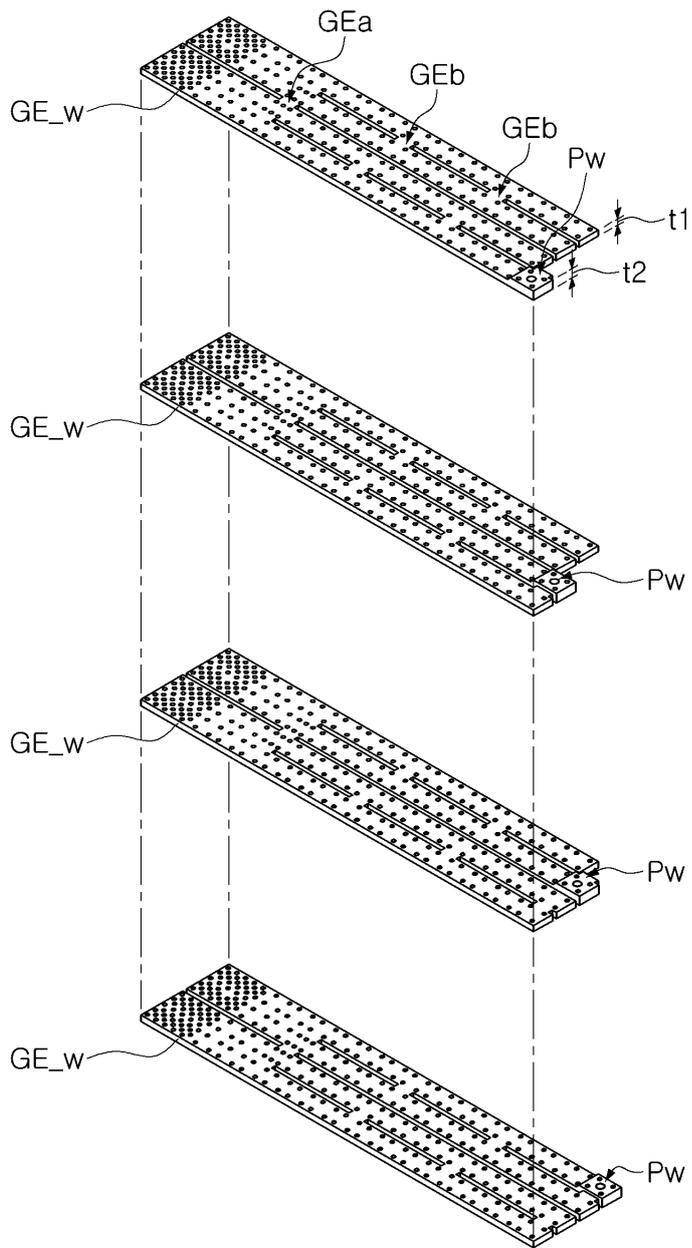
도면9c



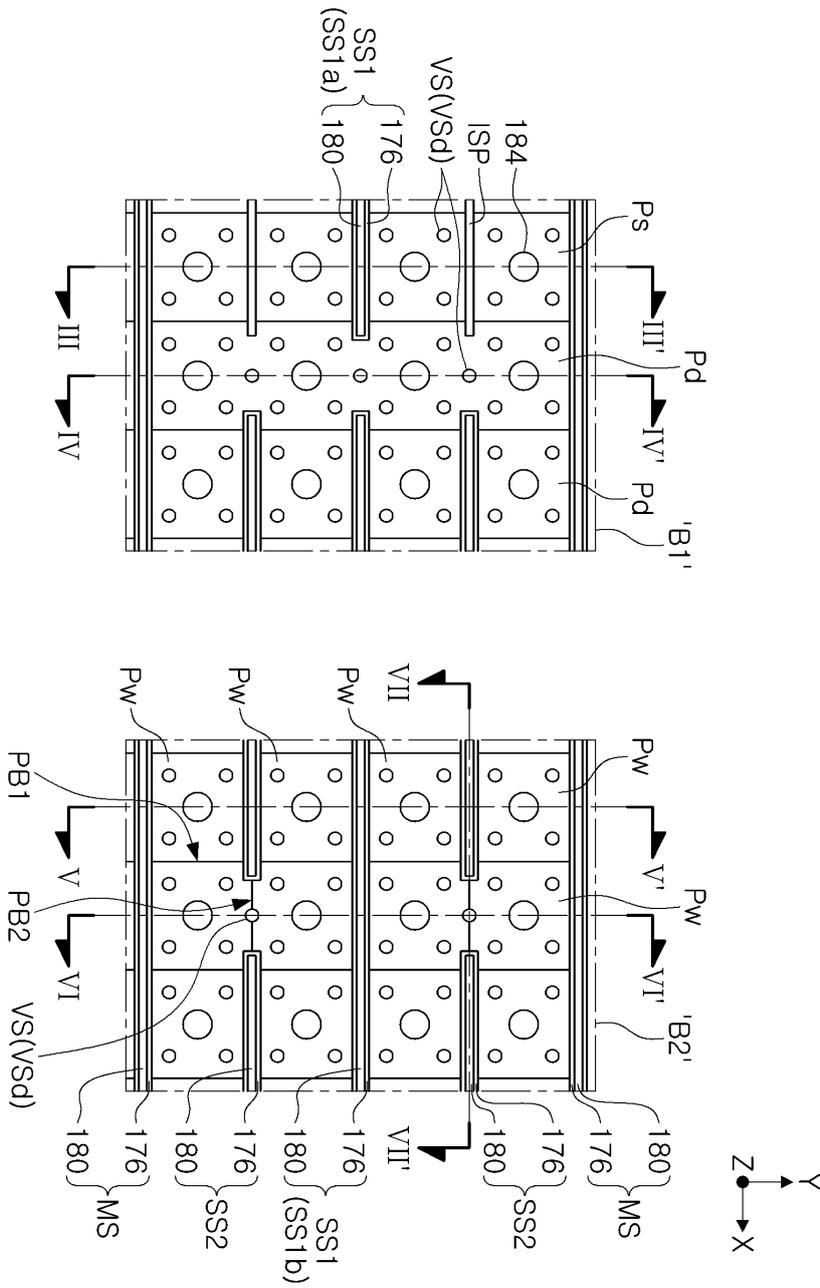
도면10



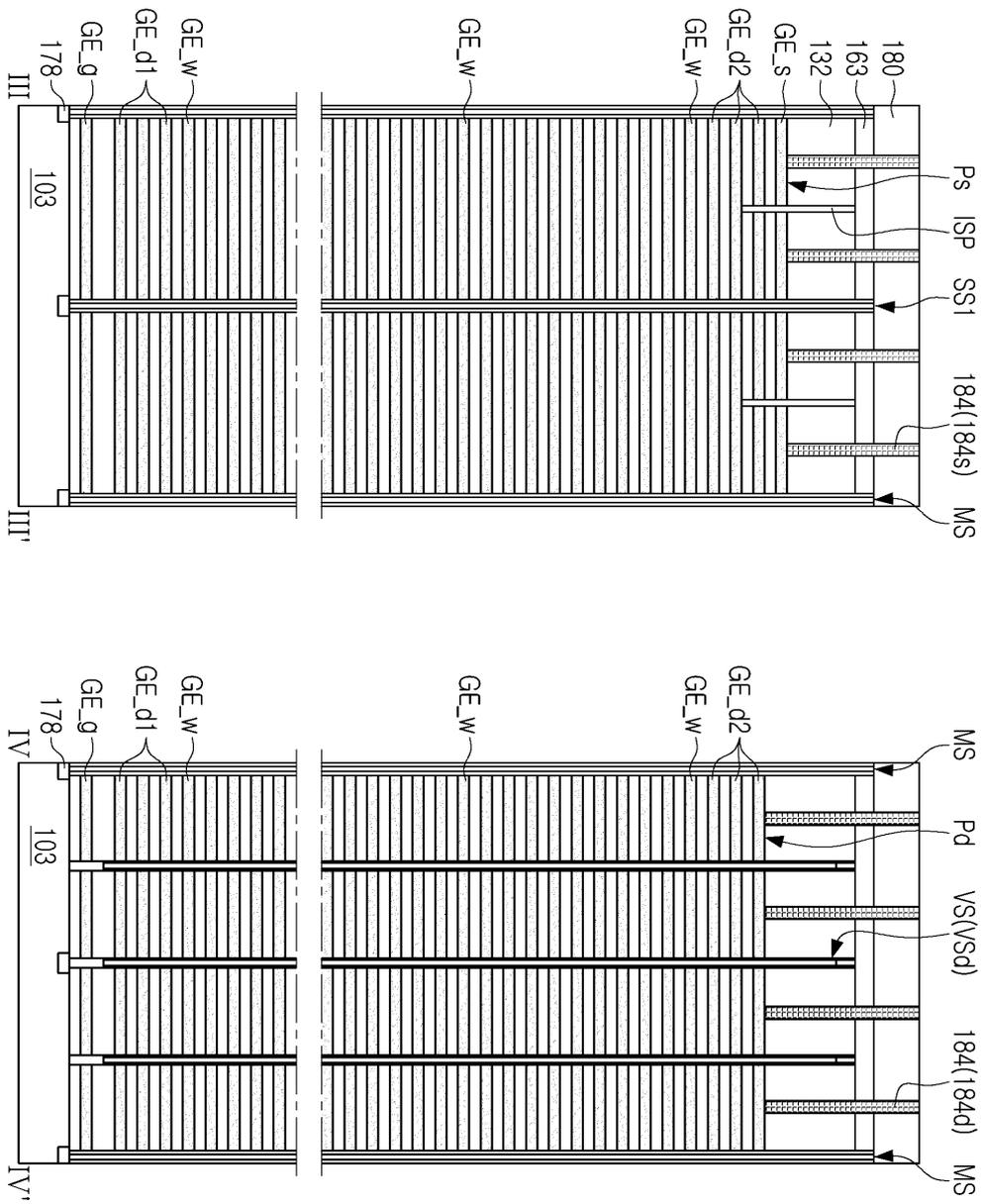
도면11



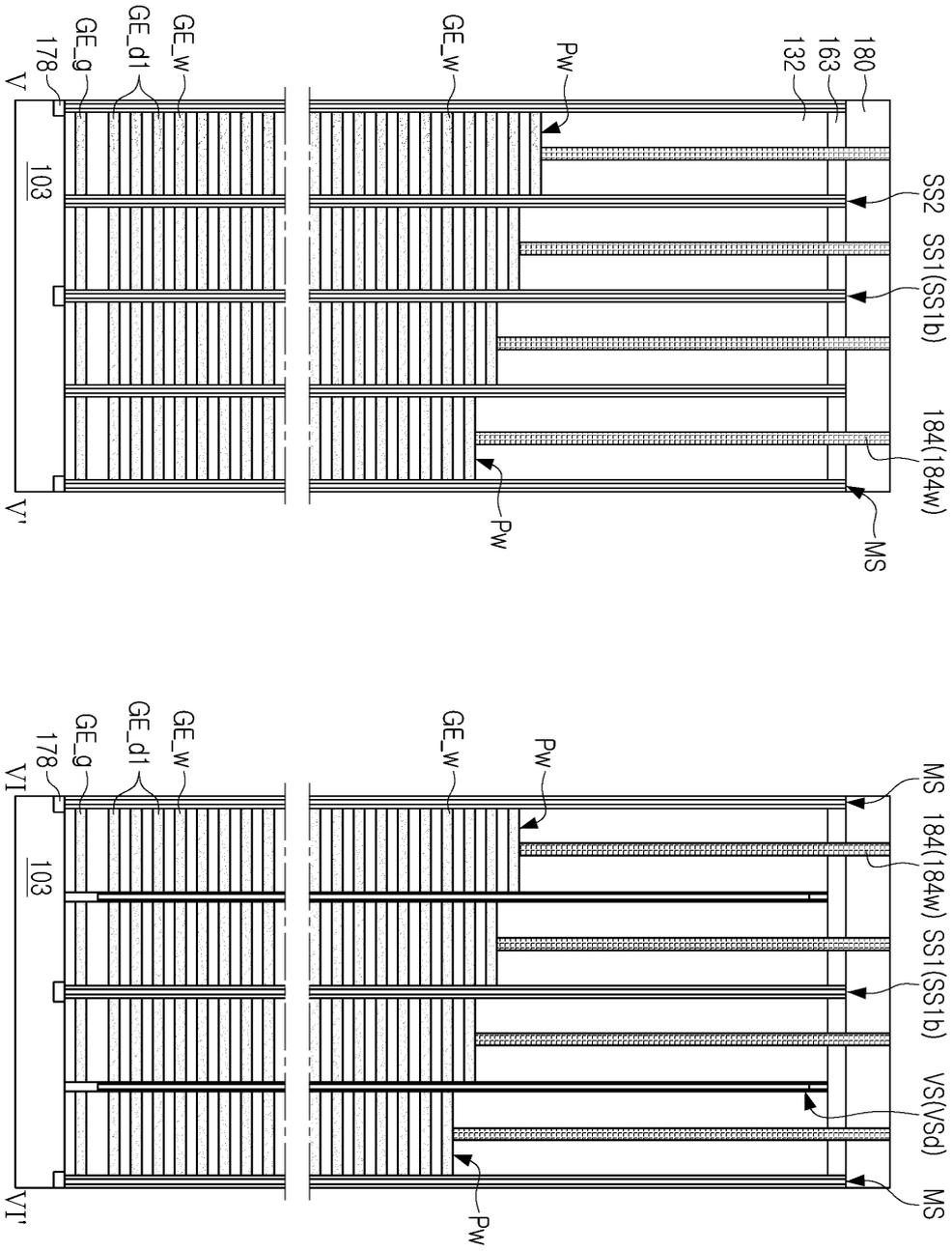
도면12



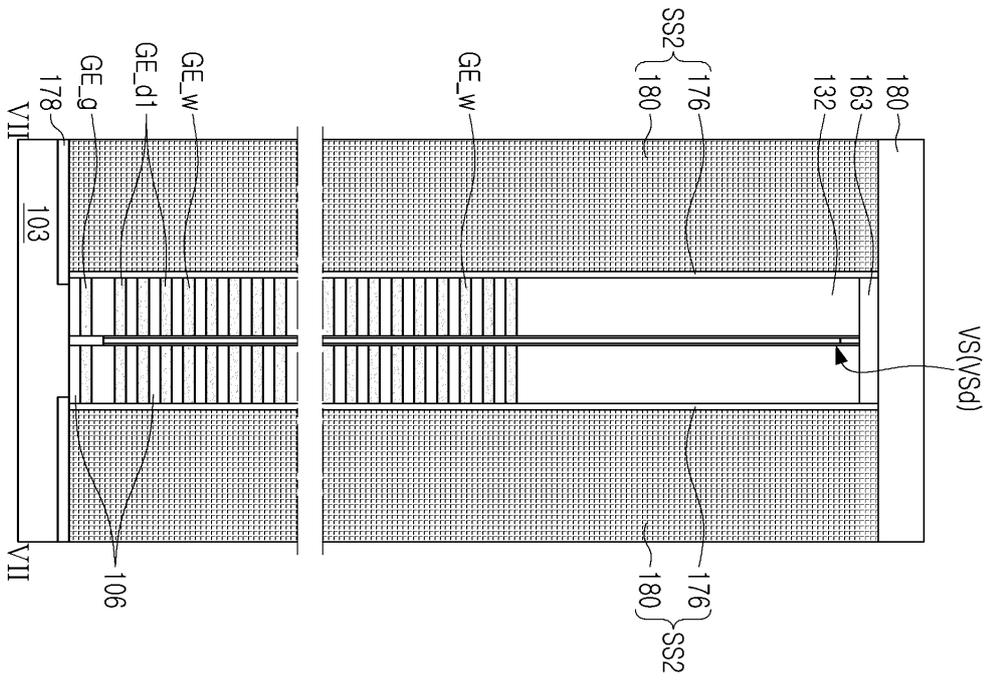
도면13a



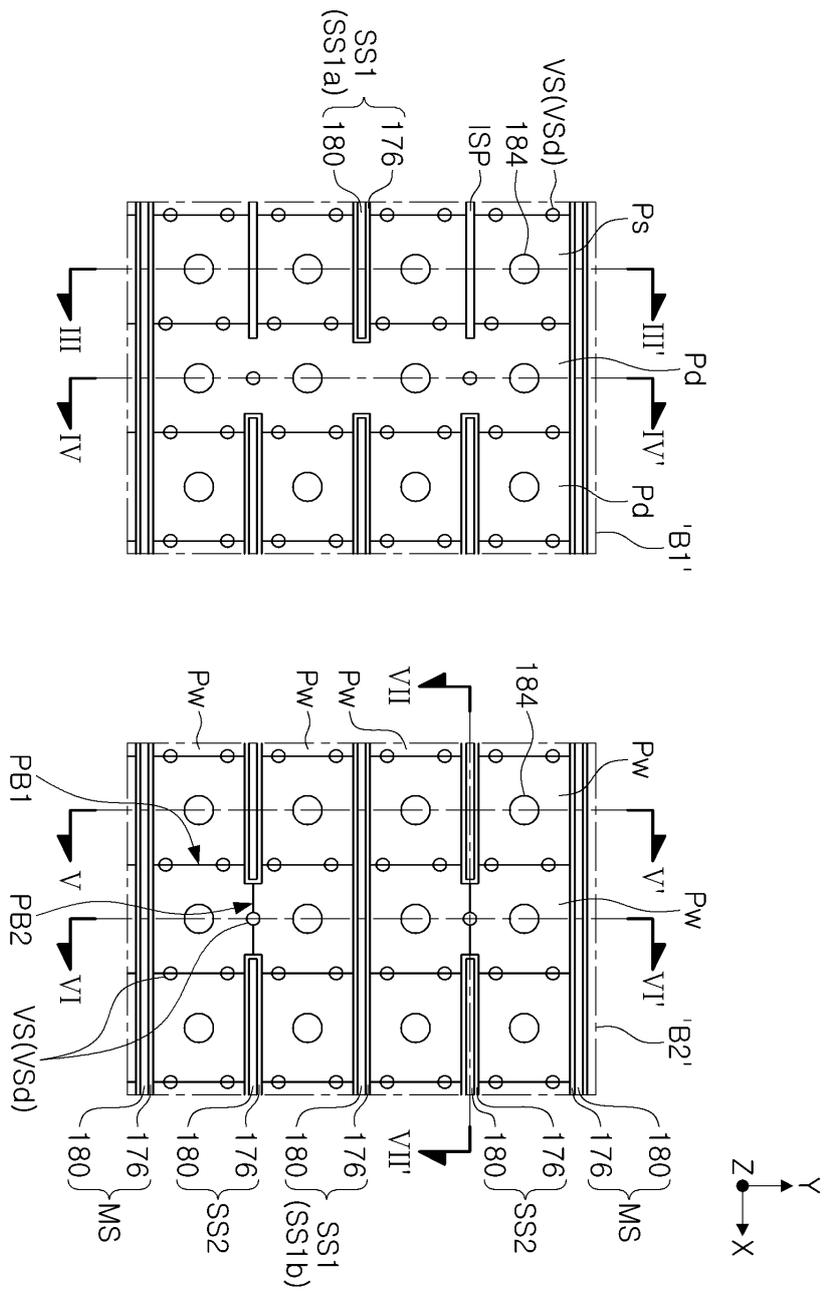
도면13b



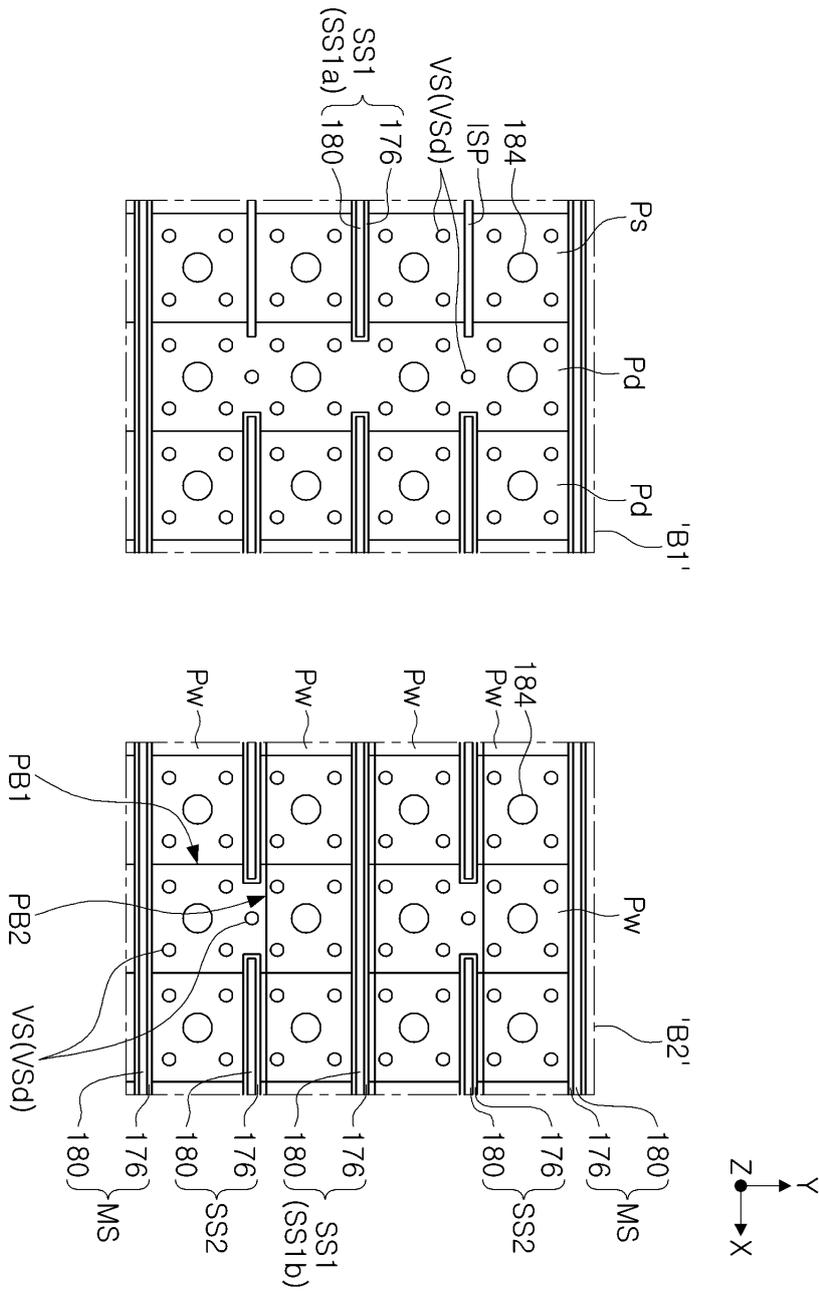
도면13c



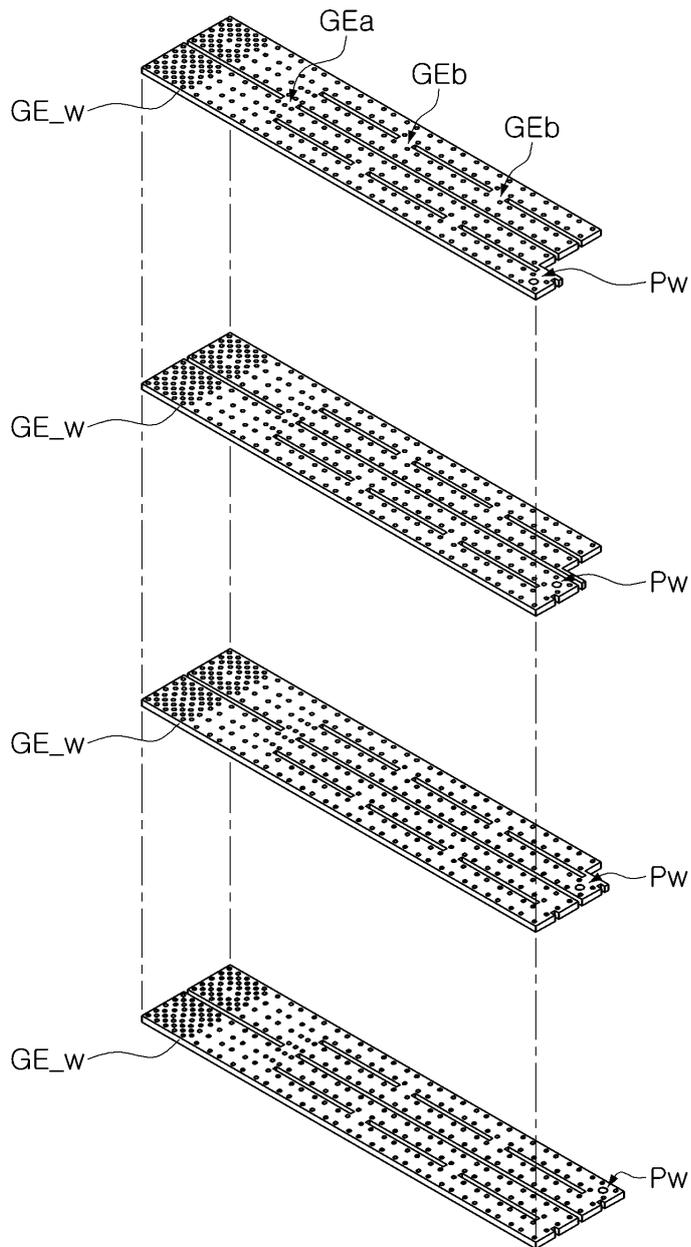
도면14



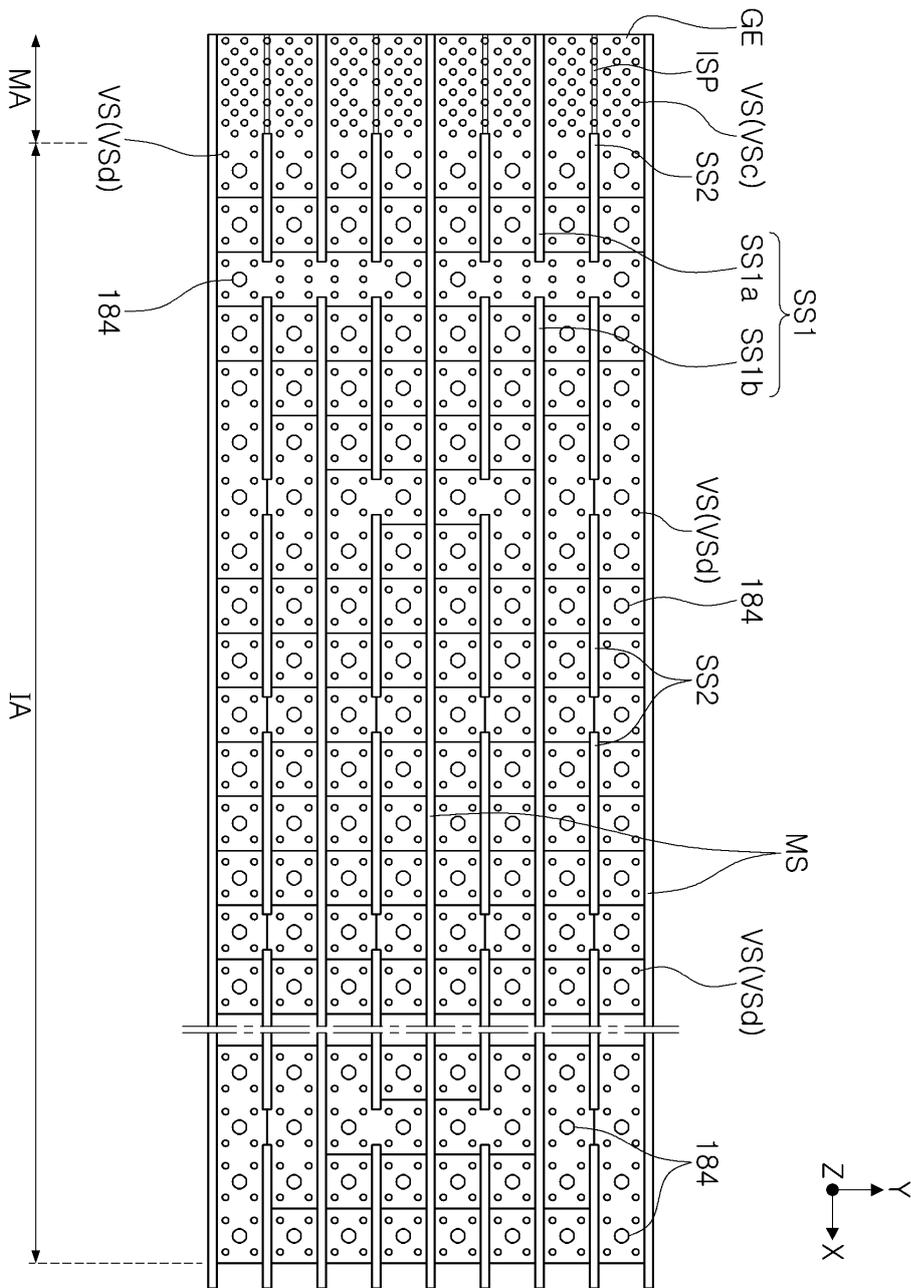
도면15



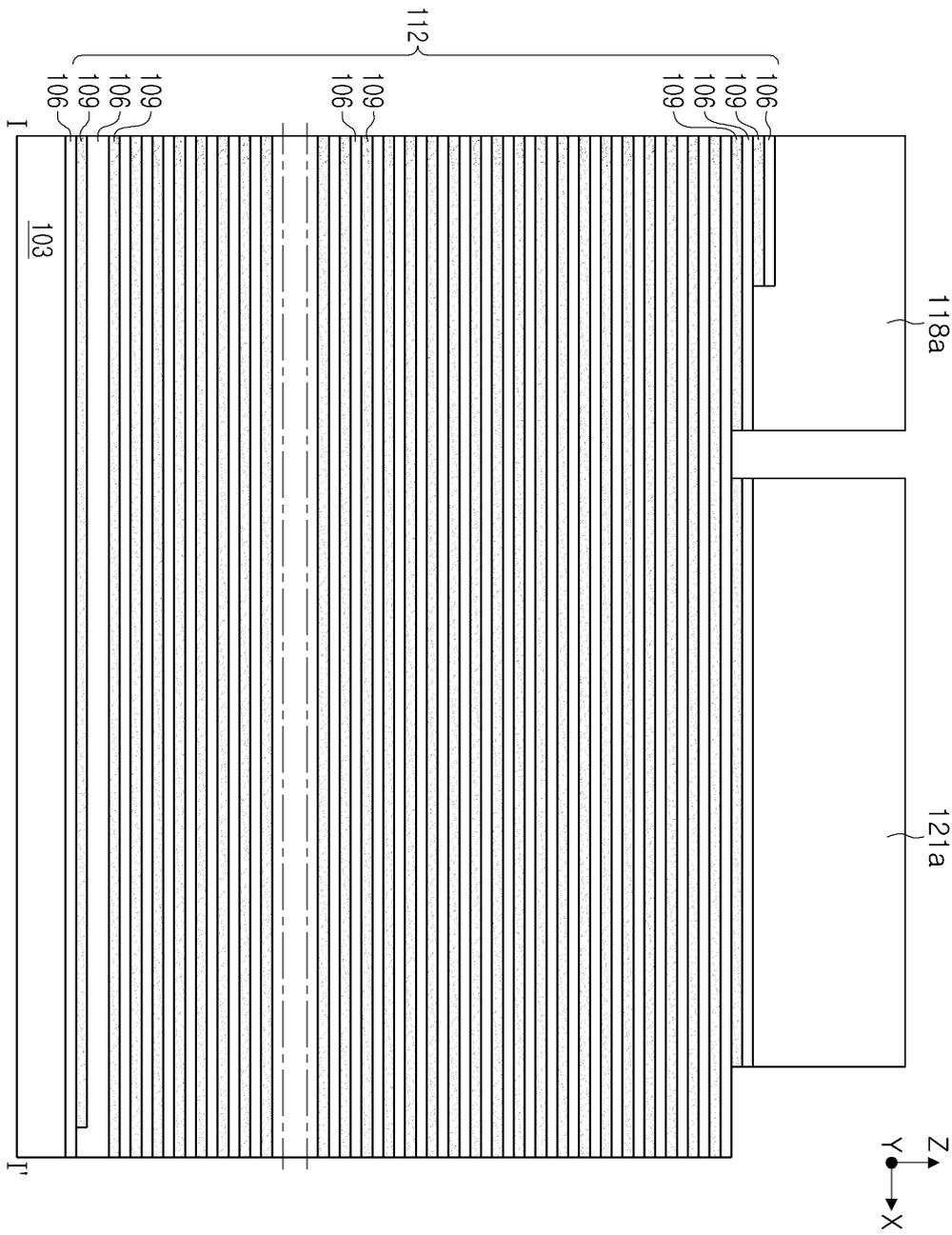
도면16



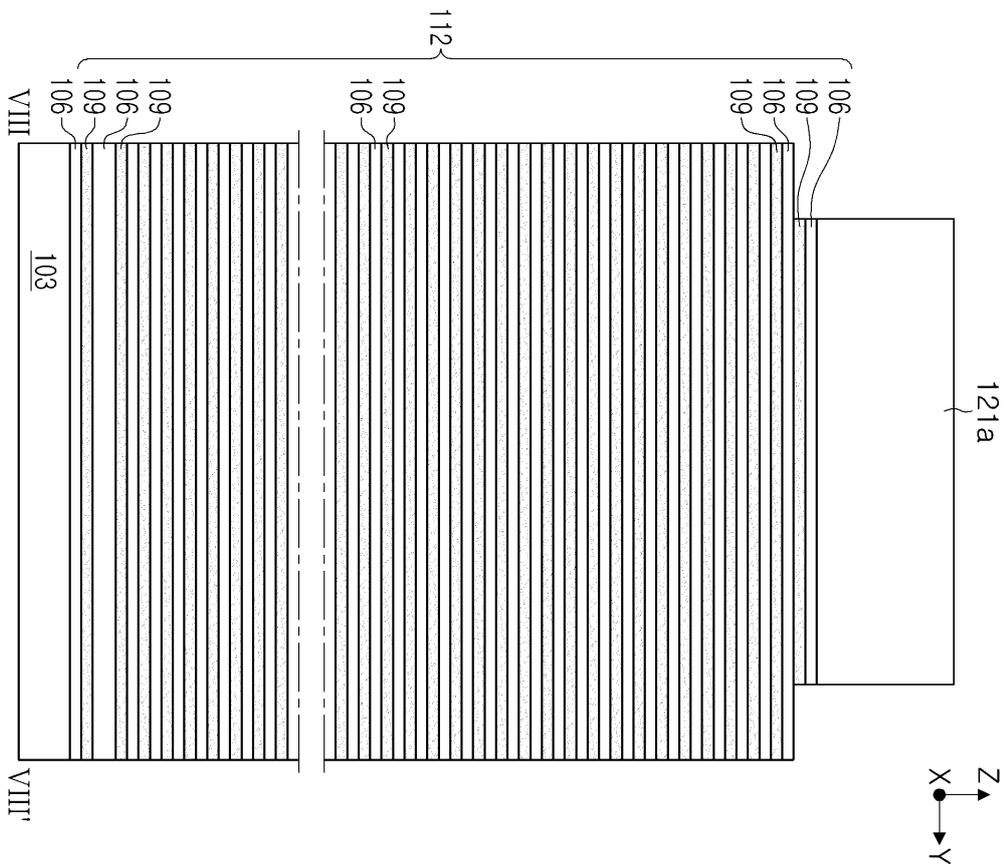
도면17



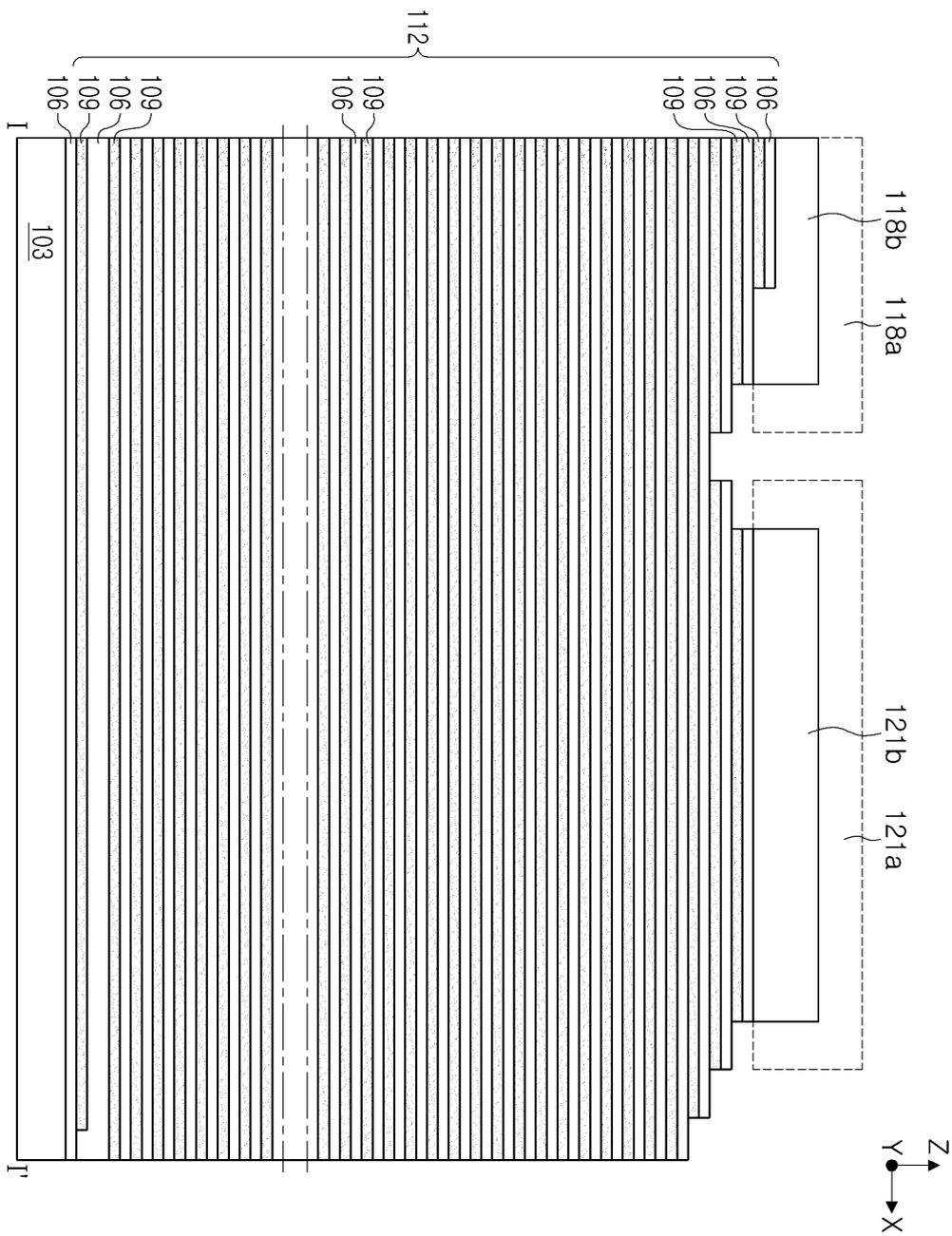
도면18a



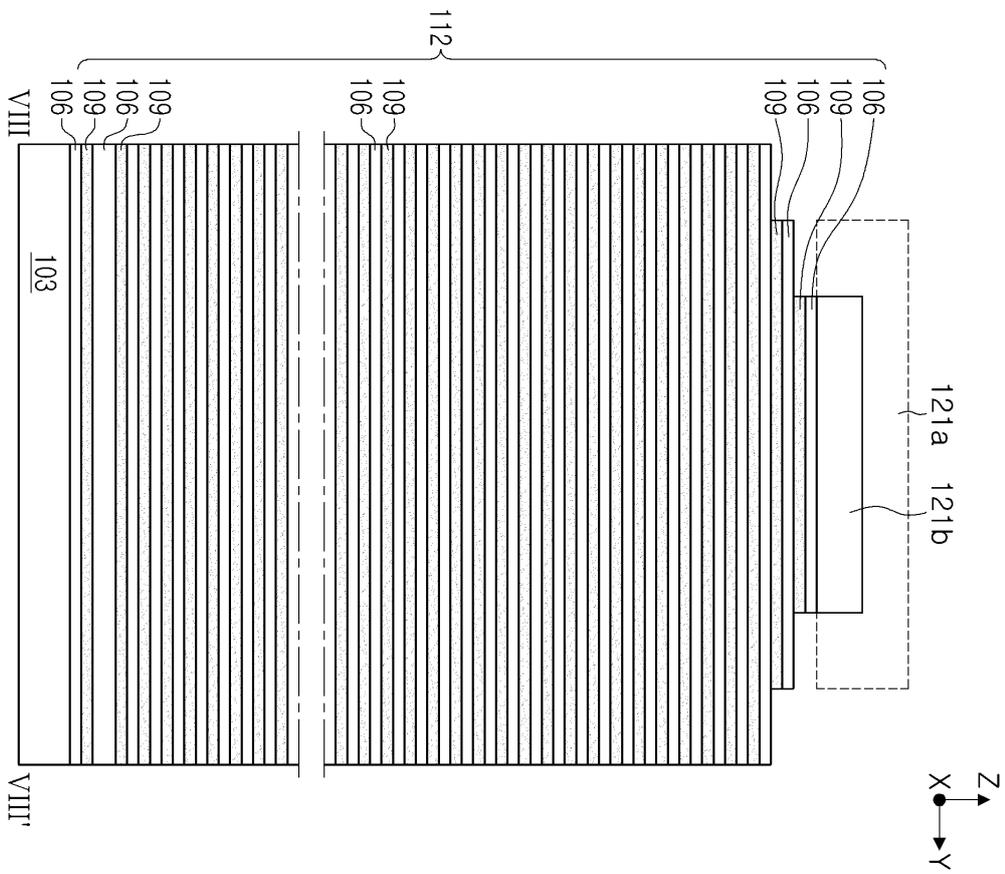
도면18b



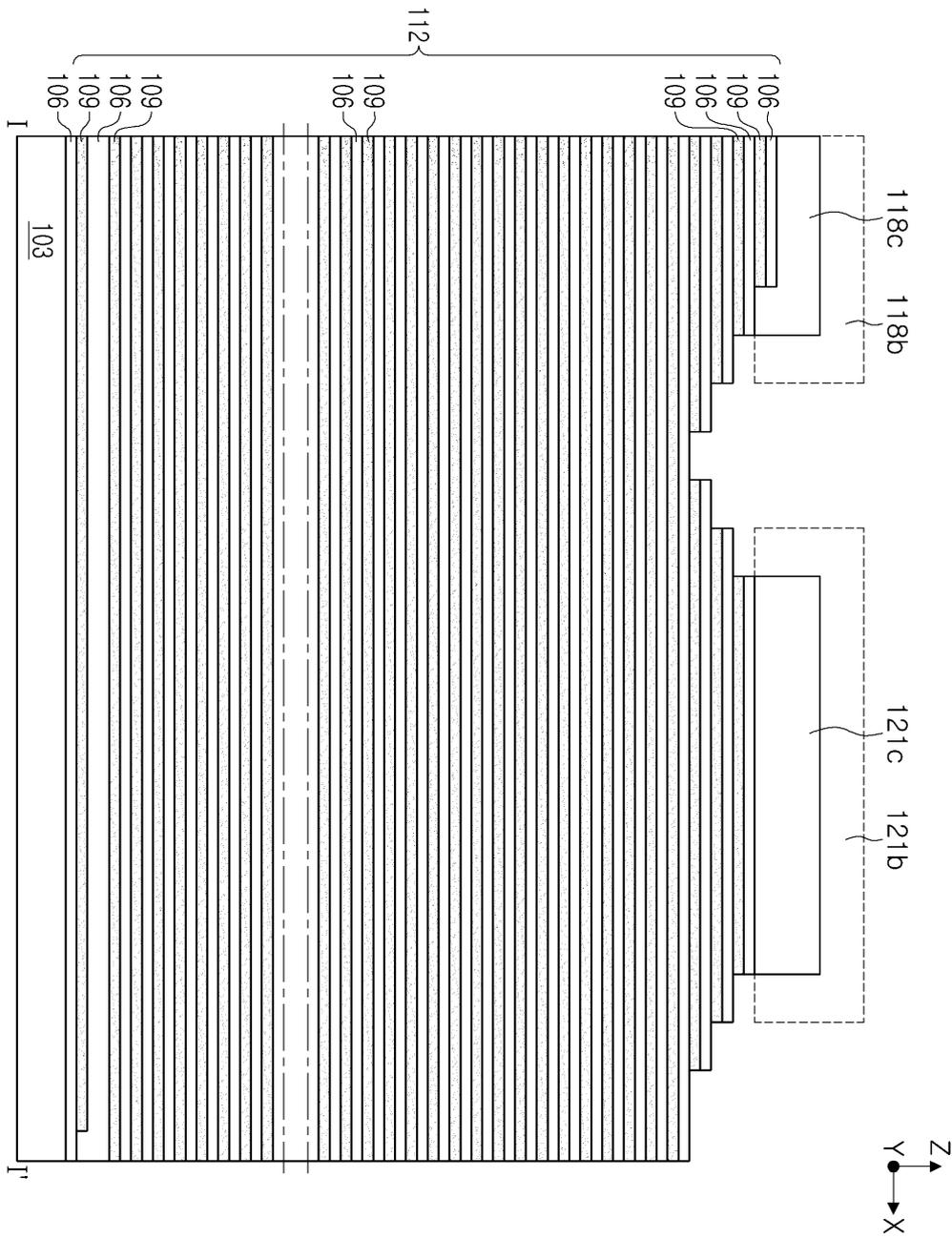
도면19a



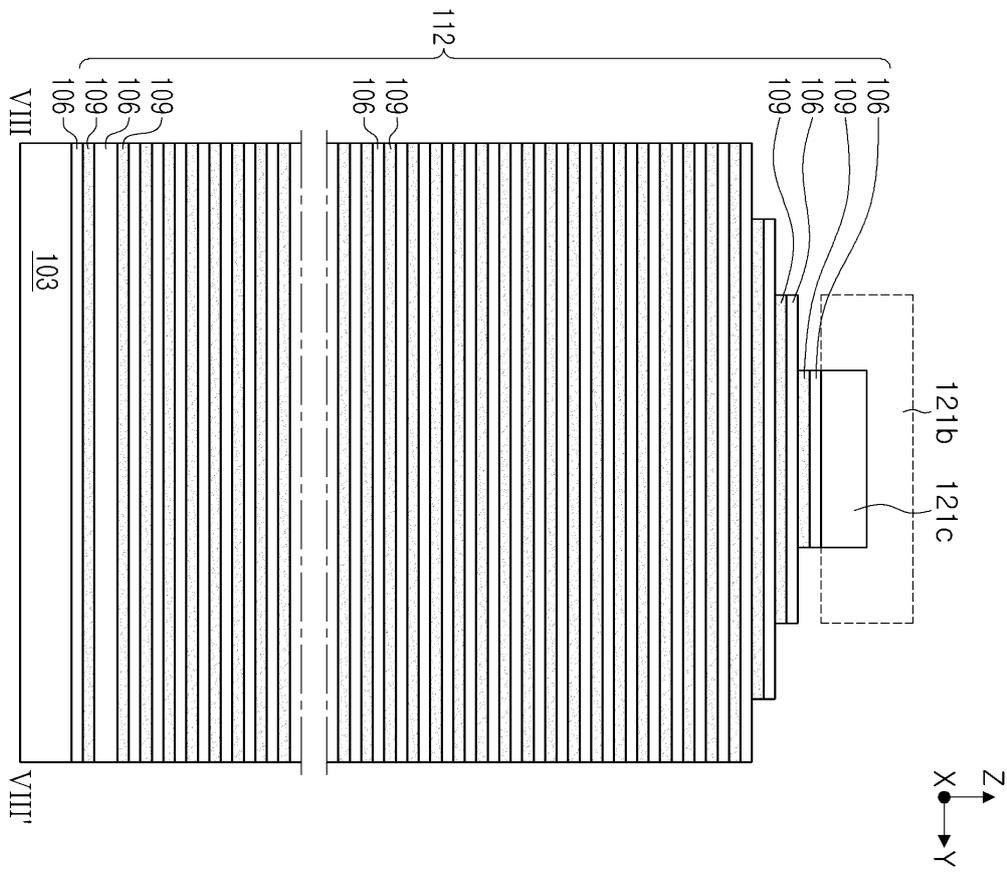
도면19b



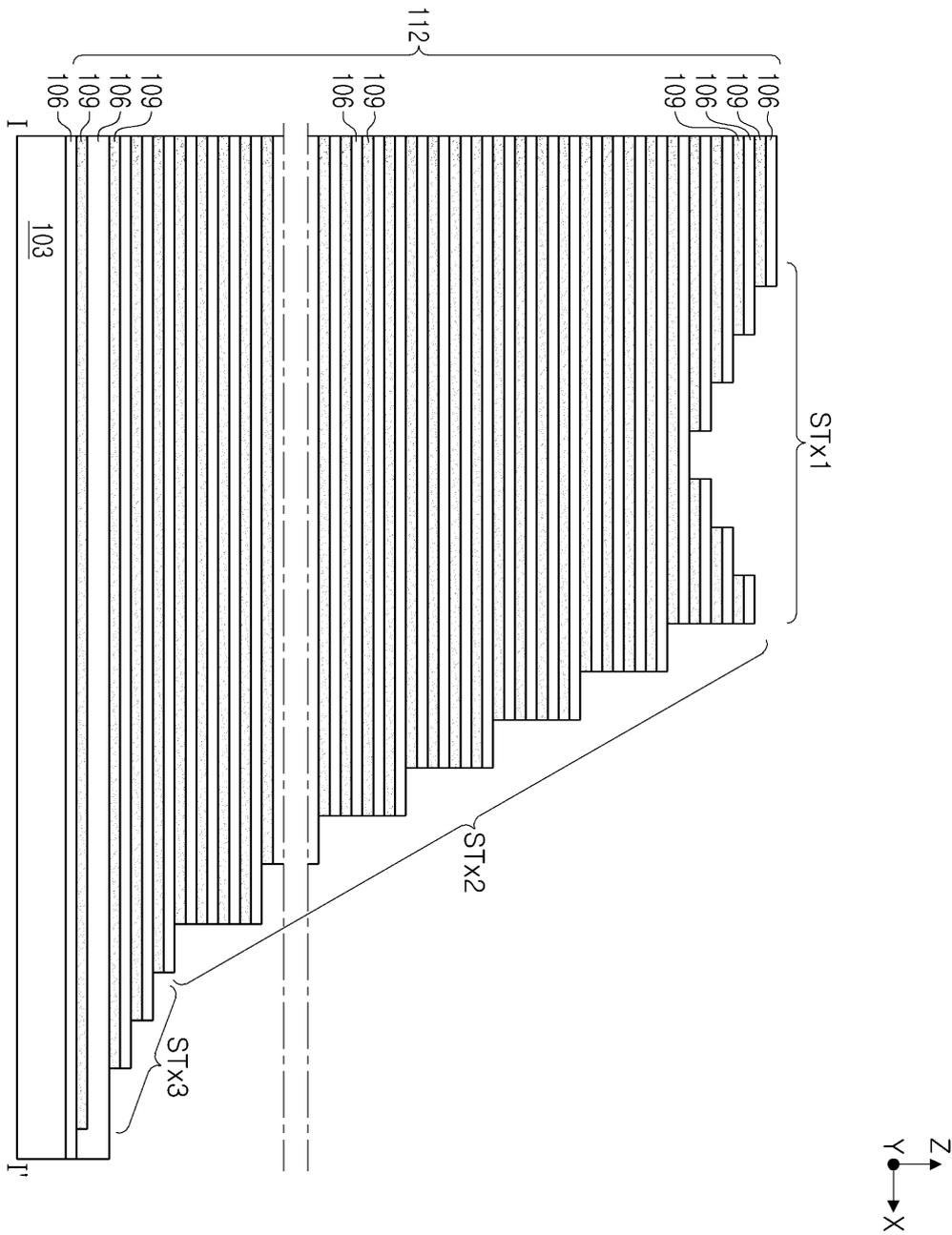
도면20a



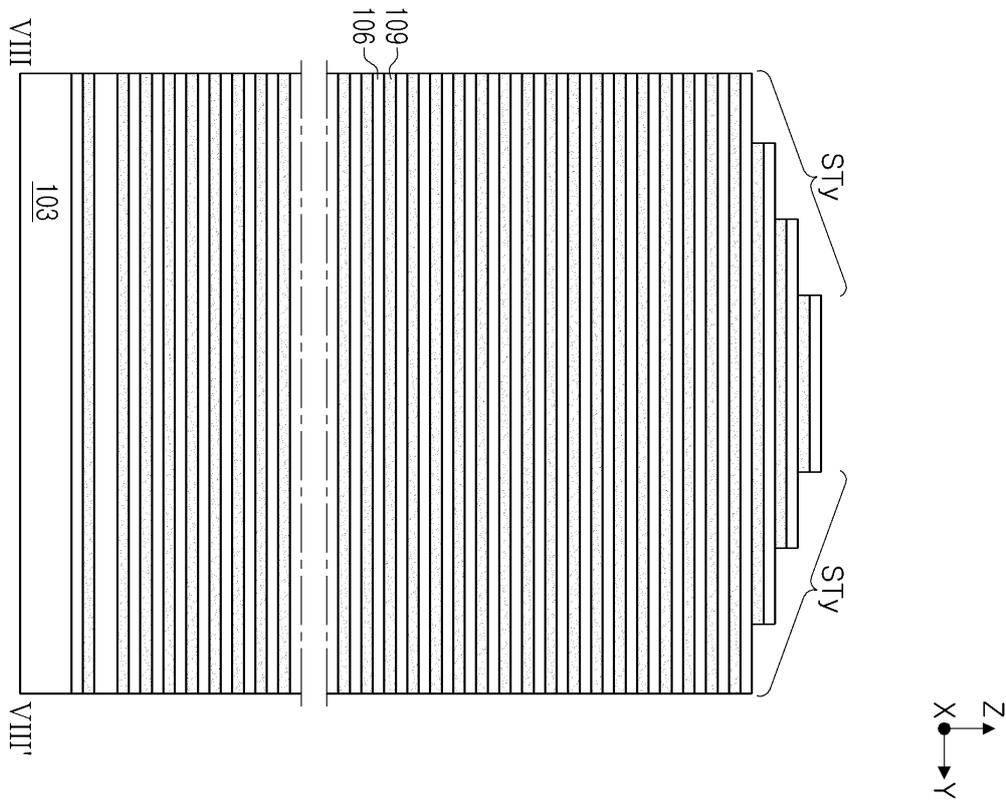
도면20b



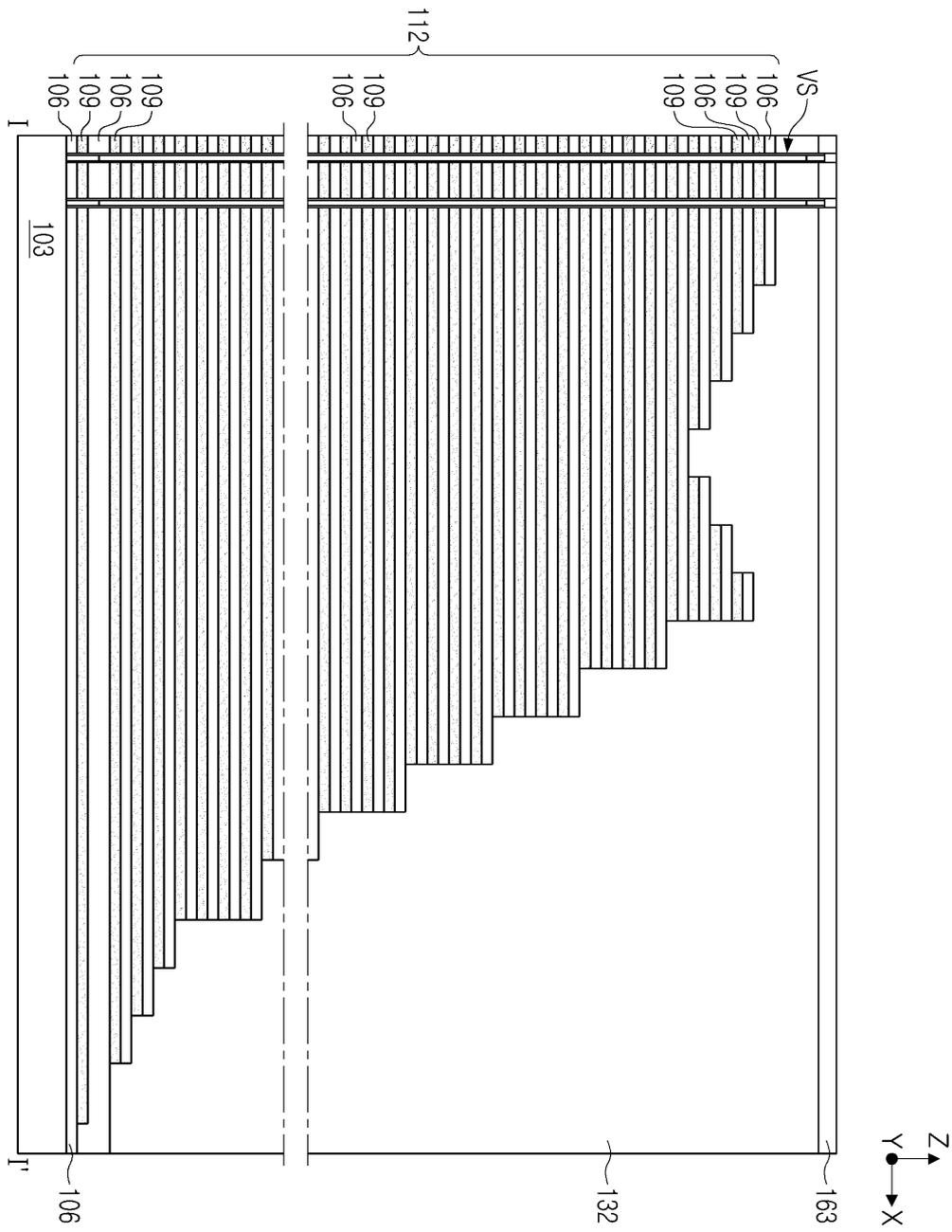
도면21a



도면21b



도면22a



도면22b

