



此處由本局於收
文時黏貼條碼

I250491

748804

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92116278

※申請日期：92年06月16日

※IPC分類：G09F 23/28

壹、發明名稱：

(中) 光電裝置之驅動方法，光電裝置及電子機器

(外) 電気光学装置の駆動方法、電気光学装置および電子機器

貳、申請人：(共 1 人)

1. 姓名：(中) 精工愛普生股份有限公司

(英) セイコーエプソン株式会社

代表人：(中) 1.草間三郎

(英) _____

地 址：(中) 日本國東京都新宿區西新宿二丁目四番一號

(英) _____

國籍：(中英) 日本 JAPAN

參、發明人：(共 1 人)

1. 姓名：(中) 伊藤昭彦

(英) 伊藤昭彦

地 址：(中) 日本國長野縣諏訪市大和三丁目三番五號 精工愛普生股份有限
公司內

(英) 日本国長野県諏訪市大和三丁目三番五号 セイコーエプソン株
式会社内

肆、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2002/06/28 ; 2002-190242 有主張優先權

2. 日本 ; 2003/04/18 ; 2003-114351 有主張優先權



此處由本局於收
文時黏貼條碼

I250491

748804

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92116278

※申請日期：92年06月16日

※IPC分類：G09G3/28

壹、發明名稱：

(中) 光電裝置之驅動方法，光電裝置及電子機器

(外) 電気光学装置の駆動方法、電気光学装置および電子機器

貳、申請人：(共 1 人)

1. 姓名：(中) 精工愛普生股份有限公司
(英) セイコーエプソン株式会社

代表人：(中) 1.草間三郎
(英) _____

地 址：(中) 日本國東京都新宿區西新宿二丁目四番一號
(英) _____

國籍：(中英) 日本 JAPAN

參、發明人：(共 1 人)

1. 姓名：(中) 伊藤昭彦
(英) 伊藤昭彦

地 址：(中) 日本國長野縣諏訪市大和三丁目三番五號 精工愛普生股份有限
公司內

(英) 日本国長野県諏訪市大和三丁目三番五号 セイコーエプソン株
式会社内

肆、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2002/06/28 ; 2002-190242 有主張優先權

2. 日本 ; 2003/04/18 ; 2003-114351 有主張優先權

(1)

玖、發明說明

【發明所屬之技術領域】

本發明係有關光電裝置之驅動方法，光電裝置及電子機器，特別是關於根據採用內藏記憶體之畫素的副圖場驅動之等級控制。

【先前技術】

從以往作為中間調顯示方式的一種，知道有副圖場驅動，而在為時間軸調製方式之一種的副圖場驅動之中係將規定的期間(例如：對於動畫的情況係為1畫像之顯示單位之1圖場)分割為複數之副圖場，在由因應應顯示之等級的副圖場之組合來驅動畫素，而被顯示之等級係由佔規定期間之畫素的驅動期間比例所決定，並此比例係由副圖場之組合所特定，而在此方式之中係因如電壓等級法，不必準備對於液晶等之光電元件的施加電壓所需要之顯示等級數量，故可縮小資料線驅動用驅動之電路規模，另外，亦有可控制D/A變換電路或運算擴大器等之特性的不均，或者因各種配線電阻之不均一性等引起之顯示品質降低的優點。

對於專利文獻1係揭示有有關採用內藏記憶體之畫素的副圖場驅動，而具體來說係各自的畫素係具有記憶複數信息單位之等級資料之記憶體與，接續在此畫素內記憶體後段之脈衝幅度控制電路，而脈衝幅度控制電路係因應記憶在畫素內記憶體之資料來將設定畫素之顯示狀態為開啓

(2)

狀態之開啓電壓或，設定畫素之顯示狀態爲關閉狀態之關閉電壓，以選擇性地施加於畫素電極，另，佔 1 圖場之開啓電壓的施加時間比例，即，負荷比係依據記憶在畫素內記憶體之等級資料所特定，而關於某個畫素，如一但將等級資料寫入於其畫素內記憶體，因應所記憶之資料的等級顯示則將繼續。

隨之，對於沒有必要變更等級之畫素係原理上，沒有必要進行再寫入，另一方面，對於應該變更等級之畫素係只將其畫素作爲寫入對象，每次將新的等級資料寫入於畫素內記憶體即可。

[專利文獻 1]

日本特開 2002-082653 號公報

【發明內容】

[欲解決發明之課題]

在揭示於上述以往技術之副圖場驅動之中係利用寫入一次於畫素內記憶體之 k 位元(例如 3 位元)之等級資料，然後進行 2^k 等級(例如 8 等級)之顯示，因此伴隨多等級化，作爲必要之畫素內記憶體也將增加。

本發明係爲有鑑於有關情況所作成之構成，而其目的係針對採用內藏記憶體之畫素的副圖場驅動，不但可控制增加記憶體之記憶容量，更可作爲多等級顯示。

另外，本發明之其他的目的係針對如此之副圖場驅動，可因應動作模式來作顯示等級數之變更。

(3)

[爲解決課題之手段]

爲了解決有關之課題，第 1 發明係提供將規定之期間分割爲第 1 副圖場群與第 2 副圖場群，並根據因應構成等級資料之一部份的第 1 資料與，構成前述等級資料之一部份並與第 1 資料相異之第 2 資料的副圖場之組合來進行等級顯示之同時，各自之畫素具有記憶等級資料之記憶體的光電裝置之驅動方法，而在第 1 步驟之中係將前述第 1 資料寫入於各自之畫素具有之記憶體，而在第 2 步驟之中係依據規定構成前述第 1 副圖場群之各個副圖場之第 1 等級信號，讀出寫入在前述記憶體之第 1 資料之同時，根據對於前述畫素來施加因應該所讀出之第 1 資料的電壓之情況驅動畫素，而在第 3 步驟之中係將前述第 2 資料寫入於前述記憶體，並且，在第 4 步驟之中係依據規定構成前述第 2 副圖場群之各個副圖場之第 2 等級信號，複數次重複讀出寫入在前述記憶體之第 2 資料之同時，根據對於前述畫素來複數次重複施加因應該所讀出之第 2 資料的電壓之情況驅動畫素。

在此，針對第 1 發明，上述第 2 步驟係亦可依據寫入在記憶體之第 1 資料與，規定構成第 1 副圖場群之各個副圖場之等級信號來包含生成第 1 脈衝信號之步驟與，由第 1 脈衝信號之時間密度來施加電壓於畫素之步驟，而同樣地，上述第 4 步驟係亦可依據寫入在記憶體之第 2 資料與，規定構成第 2 副圖場群之各個副圖場之等級信號來包含生成第 2 脈衝信號之步驟與，由第 2 脈衝信號之時間密度

(4)

來施加電壓於畫素之步驟，另外，理想則是第 1 脈衝信號係具有因應第 1 資料之時間密度，而第 2 脈衝信號係具有因應第 2 資料之時間密度。

另外，針對第 1 發明，比起增加第 1 副圖場群之全體加權之設定而增加第 2 副圖場群之全體加權之設定則為理想，由此，與將兩者之加權設定為相同之情況作比較，將可增加等級數，另外，亦可將針對構成第 1 副圖場群之各個副圖場之畫素驅動狀態，由因應等級資料內之下位信息單位列來作決定，並將針對構成第 2 副圖場群之各個副圖場之畫素驅動狀態，由因應等級資料內之上位信息單位列來作決定。

此情況第 1 副圖場群內，將驅動畫素之副圖場，伴隨下位信息單位列所示的値之增加，從接近第 2 副圖場群之副圖場依序來作設定之情況則為理想，相同地，第 2 副圖場群內，將驅動畫素之副圖場，伴隨上位信息單位列所示的値之增加，從接近第 1 副圖場群之副圖場依序來作設定之情況則為理想。

另外，針對第 1 發明，亦可將對於記憶體之第 1 資料的寫入，針對在第 1 副圖場群之最初之副圖場來進行，並將對於記憶體之第 2 資料的寫入，針對在第 2 副圖場群之最初之副圖場來進行，而此情況，在最初之副圖場之中，理想則是無論寫入於記憶體之第 1 資料或第 2 資料，而對於畫素來施加規定電壓之情況。

另外，針對第 1 發明，亦可持續對構成第 1 副圖場群

(5)

之複數副圖場進行對於記憶體之第 1 資料的寫入，並持續對構成第 2 副圖場群之複數副圖場進行對於記憶體之第 2 資料的寫入。

另外，針對第 1 發明，理想則是施加於畫素的電壓係亦至少包含將畫素之顯示狀態作為開啓狀態之開啓電壓與，將畫素之顯示狀態作為關閉狀態之關閉電壓之情況。

第 2 發明係提供將規定之期間分割為複數副圖場，並根據因應構成等級資料之副圖場之組合來進行等級顯示之同時，而各自之畫素具有記憶等級資料之記憶體的光電裝置之驅動方法，此驅動方法係具有第 1 動作模式與第 2 動作模式，而在第 1 動作模式之中係首先，將構成等級資料之一部份相異的信息單位列作為寫入單位，然後將成為寫入單位之資料，以規定之期間內複數次寫入至各個畫素具有之記憶體，並且，將依據各個成為寫入單位之資料的副圖場驅動，以規定之期間內複數進行，對此，在比起第 1 動作模式顯示等級數少之第 2 動作模式之中係首先將比起第 1 等級資料位元數少之第 2 等級資料寫入至記憶體，並且，進行依據第 2 等級資料之副圖場驅動，而在副圖場驅動之中係根據由因應寫入至記憶體之資料與，規定各副圖場之等級信號所決定之時間密度來施加電壓於畫素之情況，進行畫素之驅動。

在此，針對第 2 發明，理想則是在第 1 動作模式之中係於每個規定之期間進行對於記憶體之第 1 等級資料的寫入，並且，在第 2 動作模式之中係於變更畫素顯示等級之

(6)

情況進行對於記憶體之第 2 等級資料的寫入。

另外，針對第 2 發明，亦可針對在因應此資料來決定時間密度之一連串副圖場群之最初副圖場進行對記憶體之資料寫入。

第 3 發明係提供將規定之期間分割為複數副圖場，並根據因應構成等級資料之副圖場之組合來進行等級顯示之光電裝置，而此光電裝置係具有顯示部與，掃描線驅動電路與，資料線驅動電路，而顯示部係具有因應複數掃描線與複數資料線之各交差來設置之複數畫素，而各個畫素係具有畫素電極與，記憶資料之記憶體與，根據由因應記憶於記憶體之時間密度來施加電壓至畫素電極之情況來驅動畫素之脈衝幅度產生電路，而掃描線驅動電路係選擇因應成為資料寫入對象之畫素的掃描線，而資料線驅動電路係於根據掃描線驅動電路選擇掃描線之間，藉由因應成為寫入對象之資料線寫入資料至成為寫入對象之畫素具有的記憶體，另外，資料線驅動電路係將構成等級資料之一部份相異的信息單位列作為寫入單位，然後將成為寫入單位之資料，以規定之期間內複數次寫入至記憶體，並且，脈衝幅度產生電路係針對在規定的期間內，於每個成為記憶至記憶體之寫入單位之資料，依據記憶至記憶體之資料與，規定各副圖場之等級信號，然後根據施加電壓於畫素電極之情況，驅動畫素。

在此，針對第 3 發明，理想則是脈衝幅度產生電路係生成具有因應記憶於記憶體之時間密度之脈衝信號的同時

(7)

，以此脈衝信號的時間密度來施加電壓於畫素電極之情況。

另外，針對第 3 發明，記憶體係亦可由具有 1 位元記憶容量之至少一個記憶體元件構成，而各個記憶體元件係具有根據掃描線驅動電路來控制導通狀態之切換元件與，相互一方之輸出成爲另一方之輸入的一對變換電路，而一對變換電路係切換元件爲關閉的情況，則寫入藉由資料線所供給之資料，另換元件爲開啓的情況，則維持所寫入之資料。

另外，針對第 3 發明，理想則是規定的期間係至少包含第 1 副圖場群與第 2 副圖場群，並脈衝幅度產生電路係生成規定構成第 1 副圖場群之各個副圖場之第 1 等級信號與，規定構成第 2 副圖場群之各個副圖場之第 2 等級信號之情況，而此情況，爲了將第 2 副圖場群全體加權設定比第 1 副圖場群全體加權還大，故第 1 等級信號之頻率數作爲比第 2 等級信號之頻率數還大之情況則爲理想。

另外，針對第 3 發明，理想則是資料線驅動電路係根據第 1 副圖場群來驅動畫素之情況，則將等級資料內之下位信息單位列寫入至記憶體元件，而根據第 2 副圖場群來驅動畫素之情況，則將等級資料內之上位信息單位列寫入至記憶體元件，此情況，脈衝幅度產生電路係第 1 副圖場群內，將驅動畫素之副圖場，伴隨下位信息單位列所示值的增加，從接近第 2 副圖場群之副圖場依序作設定之同時，第 2 副圖場群內，將驅動畫素之副圖場，伴隨上位信息

(8)

單位列所示值的增加，從接近第 1 副圖場群之副圖場依序作設定之情況則為理想。

另外，針對第 3 發明，掃描線驅動電路亦可針對在第 1 副圖場群之最初的副圖場來依序選擇掃描線之同時，針對在第 2 副圖場群之最初的副圖場來依序選擇掃描線，並且，資料線驅動電路係與掃描線驅動電路協作來進行對於記憶體之資料寫入，而此情況，理想則是脈衝幅度產生電路係在最初的副圖場之中，不論寫入至記憶體之資料，而對於畫素電極施加規定之電壓之情況。

另外，針對第 3 發明，掃描線驅動電路亦可針對在第 1 副圖場群之最初的副圖場持續來依序選擇掃描線之同時，針對在第 2 副圖場群之最初的副圖場來依序選擇掃描線，並且，資料線驅動電路係與掃描線驅動電路協作來進行對於記憶體之資料寫入，而此情況，理想則是等級信號產生電路係具有因應各個掃描線之選擇期間來產生移開等級信號之遷移時機之複數移動等級信號的等級信號移動電路之情況。

更加地，針對第 3 發明，理想則是脈衝幅度產生電路係至少施加，將畫素顯示狀態作為開啓之開啓電壓或，將畫素顯示狀態作為關閉之關閉電壓於畫素電極。

第 4 發明係提供具有具備有關上述第 3 發明構成之光電裝置的電子機器。

第 5 發明係針對根據因應將規定之期間分割為第 1 副圖場群與第 2 副圖場群，並根據因應構成等級資料之一部

(9)

份的第 1 資料與，構成前述等級資料之一部份並與第 1 資料相異之第 2 資料的副圖場之組合來進行等級顯示之同時，各自之畫素具有記憶等級資料之記憶體的光電裝置之驅動方法，其特徵係具有將前述第 1 資料寫入至各個畫素具有之記憶體的第 1 步驟與，依據規定構成前述第 1 副圖場群之各個副圖場之第 1 等級信號來讀出寫入在前述記憶體之第 1 資料之同時，對前述畫素供給因應所讀出之第 1 資料之電流的第 2 步驟與，將前述第 2 資料寫入於前述記憶體之第 3 步驟與，依據規定構成前述第 2 副圖場群之各個副圖場之第 2 等級信號，複數次重複讀出寫入在前述記憶體之第 2 資料之同時，對於前述畫素來複數次重複供給因應所讀出之第 2 資料的電流之第 4 步驟。

第 6 發明係針對將規定之期間分割為複數副圖場，並根據因應構成等級資料之副圖場之組合來進行等級顯示之同時，而各自之畫素具有記憶等級資料之記憶體的光電裝置之驅動方法，其特徵係具有在第 1 動作模式之中係將構成等級資料之一部份相異的信息單位列作為寫入單位，然後將成為該寫入單位之資料，以規定之期間內複數次寫入至各個畫素具有之記憶體之同時，將依據各個成為寫入單位之資料的副圖場驅動，以規定之期間內複數進行之第 1 步驟與，在比起前述第 1 動作模式顯示等級數少之第 2 動作模式之中係將比起前述第 1 等級資料位元數少之第 2 等級資料寫入至記憶體之同時，進行依據第 2 等級資料之副圖場驅動之第 2 步驟，並在前述副圖場驅動之中係根據由

(10)

因應寫入至前述記憶體之資料與，規定各副圖場之等級信號所決定之時間密度來施加電流於前述畫素之情況，進行前述畫素之驅動。

【實施方式】

(第 1 實施型態)

圖 1 係為有關本實施型態之光電裝置之構成圖，而對於顯示部係形成有各自延在於 X 方向(行方向)之 m 條之掃描線 112 與，各自延在於 Y 方向(列方向)之 n 條之資料線 114，而畫素 110 係因應掃描線 112 與資料線 114 之各交差所設置著，並針對在顯示部 100 配列成矩陣狀，然而，圖示之 1 條資料線 114 係實際上來說係由複數條之資料線組所構成，且對於各個畫素 110 係內藏有記憶等級資料之記憶體，而包含這些關於畫素 110 之具體構成係在後面有敘述。

對於時機信號產生電路 200 係從無圖示之上位裝置供給稱為垂直同期信號 V_s ，水平同期信號 H_s ，輸入等級資料 $D_0 \sim D_5$ 之點鐘擺信號 $DCLK$ 及，模式信號 $MODE$ 之外部信號，在此，模式信號 $MODE$ 係將顯示等級數指示為多等級模式之第 1 動作模式或，比起第 1 模式顯示等級數少之第 2 動作模式任何一個之信號，而第 1 動作模式係例如為適合多等級動作顯示之模式，另外，第 2 動作模式係例如適合人物顯示之低等級靜止畫面顯示之模式，並與第 1 動作模式來比較，消耗電力也較少，而在本實施型態之

(11)

中，作為一例，將第 1 動作模式之等級數作為 64，並將第 2 動作模式之等級數作為彼此少之 8，而振盪電路 150 係產生讀出時機之基本鐘擺 RCLK，並將此供給至時機信號產生電路 200。

時機信號產生電路 200 係依據外部信號 V_s ， H_s ，DCLK，MODE 來產生包含交流化信號 FR，啟動脈衝 DY，鐘擺信號 CLY，閉鎖脈衝 LP，鐘擺信號 CLX，選擇信號 SEL1，SEL2，復位信號 CL 等之各種內部信號，在此，交流化信號 FR 係為在每 1 圖框進行極性反轉之信號，並供給至顯示部 100 等，而啟動脈衝 DY 係為於後述之各副圖場 SF 之開始時機所輸出之脈衝信號，並根據此脈衝 DY 來控制副圖場 SF 的切換，而鐘擺信號 CLY 係為規定針對在掃描側 (Y 側) 之水平掃描期間 (1H) 之信號，而閉鎖脈衝 LP 係為於最初水平掃描期間所輸出之脈衝信號，在鐘擺信號 CLY 之等級遷移時，即，於開始即結束時所輸出，而鐘擺信號 CLX 係為對於畫素 110 (正確來說係畫素內記憶體) 之資料寫入用之點鐘擺信號，而第 1 選擇信號 SEL1 係為選擇作為產生等級信號 P0~P2 時之基本鐘擺 CK3 所使用之鐘擺 CK1，CK2 之任何一項的信號，而第 2 選擇信號 SEL2 係為選擇 6 位元之輸入等級資料 D0~D5 之一部份的信號，而復位信號 CL 係為將針對在等級信號產生電路 160 之內部計數器之計數值進行歸位之信號。

掃描線驅動電路 130 係將於最初各自之副圖場 SF 所供給之啟動脈衝 DY，隨鐘擺信號 CLY 來進行傳送，並對

(12)

於各掃描線來作為掃描信號 $G_1, G_2, G_3, \dots, G_m$ 依順序排他性地進行供給，由此，從針對同圖之最上的掃描線 112 朝最下之掃描線 112 來 1 條 1 條依序選擇掃描線 112。

資料切換電路 300 係從上位裝置所輸入之 6 位元之輸入等級資料 $D_0 \sim D_5$ 內，選擇下位 3 位元之資料 $D_0 \sim D_2$ 或上位 3 位元之資料 $D_3 \sim D_5$ 之任何一項，並將此輸出至資料線驅動電路 140，而由任何 3 位元之等級資料 $D_0 \sim D_2, D_3 \sim D_5$ 所輸出之情況係由第 2 選擇信號 SEL_2 所指示，即，選擇信號 SEL_2 對於 L 等級之情況係輸出下位 3 位元之等資料 $D_0 \sim D_2$ ，而此對於 H 等級之情況係輸出上位 3 位元之等資料 $D_3 \sim D_5$ 。

選擇信號 SEL_2 之等級狀態係根據動作模式而有所不同，而由模式信號 $MODE$ 來指示第 1 動作模式之情況，第 2 選擇信號 SEL_2 係只在規定的期間 t_1 設定為 L 等級之後，切換成 H 等級，並此 H 等級則只維持在規定的期間 t_2 ，隨之，在前半的期間 t_1 之中係在輸入等級資料 $D_0 \sim D_5$ 內，只有下位資料 $D_0 \sim D_2$ 輸出至資料線驅動電路 140，而針對在此期間 t_1 ，沒被輸出之上位資料 $D_3 \sim D_5$ 係暫時收納於資料切換電路 300 內之圖框記憶體，並且，針對持續於前半的期間 t_1 之後半之的期間 t_2 ，則讀出收納在圖框記憶體之上位資料 $D_3 \sim D_5$ ，並輸出至資料線驅動電路 140，對此，由模式信號 $MODE$ 來指示第 2 動作模式之情況，第 2 選擇信號 SEL_2 係維持在 H 等級，隨之，對於

(13)

此情況係只輸出上位資料 $D_3 \sim D_5$ ，然而，前半的期間 t_1 係相當於後述之第 1 副圖場群之合計期間，而後半的期間 t_2 係相當於後述之第 2 副圖場群之合計期間，並且，合計前半的期間 t_1 與後半的期間 t_2 之期間則相當於 1 圖框。

資料線驅動電路 140 係針對 1 水平掃描期間 (1H)，以並行進行對寫入此資料之畫素行之資料的一並輸出與，關於在接下來的 1H 寫入資料之畫素行的資料之點依序方式之閉鎖，另針對某個水平掃描期間，依序閉鎖相當資料線 114 條數份之資料，並且，針對在接下來的水平掃描期間，這些被閉鎖之資料則作為資料信號 $d_1, d_2, d_3, \dots, d_n$ ，一並輸出至各個資料線 114，而第 1 動作模式之情況，針對在 1 圖框，於下位資料 $D_0 \sim D_2$ 之閉鎖輸出結束後，開始上位資料 $D_3 \sim D_5$ 之閉鎖輸出。

資料線驅動電路 140 係具有 3 系統份由 X 偏移暫存器，第 1 閉鎖電路及第 2 閉鎖電路所構成之電路系統(由此將可進行 3 位元之資料 $D_0 \sim D_2$ (或 $D_3 \sim D_5$)之閉鎖輸出)，而在 1 位元串聯資料之處理系統來看之情況，X 偏移暫存器係隨著鐘擺信號 CLX 來傳送 1 水平掃描期間之最初所供給之閉鎖脈衝 LP，並作為閉鎖信號 $S_1, S_2, S_3, \dots, S_n$ 依順序排他性地進行供給，而第 1 閉鎖電路係針對在閉鎖信號 $S_1, S_2, S_3, \dots, S_n$ 的結束，依序閉鎖 1 位元資料，第 2 閉鎖電路係針對在閉鎖脈衝 LP 的結束來閉鎖根據第 1 閉鎖電路所閉鎖之 1 位元資料，並作為 H 等級或 L 等級之 2 值資料 $d_1, d_2, d_3, \dots, d_n$ 來並行輸出

(14)

至資料線 114。

針對本實施型態，對於各個畫素 110 之畫素電極係並不是直接施加因應資料線 114 之資料的電壓，而是施加由與此不同系統所供給之關閉電壓 V_{off} 或開啓電壓 V_{on} ，而供給至資料線 114 的資料係爲了選擇施加於畫素電極之電壓 V_{off} ， V_{on} 所採用，另一方面，對於與此畫素電極對向之對向電極係施加驅動電壓 L_{COM} ，而爲了交流驅動液晶，將反轉驅動電壓 L_{COM} 各自設定爲 1 圖框或週期性地極性之電壓(例如 0[V]，3[V])，將關閉電壓 V_{off} 設定爲與此相同之電壓(0[V]，3[V])，將開啓電壓 V_{on} 設定爲與此相逆之電壓(3[V]，0[V])。

鐘擺產生電路 170 係與爲外部信號之垂直同期信號 V_s 同期，產生頻率數不同之 2 種類之鐘擺 $CK1$ ， $CK2$ ，而這些鐘擺 $CK1$ ， $CK2$ 的頻率數比係規定第 1 副圖場群全體加權(長度)與第 2 副圖場群全體加權，針對本實施型態，第 1 鐘擺 $CK1$ 的頻率數係設定成第 2 鐘擺 $CK2$ 的頻率數之 8 倍，因此，如後述所述，將第 1 副圖場群全體加權作爲 1 時，第 2 副圖場群全體加權則成爲比此還大的 8。

鐘擺選擇電路 180 係依據第 1 選擇信號 $SEL1$ 來選擇 2 個鐘擺 $CK1$ ， $CK2$ 之任何一項，並將此作爲基本鐘擺 $CK3$ 來輸出至等級信號產生電路 160，而具體來說係選擇信號 $SEL1$ 對於 H 等級之情況係作爲基本鐘擺 $CK3$ 來選擇頻率數高之第 1 鐘擺 $CK1$ ，另一方面，選擇信號 $SEL1$ 對於 L 等級之情況係作爲基本鐘擺 $CK3$ 來選擇比第 1 鐘擺

(15)

CK1 低頻率數之第 2 鐘擺 CK2。

選擇信號 SEL1 之等級狀態係根據動作模式而有所不同，而由模式信號 MODE 來指示第 1 動作模式之情況，選擇信號 SEL1 係只針對在 1 圖框之前半的期間 t_1 定為 H 等級之後，切換成 L 等級並此 L 等級則只維持在規定的期間 t_2 ，隨之，如圖 5 所示，基本鐘擺 CK3 係在前半的期間 t_1 之中係相當於高頻率之第 1 鐘擺 CK1，而在後半的期間 t_2 之中係相當於低頻率之第 2 鐘擺 CK2，對此，指示第 2 動作模式之情況，第 1 選擇信號 SEL1 係維持在 L 等級，隨之，對於此情況係基本鐘擺 CK3 係成為相當於低頻率之第 2 鐘擺 CK2。

等級信號產生電路 160 係依據基本鐘擺 CK3 來產生規定各副圖場 SF(及這些期間)之 3 個等級信號 P0~P2，而此產生電路 160 係內藏有將基本鐘擺 CK3 之開始進行計數之計數器，而此內部計數器係第 1 選擇信號 SEL1 對於 H 等級之情況係依序縮減 3 位元之計數值，而對於 L 等級之情況係依序增加計數值，而由計數器之計數值係根據從復位信號 CL 之指示所復位，另，3 位元之計數值因應著等級信號 P0~P2 之輸出等級 (P1P2P0)，並根據這些等級信號 P0~P2 指定各個副圖場 SF 的期間，例如現在的計數值為 "100" 的情況，此值則因應等級信號 (P1P2P0) 之 "HLL(=100)"，而相當於此輸出等級之副圖場 SF 係在第 1 副圖場群係成為副圖場 SF5，在第 2 副圖場群係成為副圖場 SF13(參照圖 5)。

(16)

接著，邊參照圖 9 邊就有關針對在第 1 動作模式之副圖場驅動的概要進行說明，在第 1 動作模式之中係應進行 64 等級顯示，而為 1 畫像之顯示單位之 1 圖框 (1F) 則分割為 16 個副圖場 SF，另將前半之副圖場 SF1~SF8 作為 [第 1 副圖場群]，而將後半之副圖場 SF9~SF16 作為 [第 2 副圖場群]，然而，副圖場 SF 之分割數係因因應等級數作適宜的設定，故本發明當然並無限定此分割數。

針對與應該顯示等級之關係，等間隔之各副圖場 SF1~SF9 係設定為賦予等級 "1" 之加權的長度 (顯示其間)，而各個副圖場 SF1~SF9 之加權係可為實質上相同，而亦可因應液晶的特性來在例如 20% 程度範圍內作適當的調整 (例如，1:1，1:…:0.9)，另外，等間隔之各副圖場 SF10~SF16 係比副圖場 SF1~SF9 的長度還大，而設定為賦予等級 "8" 之加權的長度，而各個副圖場 SF10~SF16 之加權係可為實質上相同，而亦可因應液晶的特性來在例如 20% 程度範圍內作適當的調整 (例如，8:8，1:…:7.9)，然而亦有如將前半與後半之副圖場的加權設定為例如 1:8.1 地根據液晶的特性來調整加權之情況，而針對在副圖場 SF2~SF8 之畫素 110 的顯示狀態之開啓/關閉狀態係由下位 3 位元之等級資料 D0~D2 所決定，而針對在副圖場 SF10~SF16 之畫素 110 的顯示狀態之開啓/關閉狀態係由上位 3 位元之等級資料 D3~D5 所決定，另外，在副圖場 SF1，SF9 之中係不論等級資料 D0~D5 而施加規定的電位 (例如開啓電壓) 於畫素 110，然後將畫素 110 之顯示狀態

(17)

設定成規定的狀態(開啓狀態)，而設置如此副圖場 SF1，SF9 的理由係針對在有關於液晶等之光電材料之電壓-透過率特性(或電-反射率特性)，爲了傳達透過率(或反射率)開始進行之臨限值電壓 V_{th} ，然而，如在謀求對比特性改善之觀點來說，只有在等級"0"之情況，將副圖場 SF1，SF9 設定爲關閉狀態，並亦可將 1 圖框全體設定爲關閉狀態或者，將副圖場 SF1 設定爲關閉，而將副圖場 SF9 設定爲開啓也可以。

畫素 110 之顯示等級係基本來說，根據因應設定畫素 110 之顯示狀態爲開啓狀態之副圖場 SF 的組合之實效電壓所決定，但此組合係因等級資料 D0~D5 所一義特定，而以下，於進行某個等級顯示時，設定畫素 110 之顯示狀態爲開啓狀態，即，將施加驅動畫素 110 之電壓的副圖場 SF 稱爲[開啓・副圖場 SFon]，另外，設定畫素 110 之顯示狀態爲關閉狀態，即，將施加不使畫素 110 進行驅動之電壓的副圖場 SF 稱爲[關閉・副圖場 SFoff]。

具體來說係根據下位 3 位元之等級資料 D0~D2，決定構成第 1 副圖場群之各副圖場 SF2~SF8 的開啓狀態或關閉狀態，例如，針對圖 9，下位 3 位元(D2DD1D0)對於"001"之情況係副圖場 SF8 則成爲開啓狀態，而對於"010"之情況係副圖場 SF7，SF8 則成爲開啓狀態，而關於第 1 副圖場群係基本上，伴隨下位信息單位列(D2D1D0)所示值的增加，依從接近第 2 副圖場群順序設定開啓・副圖場 SFon，另一方面，根據上位 3 位元之等級資料 D3~D5，決

(18)

定構成第 2 副圖場群之各副圖場 SF10~SF16 的開啓狀態或關閉狀態，例如，上位 3 位元 (D5DD4D3)對於” 000”之情況係副圖場 SF10~SF16 則全部成爲關閉狀態，並對於”111”之情況係副圖場 SF10~SF16 則全部成爲開啓狀態，而關於第 2 副圖場群係基本上，伴隨上位信息單位列 (D5D3D3)所示值的增加，依從接近第 1 副圖場群順序設定關閉・副圖場 SFoff。

本副圖場驅動之特徵之一係針對在規定的期間(在本實施型態之中係 1 圖框)，由寫入 2 次等級信號於畫素 110 來連續進行 2 次的副圖場驅動的點，而具體來說係首先在副圖場 SF1 寫入下位 3 位元之資料 D0~D2 於畫素 110 後，進行將副圖場群 SF2~SF8 作爲對像之畫素 110 的驅動，接著，在副圖場 SF9 寫入上位 3 位元之資料 D3~D5 於畫素 110 後，進行將副圖場群 SF10~SF16 作爲對像之畫素 110 的驅動，基本上，作用於液晶等之實效電壓係因依存於佔 1 圖框之開啓・副圖場 SFon 之累積長度(顯示期間)，故此長度越增加則等級則變越大(正常黑模式之情況)，而在本實施型態之中係針對在 1 圖框之前半的期間 t1，依據下位 3 位元之資料 D0~D2，設定加權”1”之副圖場群 SF2~SF8 之開啓/關閉狀態，並且，針對在其後半的期間 t2，依據上位 3 位元之資料 D3~D5，設定加權” 8”之副圖場群 SF10~SF16 之開啓/關閉狀態，由此，針對在 1 圖框全體的期間(t1+t2)，將可進行由 6 位元之等級資料 D0~D5 之 64 等級顯示。

(19)

另外，本副圖場驅動之其他特徵係有著根據連續性地設定開啓・副圖場 SFon 之情況控制顯示等級之偏移，謀求顯示品質之提升的點，而畫素 110 之顯示等級係理想上，由佔空率所決定，但亦受到開啓・副圖場 SFon 之連續性之影響，即，佔空率即使為相同，在設定畫素之顯示狀態為開啓狀態之副圖場亦在 1 圖框內成為連續之情況與，此成為斷續之情況之中係於實際的顯示等級產生偏移，因此，根據等級信號，在如此之副圖場之組合出現連續場合與斷續場合之雙方的副圖場驅動之中係特別示進行多等極化之情況，有著高品質顯示變為困難之問題，因此，在本副圖場驅動之中係如圖 9 所示，基本上，針對所有的等級在 1 圖框內，開啓・副圖場 SFon 則成為連續性地組合開啓・副圖場 SFon，由此防止開啓・副圖場 SFon 之連續或斷續之不同所引起之等級偏移。

接著，關於畫素 110 之具體構成來進行說明，圖 2 係表示有關本實施型態之記憶體內藏型之畫素 110 之構成的電路圖，而為畫像之最小構成單位之畫素 110 係由記憶體 131，脈衝幅度控制電路 132 及，為光電元件之液晶 137 所構成，而記憶體 131 係應記憶 3 位元資料，而各自責由具有 1 位元記憶容量之 3 個記憶體元件 131a~131c 所構成，而各自之記憶體 131 係記憶藉由資料線 114 所供給之資料信號 d (“d”係指資料信號 d1, d2, d3, … dn 之任何一個)之”1”或”0”，然而，圖 1 所示之 1 條資料線 114 係由 3 系統之資料線 114 所構成，並作為資料信號 d 來各自供給

(20)

上述之 3 位元資料，另外，如圖 3 所示，1 系統之資料線 114 係具有 2 條之資料線 114a，114b，而對於一方之資料線 114a 係供給資料信號 d，並對於一方之資料線 114b 係供給使資料信號 d 之等級反轉之反轉資料信號 /d，而脈衝幅度控制電路 132 係由解碼器 138，變換電路 133 及一對傳輸門電路 134a，134b 所構成，而此脈衝幅度控制電路 132 係依據等級信號 P0~P2 來產生具有因應等級資料 D0~D5 之時間密度的脈衝信號 PW。

圖 3 係為 1 個記憶體元件 131 之電路圖，而此記憶體元件 131 係為具有一對之變換電路 1301，1302 與，一對之電晶體 1303，1304 之靜態記憶體 (SRAM) 構成，而變換電路 1301，1302 係具有一方之輸出端接續於另一方之輸入端之觸發電路構成，並記憶 1 位元之資料，而作為切換元件來發揮機能之電晶體 1303，1304 係為資料寫入時或資料讀出時成為開啓狀態之 N 通道電晶體，而一方的電晶體 1303 之汲極係被接續於供給變換電路 1301 之輸入與變換電路 1302 之輸出的端子 (Q 輸出)，而其源極 (D 輸入) 係被接續在資料線 114a，另外，另一方之電晶體 1304 之汲極係被接續於供給變換電路 1301 之輸出與變換電路 1302 之輸入的端子 (/Q 輸出)，而其源極 (/D 輸入) 係被接續在資料線 114b，並且，這些電晶體 1303，1304 之閘道 (G 輸入) 係共通接續在掃描線 112。

針對如此之構成，掃描線 112 之掃描信號 G (“G”係指掃描信號 G1，G2，G3，…，Gm 之任何一個) 為 H 等級之

(21)

情況，電晶體 1303，1304 則共同呈為開啓狀態，由此，由資料線 114a 所供給之資料信號 $d(/d)$ 則記憶於由一對變換電路 1301，1302 所構成之記憶體元件，而所記憶之資料信號 d 係掃描信號 G 則成爲 L 等級，並在變換電路 1301，1302 共同成爲關閉狀態後亦被保存，而針對在由如此之掃描信號 G 之控制下，記憶在記憶體元件 110a 之 1 位元之資料信號 d 係因應需要而進行改寫。

針對圖 2，對於構成脈衝幅度控制電路 132 一部份之解碼器 138 係輸入從各個記憶體元件 131a~131c 之 3 位元份之 Q 輸出與，從等級信號產生電路 160 所輸出之等級信號 $P0\sim P2$ ，而解碼器 138 係進行輸入這些之理論演算，並作爲其演算結果來輸出脈衝信號 PW ，而脈衝信號 PW 係爲在 1 圖框內具有因應寫入於記憶體元件 131a~131c 之等級資料 $D0\sim D2$ 之佔空率(時間密度)之信號，而圖 4 係對於 3 位元資料 ($D0\sim D2$ 或 $D0\sim D5$) 與等級信號 $P0\sim P2$ 之輸入，從解碼器 138 所輸出之脈衝信號 PW 之可靠真值表，例如 3 位元資料爲 "011"，等級信號爲 "101(HLH)" 之情況，脈衝信號 PW 係成爲 "0"，即 L 等級。

設置在解碼器 138 後段之一對傳輸門電路 134a，134b 之輸出端係接續在畫素電極 135，而對於此畫素電極 135 與對向電極 136 之間係夾合液晶 137 來形成液晶層，而對向電極 136 係爲與形成在元件基板之畫素電極 135 對向地形成一面於對向電極之透明電極，而如上述所述，對於此對向電極 136 係供給驅動電壓 $L COM$ 。

(22)

從解碼器 138 所輸出之脈衝信號 PW 係供給至構成一方之傳輸門電路 134a 一部份之 P 通道電晶體之閘道與，構成另一方之傳輸門電路 134b 一部份之 N 通道電晶體之閘道，另外，此脈衝信號 PW 係根據變換電路 133 來等級反轉後，供給至針對在一方之傳輸門電路 134a 之 P 通道電晶體之閘道與，針對在另一方之傳輸門電路 134b 之 N 通道電晶體之閘道，而各自之傳輸門電路 134a，134b 係對於傳達 L 等級之閘道信號於 P 通道電晶體，且傳達 H 等級之閘道信號於 N 通道電晶體之情況，成為開啓狀態，隨之，一對之傳輸門電路 134a，134b 係因應脈衝信號 PW 之等級，任合一個擇一性地成為開啓狀態，另外，對於一方之傳輸門電路 134a 之輸入端係供給關閉電壓 V_{off} ，而對於另一方之傳輸門電路 134b 之輸入端係供給開啓電壓 V_{on} 。

(第 1 動作模式)

在第 1 動作模式之中係在 1 圖框進行 2 次資料寫入，並在 1 圖框連續進行將第 1 副圖場群為對象之畫素 110 的驅動與，將第 2 副圖場群為對象之畫素 110 的驅動，而進行前者驅動之情況，如圖 6(a)所示，針對最初之副圖場 SF1，對於所有畫素 110 內之記憶體元件 131a~131c 寫入下位 3 位元之等級資料 D0~D2，具體來說，掃描線驅動電路 130 係針對在副圖場 SF1，進行 1 條 1 條選擇掃描線 112 之線順序掃描，而資料線驅動電路 140 係與掃描線驅

(23)

動電路 130 協作，於選擇某個掃描線 112 之間，對於因應所選擇之掃描線 112 之的畫素行，藉由資料線 114 來供給 1 畫素份之等級資料 D0~D2，而有關成為寫入對象之 1 行份之畫素 110 係根據掃描線 112 之選擇，記憶體元件 131a~131c 之 G 輸入則成為 H 等級，隨之，有關成為因應所選擇之掃描線 112 與資料線 114 之各交差的輸入對象之畫素 110，對於各記憶體元件 131a~131c 寫入等級資料 D0~D2，而寫入在記憶體元件 131a~131c 之等級資料 D0~D2 係在掃描線 112 之選擇後亦被保存，如上述，進行資料寫入之最初副圖場 SF1 係必須成為開啓狀態，但持續此之副圖場 SF2~SF8 之開啓/關閉係根據寫入於記憶體元件 131a~131c 之等級資料 D0~D2 所決定。

對此，進行後者之驅動的情況，針對最初之副圖場 SF9，對於所有畫素 110 內之記憶體元件 131a~131c 寫入上位 3 位元之等級資料 D3~D5，即，如圖 6(a)所示，掃描線驅動電路 130 係針對在副圖場 SF9，進行上述之線順序掃描之同時，資料線驅動電路 140 係與掃描線驅動電路 130 協作，對於因應所選擇之掃描線 112 之畫素行來供給 1 畫素行份之等級資料 D3~D5，而藉由資料線 114 所供給之等級資料 D3~D5 係寫入在各記憶體元件 131a~131c，並掃描線 112 之選擇後亦被保存，由此，記憶體元件 131a~131c 之記憶容量係從下位 3 位元之等級資料 D0~D2 改寫為上位 3 位元之等級資料 D3~D5，進行資料寫入之最初副圖場 SF9 係必須成為開啓狀態，但持續此之副圖場

(24)

SF10~SF16 之開啓 / 關閉係根據寫入於記憶體元件 131a~131c 之等級資料 D3~D5 所決定。

因應記憶 3 位元資料 (D0~D2 或 D3~D5) 由記憶體元件 131a~131c 所構成之記憶體 131 與，脈衝幅度控制電路 132 所記憶之 3 位元資料與，等級信號 P0~P2 來將規定時間密度之脈衝信號 PW 設定為 H 等級或 L 等級，而在脈衝信號 PW 成為 H 等級之期間 (開啓・副圖場 SFon) 之中係因傳輸門電路 134b 成為開啓狀態，故對於畫素電極係施加電壓 Von，而對於與此畫素電極 135 對向之對向電極 136 係因施加與開啓電壓 Von 逆相之驅動電壓 LCOM，故液晶 137 之施加電壓 VLCD 係成為將畫素 110 之顯示狀態作為開啓狀態之電壓，對此在脈衝信號 PW 成為 L 等級之期間 (關閉・副圖場 SFoff) 之中係因傳輸門電路 134a 成為開啓狀態，故對於畫素電極 135 係施加關閉電壓 Voff，而對於對向電極 136 係因施加與關閉電壓 Voff 同相之驅動電壓 LCOM，故液晶 137 之施加電壓 VLCD 係成為將畫素 110 之顯示狀態作為關閉狀態之電壓，如此，畫素 110 之驅動係根據在脈衝信號 PW 隻時間密度施加電壓於畫素電極 135 之情況來進行。

如圖 4 之可靠真值表所示，記憶在記憶體 131 之 3 位元資料為 "000" 之情況，等級信號 (P0P2) = 只有 "000" PW = 成為 "1"，隨之，因應此等級信號 "000" 之副圖場 SF1 (或 SF9) 則成為開啓・副圖場 SFon，除此之外則成為關閉・副圖場 SFoff，接著，3 位元資料為 "001" 之情況，針對

(25)

等級信號 (POP1P2) = "000" , "001" PW = 成爲 "1" , 隨之 , 只有應這些的副圖場 SF1 , SF8 (或 SF9~SF10) 則成爲開啓 · 副圖場 SFon , 另外 , 3 位元資料爲 "010" 之情況 , 針對等級信號 (POP1P2) = "000" , "010" , "001" PW = 成爲 "1" , 隨之 , 只有應這些的副圖場 SF1 , SF7~SF8 (或 SF9~SF11) 則成爲開啓 · 副圖場 SFon , 而有關這之後的等級信號亦爲相同 , 並因應記憶在記憶體 131 之 3 位元資料 , 決定脈衝信號 PW 成爲 H 等級之開啓 · 副圖場 SFon 或脈衝信號 PW 成爲 L 等級之開啓 · 副圖場 SFon 。

針對第 1 動作模式之 64 等級顯示係針對在 1 圖框 , 根據寫入 2 次 3 位元資料於記憶體 131 之情況所表現 , 例如 , 6 位元之等級資料 D0~D5 爲 "010011" 之情況 (等級 = 19) , 針對在前半 , 下位 3 位元 (D2D1D0) = "011" 則被寫入於記憶體 131 , 由此 , 加上於副圖場 SF1 , 然後因應 "011" 之副圖場 SF6~SF8 則被設定爲開啓 · 副圖場 SFon , 而針對在繼續之後半 , 上位 3 位元 (D5D4D3) = "010" 則被寫入於記憶體 131 , 由此 , 加上於副圖場 SF9 , 然後因應 "010" 之副圖場 SF10~SF11 則被設定爲開啓 · 副圖場 SFon , 其結果 , 針對在 1 圖框畫素 110 之顯示狀態則進行開啓之期間係相當於副圖場 SF1 , SF6~SF11 之合計期間 , 並顯示等級 "19" 。

(第 2 動作模式)

在第 2 動作模式之中係如圖 10 所示 , 只繼續將第 2

(26)

副圖場群作為對象之圖場驅動，而如上述，根據模式信號 MODE 來指示第 2 動作模式之情況，第 1 選擇信號 SEL1 係為 L 等級，並第 2 選擇信號 SEL2 係成為 H 等級，隨之，作為等級資料只利用上位 3 位元 D3~D5，且只重複進行第 2 副圖場群，進行 8 等級顯示用之副圖場驅動。

與第 1 動作模式相同，在第 2 動作模式之中係針對在最初之副圖場 SF9，對於所有畫素 110 內之記憶體 131 寫入上位 3 位元之等級資料 D3~D5，而進行此資料寫入之最初之副圖場 SF9 係必須呈為開啓狀態，但持續之副圖場 SF10~SF16 之開啓/關閉狀態係由寫入於記憶體 131 之等級資料 D3~D5 所決定，而顯示靜止畫像之情況，如一旦記憶等級資料 D3~D5 於記憶體 131，只要不產生改變畫素 110 之顯示等級之必要性，將不必進行資料的再寫入，隨之，在第 2 次以後之副圖場 SF9 之中係亦可不進行由線次序掃描之資料寫入而只採用由記憶體 131 所讀出之 3 位元資料來進行第 2 次以後之副圖場驅動，由此，與重複進行資料寫入於每個副圖場 SF9 之方法來作比較，將可降低針對在第 2 動作模式實行時之消耗電力，但將與先前寫入之等級資料 D3~D5 相同之資料，對於每個副圖場 SF9 當然亦可重複寫入於記憶體 131。

然而，針對在第 2 動作模式，亦可只取代上述第 2 副圖場群之驅動來只進行第 1 副圖場群之驅動，而對於此情況係在將第 1 選擇信號 SEL1 作為 H 等級，並將第 2 選擇信號 SEL2 作為 L 等級之後，只採用下為 3 位元之資料

(27)

D0~D2 來驅動畫素 110，另外亦可進行採用第 1 及第 2 副圖場群之雙方的驅動，此情況，副圖場群之設定自體係成爲與第 1 動作模式相同，但變爲可根據只採用 3 位元之等級資料之情況來進行低等級顯示。

如此，在本實施型態之中係將構成等級資料 D0~D5 之一部份之相互不同之信息單位列，作爲寫入單位，並將成爲此寫入單位之資料 D0~D2(或 D3~D5)，在 1 圖框內寫入 2 次於記憶體 131，並且將依據成爲寫入單位之資料 D0~D2(或 D3~D5)之副圖場驅動，在 1 圖框內寫入 2 次，由此，比較於對於每 1 圖框只進行 1 次資料寫入之情況，將不會招致記憶體 131 之記憶容量增加而更可進行多等級顯示，然而，再上述之實施型態之中係關於將針對 1 圖框之等級資料之寫入次數作爲 2 次，並進行 2 次副圖場驅動的例子已說明過，但，針對 1 圖框，亦可由寫入 3 次以上資料來進行 3 次以上副圖場驅動，而對於此情況係加上於上述第 1 及第 2 副圖場群來附加第 3 以後之副圖場群，例如如由 (D0, D1) 與 (D2, D3) 與 (D4, D5) 之 3 次寫入來達成 64 等級顯示或，如由 (D0, D2) 與 (D3, D5) 與 (D6, D8) 之 3 次寫入來達成 512 等級顯示。

另外，在本實施型態之中係作爲可切換之模式，設定第 1 模式與第 2 模式，並因應顯示內容的特性來適宜切換這些，例如，如對於顯示多等級之動畫係選擇第 1 模式，而顯示人物之低等靜止畫面之情況係將比顯示等級數還低耗電力畫作爲優先來選擇第 2 模式，由此，將可進行適

(28)

合顯示內容之顯示控制，盡而可謀求顯示品質與低消耗電力之情況。

另外，如根據有關本實施型態之副圖場驅動，有可謀求顯示品質提升之效果，這是因為針對在構成 1 圖框之第 1 副圖場群與第 2 副圖場群，基本上開啓。副圖場 SF_n 作為連續地設定副圖場之組合，由此，因可防止因開啓。副圖場 SF_n 之連續或斷續不同的起因之等級偏移，故可更提升顯示品質。

然而，在上述之本實施型態之中係如圖 6(a)所示，關於先行進行副圖場 SF₂~SF₈(或 SF₁₀~SF₁₆)之開啓/關閉設定並在副圖場 SF₁(或 SF₉)進行等級資料 D₀~D₂(或 D₃~D₅)之寫入的例子已說明過，但，本發明並不限定此構成，而如同圖 (b)所示，亦可將等級資料 D₀~D₂(或 D₃~D₅)之寫入與，副圖場 SF₂~SF₈(或 SF₁₀~SF₁₆)之開啓/關閉設定並形來進行，也就是亦可對構成副圖場群之複數副圖場持續進行對於記憶體 131 之資料寫入。

此情況，由相同時機之等級信號 P_{2P1P0} 無法並行進行副圖場驅動與資料寫入，而對於實現此係有必要設置例如圖 7 所示之等級信號偏移電路 161 於等級信號產生電路 160，而此偏移電路 161 係因應掃描線 112 之選擇期間來重新產生將遷移時機偏移之 m 個之偏移等級信號 P_{(0~2)1}，P_{(0~2)1}，…，P_{(0~2)m}，並將此供給至因應各掃描線 112 之畫素行，也就是將與各個掃描線 112 之選擇同期之副圖場 SF 設定於每個掃描線 112，在此，P_{(0~2)m} 係對於

因應 m 條掃描線 112 之畫素行所供給，顯示 3 個偏移等級信號。

此等級信號偏移電路 161 係由輸入基本等級信號 P_0 之第 1 偏移暫存器 161a 與，輸入基本等級信號 P_1 之第 2 偏移暫存器 161b 與，輸入基本等級信號 P_2 之第 3 偏移暫存器 161c 所構成，而對於這些偏移暫存器 161a~161c 係輸入規定 1 水平掃描期間 (1H) 之鐘擺信號 GCK。

圖 8 係為偏移信號之時機圖表，而第 1 偏移暫存器 161a 係隨著鐘擺信號 GCK 來傳送基本等級信號 P_0 ，再產生因應各自畫素行之基本等級信號 P_{01} ， P_{02} ，... P_{0m} ，並且，各自之信號 P_{01} ， P_{02} ，... P_{0m} 係對於因應之畫素行來輸出，而第 2 偏移暫存器 161b 係隨著鐘擺信號 GCK 來傳送基本等級信號 P_1 ，再產生因應各自畫素行之基本等級信號 P_{11} ， P_{12} ，... P_{1m} ，並且，各自之信號 P_{11} ， P_{12} ，... P_{1m} 係對於因應之畫素行來輸出，第 3 偏移暫存器 161c 係隨著鐘擺信號 GCK 來傳送基本等級信號 P_2 ，再產生因應各自畫素行之基本等級信號 P_{21} ， P_{22} ，... P_{2m} ，並且，各自之信號 P_{21} ， P_{22} ，... P_{2m} 係對於因應之畫素行來輸出，由此，因可使針對在各個畫素行之掃描線 112 之選擇與，對於其畫素行之副圖場 SF 之期間作為同期之情況，故即使為正在進行依序選擇掃描線 112，亦可開始畫素 110 之驅動。

另外，在上述之實施型態之中係採用驅動電壓 LCOM 與，與此同相之關閉電壓 V_{off} 與，與此相逆之開啓電壓

(30)

V_{on} 來使液晶進行交流驅動，但，液晶之交流驅動係並不限定此構成，當然亦可採用其他方式，圖 13 係為表示記憶體內藏型之畫素 110 的變形例電路圖，然而，針對同圖，關於與圖 2 同樣之構成要素係附上相同的符號，在此則省略說明，而對於畫素 110 之對向電極 136 係施加一定電壓 V_c(例如 0[V])，另外對於畫素電極 135 係因應記憶在記憶體 131 之資料來將 V_c 或 V₁(V₂)擇一進行施加，在此，電壓 V₁ 係為與電壓 V_c 作比較只有電壓 V_H 高之電壓，而電壓 V₂ 係為與電壓 V_c 作比較只有電壓 V_H 低之電壓。

另外，針對有關上述之實施型態之副圖場驅動，因應各副圖場 SF 之加權設定或等級資料之組合方法係為一例，本發明係不限於此構成，例如，將第 1 副圖場群與第 2 副圖場群的加權設定為相同之情況(等間格副圖場驅動)，可由 6 位元之等級資料 D₀~D₅ 來進行 16 等級顯示(第 1 動作模式時)，另外，例如對於將各副圖場 SF 之加權設定為 2^k (k=0, 1, 2, ...)之副圖場驅動亦可適用。

圖 11 係設定為附 2^k 加權之副圖場驅動之說明圖(第 1 動作模式時)，另外，圖 12 係進行圖 11 所示之副圖場驅動時，從解碼器 138 所輸出之脈衝信號 PW 可靠真直表，而與上述之實施型態相同地，輸入等級資料係由 D₀~D₅ 之 6 位元所構成，另 1 圖框係應可進行 64 等級顯示，並分割為 6 個副圖場 SF₁~SF₆，而第 2 副圖場群 SF₄~SF₆ 之加權係設定成第 1 副圖場群 SF₁~SF₃ 之加權的 8 倍，另外，各自之副圖場 SF₁~SF₃(或 SF₄~SF₆)之加權係設定成

(31)

4:1:2。

根據下位 3 位元之等級資料 D0~D2 來決定第 1 副圖場群 SF1~SF3 之開啓或關閉狀態，例如對於下位 3 位元 (D2D1D0) 爲 "001" 之情況係副圖場 S3 則成爲開啓狀態，另一方面，根據上位 3 位元之等級資料 D3~D5 來決定第 2 副圖場群 SF4~SF6 之開啓或關閉狀態，例如對於上位 3 位元 (D5D4D3) 爲 "000" 之情況係副圖場 SF4~SF6 則所有成爲關閉狀態，並對於爲 "111" 之情況係副圖場 SF4~SF6 則所有成爲開啓狀態，另與上述之實施型態相同，針對在 1 圖框，6 位元之等級資料 D0~D5 則 3 位元 3 位元地被寫入 2 次，並連續性地進行 2 次副圖場驅動。

另外，在上述之副圖場驅動之中係關於根據對於畫素電極 135 來將 2 值電壓(開啓電壓，關閉電壓)擇一地進行施加之情況，設定畫素 110 成 2 個驅動狀態(驅動狀態爲開啓狀態或關閉狀態)之任何一個的例子已說明過，但，本發明係不限於此構成，另亦可根據對於畫素電極 135 來施加 3 個電壓(開啓電壓，關閉電壓，中間電壓)之情況，設定畫素 110 之驅動狀態爲 3 個以上，也就是，即使對於並用電壓等級調製與副圖場驅動之驅動方法亦可適用於本發明，另外，在上述之實施型態之中係關於以線順序掃描來進行對畫素內記憶體之資料寫入已說明過，但，本發明係不限於此構成，另亦可例如由點順序掃描或隨機選擇來進行之。

又，在上述之實施型態之中係關於作爲光電元件採用

(32)

液晶(LC)的例子已說明過，而作為液晶例如可廣泛採用包含 TN(Twisted Nematic)型之其他，具有 180° 以上旋轉配向之 STN(Super Twisted Nematic)型，BTN(Bi-stable Twisted Nematic)型，具有強誘電型等之記憶性之雙安定型，高分子分散型，主客行等之周知之構成，另外，本發明係對於為 3 端子切換元件之 TFT(Thin Film Transistor)以外，例如對於採用 TFD(Thin Film Diode)之 2 端子切換元件之有源矩陣型面板亦可適用，同時，本發明係對於無採用切換元件之無源矩陣型面板亦可適用，又，對於液晶以外之光電材料，例如，採用電致發光(EL)，數位微透鏡裝置(DMD)，或由等離子發光及電子釋放之螢光等各種光電元件亦可適用。

(第 2 實施型態)

例如，作為光電元件採用有機 EL 元件，且可由電流程序方式來進行對畫素 2 之資料寫入，而在此[電流程序方式]係只由電流基數進行對資料線的資料供給，而有關本實施型態之光電裝置之構成，基本上亦與第 1 實施型態相同。

圖 14 係表示採用有關本實施型態之有機 EL 元件之電流程序方式的畫素 110 一例之等效電路圖，而 1 個畫素 110 係由有機 EL 元件 OLED，3 個電晶體 T1，T2，T3 及電容器 C 所構成，而第 1 切換電晶體 T1 係接續於供給掃描信號 SEL 之掃描線 Y_n ，並其源極係接續於供給資料電

流 I_{data} 之資料線 X_m ，而第 1 切換電晶體 T_1 之汲極係共通接續於第 2 切換電晶體 T_2 之源極與，驅動電晶體 T_4 之汲極與，有機 EL 元件 OLED 的陽極，而第 2 切換電晶體 T_2 之閘道係與第 1 切換電晶體 T_1 相同第接續於供給掃描信號 SEL 之掃描線 Y_n ，而第 2 切換電晶體 T_2 之汲極係共通接續於電容器 C 之一方的電極與，驅動電晶體 T_4 之閘道，而電容器 C 之另一方的電極與驅動電晶體 T_4 之源極係共通接續於設定為電源電壓 V_{dd} 之第 1 電源線 L_1 ，而另一方面，有機 EL 元件 OLED 之陰極係接續於設定為電壓 V_{ss} 之電源線 L_2 。

圖 14 所示之畫素 110 之控制程序係如以下，針對掃描線 SEL 在 H 等級期間，切換電晶體 T_1 ， T_2 共同作為開啓，由此，以電接續資料線 X_m 與驅動電晶體 T_4 之汲極的同時，驅動電晶體 T_4 係成為以電接續本身的閘道與本身的汲極之二極體接續，而也擔當作為程序編製電晶體之機能的驅動電晶體 T_4 係將由資料線 X_m 所供給之資料電流 I_{data} 流動至本身的通道，再使因應此資料電流 I_{data} 之閘道電壓 V_g 產生在本身的閘道，而其結果，對於接續在驅動電晶體 T_4 之閘道的電容器 C 係儲存因應產生之閘道電壓 V_g 的電荷，然後寫入資料，之後，掃描線 SEL 當 L 等級結束時，切換電晶體 T_1 ， T_2 共同作為關閉，由此，資料線 X_m 與驅動電晶體 T_4 之汲極則電遮斷，但，根據電容器 C 之儲存電荷，因對於驅動電晶體 T_4 之閘道施加相當閘道電壓 V_g ，故驅動電晶體 T_4 係持續流動因應閘

(34)

道電壓 V_g 之驅動電流至本身的通道，其結果，設置在此驅動電流之電流路徑中的有機 EL 元件 OLED 係由因應驅動電流之光度來發光進行畫素 110 之等級顯示。

如此，在本實施型態之中係畫素 110 則包含有機 EL 元件 OLED，且即使針對在由電流程序方式來寫入資料至畫素 110 之光電裝置，亦可得到與上述各實施型態相同之效果。

然而，具有可高品質等級顯示之顯示部 100(不論投射型，反射型之其他)之光電裝置係可實裝於例如包含投射器，行動電話，行動終端，微型電腦，PC 之電子機器，而如實裝上述之光電裝置於這些電子機器，將更可提升電子機器之商品價值，進而可謀求針對在市場之電子機器商品訴求力之提升。

(發明之效果)

本發明之中係針對在 1 圖框，邊複數次寫入等級資料於畫素內記憶體，邊複數次執行副圖場驅動，由此，不但可控制增加記憶體之記憶容量，更可作為多等級顯示，另外，顯示等級數作為不同之動作模式來設定第 1 動作模式與第 2 動作模式，並因應顯示內容來適宜變更動作模式，由此，因可進行適合顯示內容之等級控制，故可謀求顯示品質之提升與低消耗電力化。

【圖式簡單說明】

(35)

圖 1 係為光電裝置之構成圖。

圖 2 係表示記憶體內藏型畫素之構成電路圖。

圖 3 係表示記憶體元件之構成電路圖。

圖 4 係從解碼器所輸出之脈衝信號的可靠真值表。

圖 5 係針對在第 1 動作模式之內部信號的時機圖表。

圖 6 係針對在第 1 動作模式之掃描時機的說明圖。

圖 7 係等級信號偏移電路之構成圖。

圖 8 係將等級信號偏移掃描與顯示並行進行之情況的時機圖表。

圖 9 係針對在第 1 動作模式之副圖場驅動的說明圖。

圖 10 係針對在第 2 動作模式之副圖場驅動的說明圖

圖 11 係附 2^k 加權之副圖場驅動之說明圖。

圖 12 係從針對在附 2^k 加權之副圖場驅動之解碼器所輸出之脈衝信號的可靠真值表。

圖 13 係表示記憶體內藏型畫素之變形例電路圖。

圖 14 有關第 2 實施型態之畫素的等效電路圖。

[符號之說明]

100	顯示部
110	畫素
112	掃描線
114	資料線
114 a	第 1 資料線

(36)

- 114b 第 2 資料線
- 130 掃描線驅動電路
- 131 記憶體
- 131a~131c 記憶體元件
- 132 脈衝幅度控制電路
- 133 變換電路
- 134a, 134b 傳輸門電路
- 135 畫素電極
- 136 對向電極
- 137 液晶
- 138 解碼器
- 140 資料驅動電路
- 150 振盪電路
- 160 等級信號產生電路
- 161 等級信號偏移電路
- 170 鐘擺產生電路
- 180 鐘擺選擇電路
- 200 時機信號產生電路
- 300 資料切換電路
- 1301, 1302 變換電路
- 1303, 1304 N 通道電晶體

伍、中文發明摘要

發明之名稱：光電裝置之驅動方法，光電裝置及電子機器

本發明係一種光電裝置之驅動方法，光電裝置及電子機器，其課題為針對採用畫素內記憶體之副圖場驅動，不但可控制增加記憶體之記憶容量，更可作為多等級顯示，而解決手段係將等級資料 D0~D5 中的資料 D0~D2 寫入於具有各畫素 110 之記憶體，而由因應寫入於此記憶體之 D0~D2 與等級信號 P0~P2 之時間密度來施加電壓於畫素 110，然後驅動畫素 110，另針對在與先前資料寫入同一之圖框內，將等級資料之剩餘的資料 D3~D5 寫入於記憶體，而根據因應寫入於記憶體之 D3~D5 與等級信號 P0~P2 之時間密度來施加電壓於畫素 110 之情況再驅動畫素 110。

陸、英文發明摘要

發明之名稱：

(2)

和於前述第 1 之脈衝信號之時間密度，在於前述畫素施加電壓之步驟；

前述第 4 之步驟係具有

根據寫入至前述記憶體之前述第 2 之資料，和規定構成前述第 2 之副圖場群之各副圖場之色階信號，生成第 2 之脈衝信號的步驟，

和於前述第 2 之脈衝信號之時間密度，在於前述畫素施加電壓之步驟；

3、如申請專利範圍第 2 之光電裝置之驅動方法，其中，前述第 1 之脈衝信號係具有對應於前述第 1 之資料的時間密度，前述第 2 之脈衝信號係具有對應於前述第 2 之資料的時間密度。

4、如申請專利範圍第 1 至第 3 項之任一項之光電裝置之驅動方法，其中，較前述第 1 之副圖場群之整體加權，前述第 2 之副圖場群之整體加權者為大。

5、如申請專利範圍第 4 之光電裝置之驅動方法，其中，構成前述第 1 之副圖場群之各副圖場之前述畫素之驅動狀態係對應前述色階資料內之下位位元列而決定，構成前述第 2 之副圖場群之各副圖場之前述畫素之驅動狀態係對應前述色階資料內之上位位元列而決定。

6、如申請專利範圍第 5 之光電裝置之驅動方法，其中，前述第 1 之副圖場群內，驅動前述畫素之副圖案係伴隨前述下位位元列顯示值的增加，由接近於前述第 2 之副圖場群的副圖場順序設定，

(3)

前述第 2 之副圖場群內，驅動前述畫素之副圖案係伴隨前述上位位元列顯示值的增加，由接近於前述第 1 之副圖場群的副圖場順序設定。

7、如申請專利範圍第 1 至第 3 項之任一項之光電裝置之驅動方法，其中，於第 1 之步驟，對於前述記憶體之前述第 1 之資料的寫入，於前述第 1 之副圖場群之最初副圖場進行，

於第 3 之步驟，對於前述記憶體之前述第 2 之資料的寫入，於前述第 2 之副圖場群之最初副圖場進行。

8、如申請專利範圍第 7 之光電裝置之驅動方法，其中，前述最初副圖場中，不論寫入至前述記憶體之前述第 1 之資料或第 2 之資料，對於前述畫素施加特定之電壓。

9、如申請專利範圍第 1 至第 3 項之任一項之光電裝置之驅動方法，其中，於前述第 1 之步驟中，對於前述記憶體之前述第 1 之資料之寫入，在於構成前述第 1 之副圖場群之複數之副圖場，加以進行，

於前述第 3 之步驟中，對於前述記憶體之前述第 2 之資料之寫入，在於構成前述第 2 之副圖場群之複數之副圖場，加以進行。

10、如申請專利範圍第 1 至第 3 項之任一項之光電裝置之驅動方法，其中，施加於前述畫素之電壓係至少包含將前述畫素之顯示狀態成爲開啓狀態的開啓電壓，和將前述畫素之顯示狀態成爲關閉狀態的關閉電壓。

11、一種光電裝置之驅動方法，屬於具有將特定之期

(4)

間，分割為複數之副圖場，經由對應於色階資料之組合，進行色階顯示的同時，各畫素記憶色階資料之記憶體的光電裝置之驅動方法，其特徵係具有

第 1 之動作模式中，將構成第 1 之色階資料之一部分相互不同之位元列，做為寫入單位，將成為該寫入單位之資料，於具有各畫素之記憶體，於前述特定之期間內，複數次寫入的同時，將根據成為前述寫入單元之各資料的副圖場驅動，於前述特定期間內，進行複數次的第 1 之步驟，

較前述第 1 之動作模式顯示色階數少的第 2 之動作模式中，將較前述第 1 之色階資料位元數少的第 2 之色階資料，寫入前述記憶體的同時，根據前述第 2 之色階資料進行副圖場驅動的 2 步驟；

前述副圖場驅動中，以對應於寫入至前述記憶體之資料，和規定各副圖場之色階信號所決定之時間密度，於前述畫素經由施加電壓，進行前述畫素之驅動。

12、如申請專利範圍第 11 項之光電裝置之驅動方法，其中，於前述第 1 之步驟，對於前述記憶體之前述第 1 之色階資料之寫入係於每前述特定之期間加以進行，

於前述第 2 之步驟，對於前述記憶體之前述第 2 之色階資料之寫入係於變更前述畫素之顯示色階時加以進行。

13、如申請專利範圍第 12 項之光電裝置之驅動方法，其中，對於前述記憶體之資料之寫入，係對應於該資料，於決定前述時間密度之一連串之副圖場群之最初副圖場

(5)

，加以進行。

14、一種光電裝置，屬於將特定之期間，分割為複數之副圖場，經由對應於色階資料之組合，進行色階顯示的光電裝置，其特徵係具備

具有對應於複數之掃描線和複數之資料線之各交叉所設之複數之畫素的顯示部中，各前述畫素具有畫素電極，和記憶資料之記憶體，和以對應於記憶於前述記憶體的資料的時間密度，經由於前述畫素電極施加電壓，驅動前述畫素之脈衝寬度生成電路的顯示部，

和選擇對應於成為前述資料之寫入對象畫素之前述掃描線的掃描線驅動電路，

和經由前述掃描線驅動電路，於選擇前述掃描線之間，藉由對應於前述成為寫入對象之畫素的前述資料線，於具有成為寫入對象之畫素的前述記憶體，寫入資料的資料線驅動電路；

前述資料線驅動電路乃將構成色階資料之一部分相互不同之位元列，做為寫入單位，將成為該寫入單位之資料，於前述所定之期間內，複數次寫入前述記憶體；

前述脈衝寬度生成電路係於前述特定之期間內，於每成為記憶於前述記憶體之前述寫入單位的資料，根據記憶於前述記憶體之資料，和規定各副圖場之色階信號，經由於前述畫素電極施加電壓，驅動前述畫素。

15、如申請專利範圍第 14 項之光電裝置，其中，前述脈衝寬度生成電路係於每一成為記憶於前述記憶體之前

(6)

述寫入單位的資料，根據寫入至前述記憶體之資料，和前述色階信號，生成脈衝信號的同時，以該脈衝信號之時間密度，於前述畫素電極施加電壓。

16、如申請專利範圍第 14 項或第 15 項之光電裝置，其中，前述記憶體係具有至少一個記憶單元；

前述記憶單元係具有連接於前述掃瞄線，經由前述掃瞄線驅動電路控制導通狀態之開關元件，和相互地，一方之輸出成爲另一方之輸入的一對之反相器；

前述一對之反相器係前述開關元件爲開啓狀態時，寫入藉由前述資料線所供給之資料，前述開關元件爲關閉狀態時，保持前述寫入資料。

17、如申請專利範圍第 14 項或第 15 項之光電裝置，其中，前述特定之期間係包含第 1 之圖場群，和第 2 之圖場群；

更具有生成規定構成前述第 1 之副圖場群之各副圖場的第 1 之色階信號，和規定構成前述第 2 之副圖場群之各副圖場的第 2 之色階信號之色階信號生成電路。

18、如申請專利範圍第 17 項之光電裝置，其中，爲了設定成相較於前述第 1 之圖場群之整體加權，前述第 2 之圖場群之整體加權者爲大者，前述第 1 之色階信號之頻率較前述第 2 之色階信號之頻率爲大。

19、如申請專利範圍第 17 項之光電裝置，其中，前述資料線驅動電路係經由前述第 1 之圖場群驅動前述畫素之時，將前述色階資料內之下位位元列，寫入至前述記憶

(7)

單元，經由前述第 2 之圖場群驅動前述畫素之時，將前述色階資料內之上位位元列，寫入至前述記憶單元。

20、如申請專利範圍第 19 項之光電裝置，其中，前述脈衝寬度生成電路係將前述第 1 之副圖場群內，驅動前述畫素之副圖場群，伴隨前述下位位元列所示值之增加，由接近前述第 2 之副圖場群的副圖場順序加以設定的同時，將前述第 2 之副圖場群內，驅動前述畫素之副圖場群，伴隨前述上位位元列所示值之增加，由接近前述第 1 之副圖場群的副圖場順序加以設定。

21、如申請專利範圍第 17 項之光電裝置，其中，前述掃描線驅動電路係於前述第 1 之副圖場群之最初副圖場，順序選擇前述掃描線的同時，於前述第 2 之副圖場群之最初副圖場，順序選擇前述掃描線；

前述資料線驅動電路係與前述掃描線驅動電路連動，進行對於前述記憶體之資料寫入。

22、如申請專利範圍第 21 項之光電裝置，其中，前述脈衝寬度生成電路係於前述最初之副圖場中，無關於寫入至前述記憶體之資料，對於前述畫素電極施加特定之電極。

23、如申請專利範圍第 17 項之光電裝置，其中，前述掃描線驅動電路係在於前述第 1 之副圖場群之複數之副圖場，順序選擇前述掃描線的同時，在於前述第 2 之副圖場群之複數之副圖場，順序選擇前述掃描線；

前述資料線驅動電路係與前述掃描線驅動電路連動，

(8)

進行對於前述記憶體之資料寫入。

24、如申請專利範圍第 23 項之光電裝置，其中，前述色階信號生成電路係具有對應前述掃瞄線之各選擇期間，生成偏移前述色階信號之遷移時間的複數之偏移色階信號的色階信號偏移電路。

25、如申請專利範圍第 14 項或第 15 項之光電裝置，其中，前述脈衝寬度生成電路係至少將前述畫素之顯示狀態成爲開啓狀態的開啓電壓或將前述畫素之顯示狀態成爲關閉狀態的關閉電壓，施加於前述畫素電極者。

26、一種電子機器，其特徵係具有如申請專利範圍第 14 項至第 25 項之任一項之光電裝置。

27、一種光電裝置之驅動方法，屬於具有將特定之期間，分割爲第 1 之副圖場群和第 2 之副圖場群，經由構成色階資料之一部分的第 1 之資料，和構成前述色階資料之一部分，與對應於前述第 1 之資料不同的第 2 之資料的副圖場之組合，進行色階顯示的同時，各畫素記憶色階資料之記憶體的光電裝置之驅動方法，其特徵係具有

將前述第 1 之資料，寫入具有各畫素之記憶體的第 1 之步驟，

和根據規定構成前述第 1 之副圖場群之各副圖場的第 1 之色階信號，讀取寫入至前述記憶體之第 1 之資料的同時，將對應於該讀取第 1 之資料的電流，對於前述畫素加以施加之第 2 之步驟，

和將前述第 2 之資料，寫入至前述記憶體的第 3 之步

(9)

驟，

和根據規定構成前述第 2 之副圖場群之各副圖場的第 2 之色階信號，複數次重覆讀取寫入至前述記憶體之第 2 之資料的同時，將對應於該讀取之第 2 之資料的電流，對於前述畫素複數次重覆加以供應的第 4 之步驟。

28、一種光電裝置之驅動方法，屬於具有將特定之期間，分割為複數之副圖場，經由對應於色階資料之副圖場之組合，進行色階顯示的同時，各畫素記憶色階資料之記憶體的光電裝置之驅動方法，其特徵係具有

第 1 之動作模式中，將構成第 1 之色階資料之一部分相互不同之位元列，做為寫入單位，將成為該寫入單位之資料，於具有各畫素之記憶體，於前述特定之期間內，複數次寫入的同時，將根據成為前述寫入單元之各資料的副圖場驅動，於前述特定期間內，進行複數次的第 1 之步驟

較前述第 1 之動作模式顯示色階數少的第 2 之動作模式中，將較前述第 1 之色階資料位元數少的第 2 之色階資料，寫入前述記憶體的同時，根據前述第 2 之色階資料進行副圖場驅動的步驟；

前述副圖場驅動中，以對應於寫入至前述記憶體之資料，和規定各副圖場之色階信號所決定之時間密度，於前述畫素經由供給電流，進行前述畫素之驅動。

圖 1

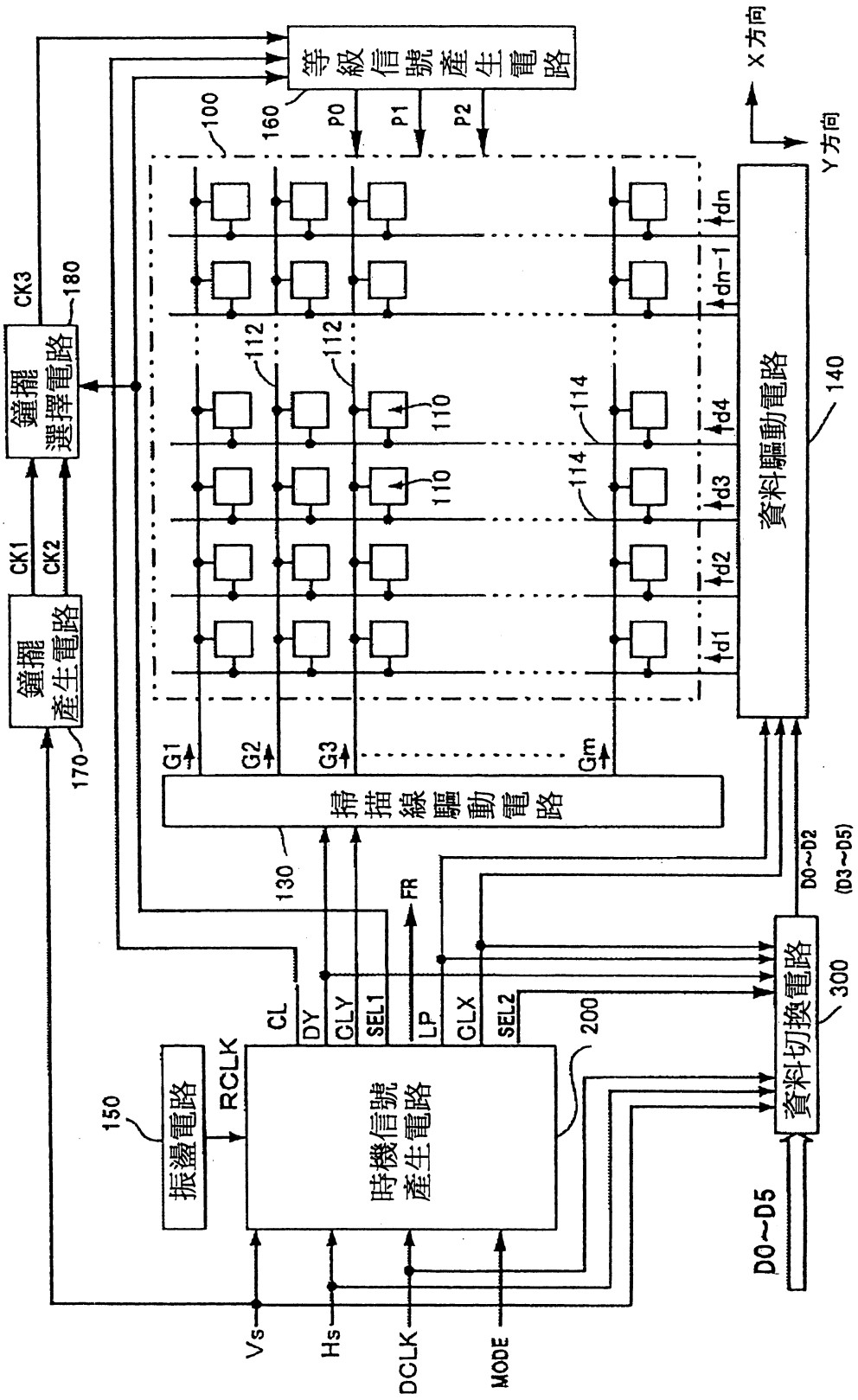


圖2

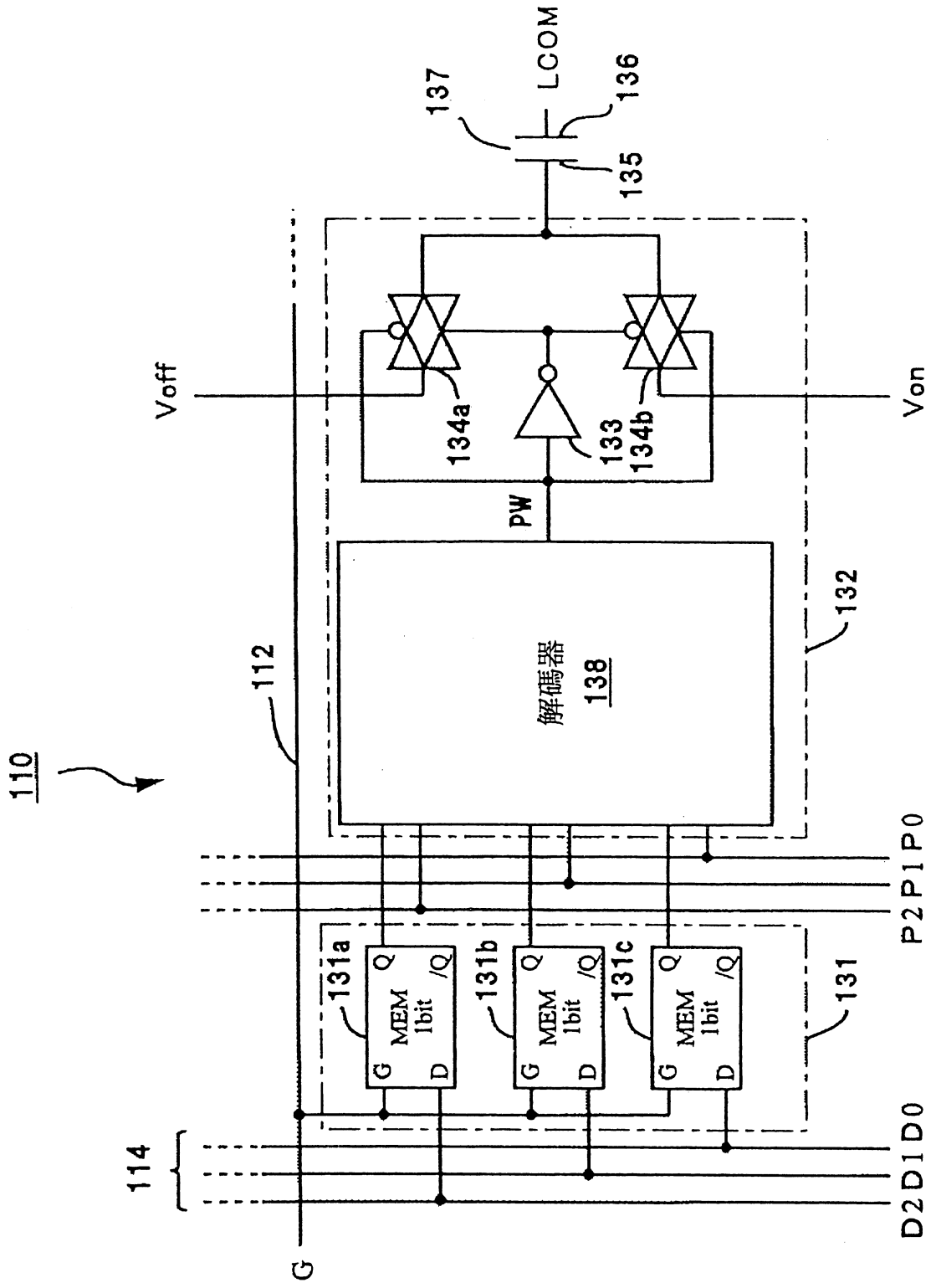


圖3

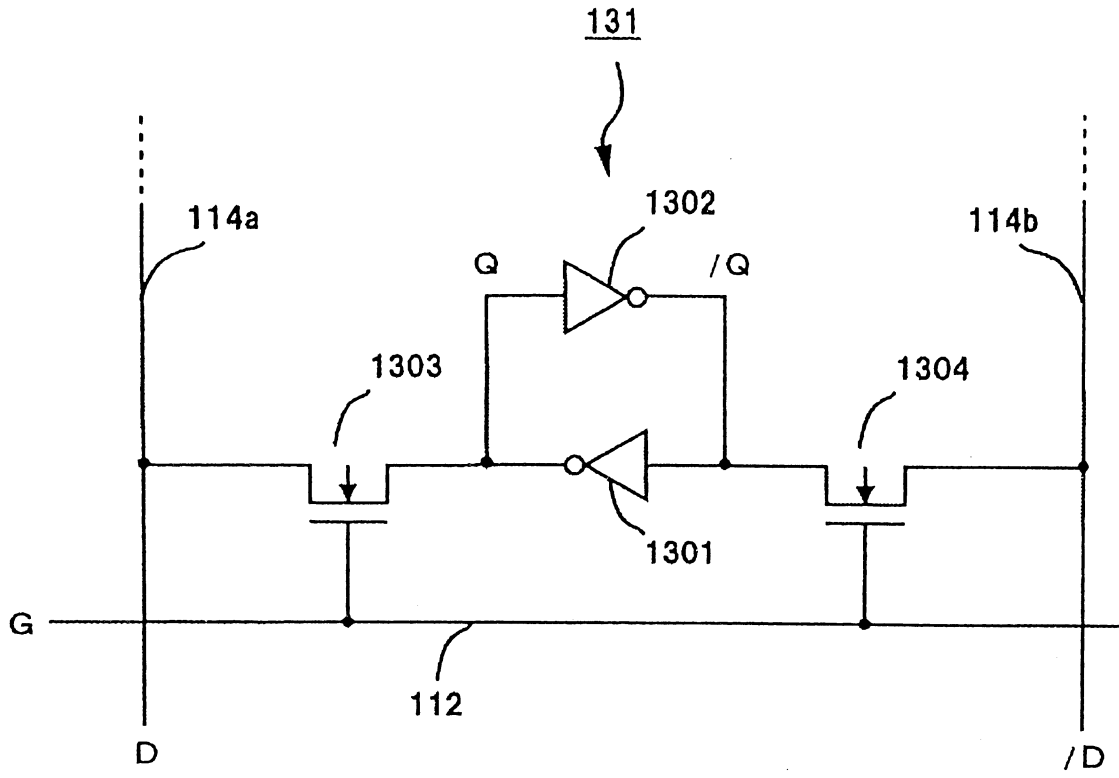


圖5

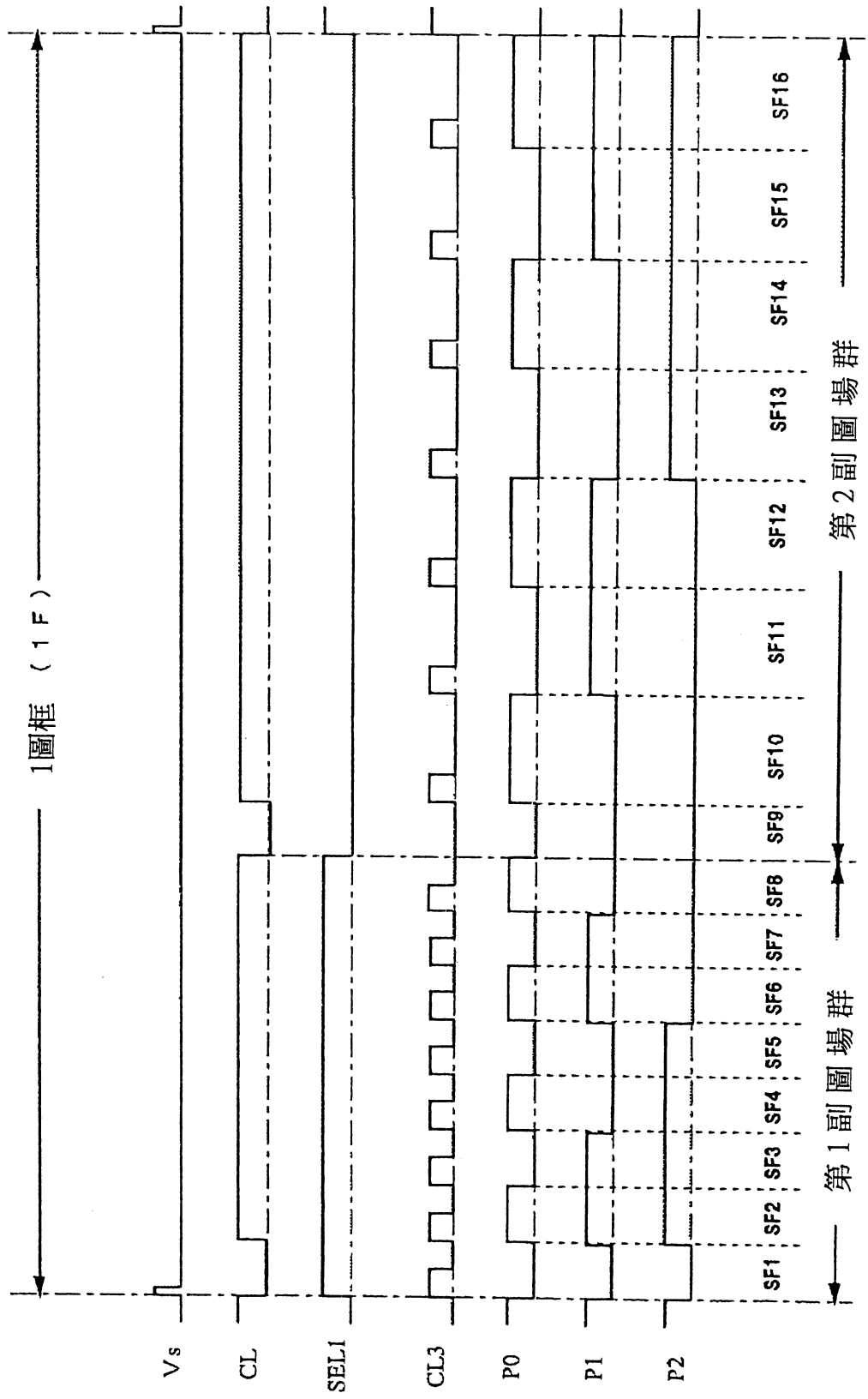


圖6

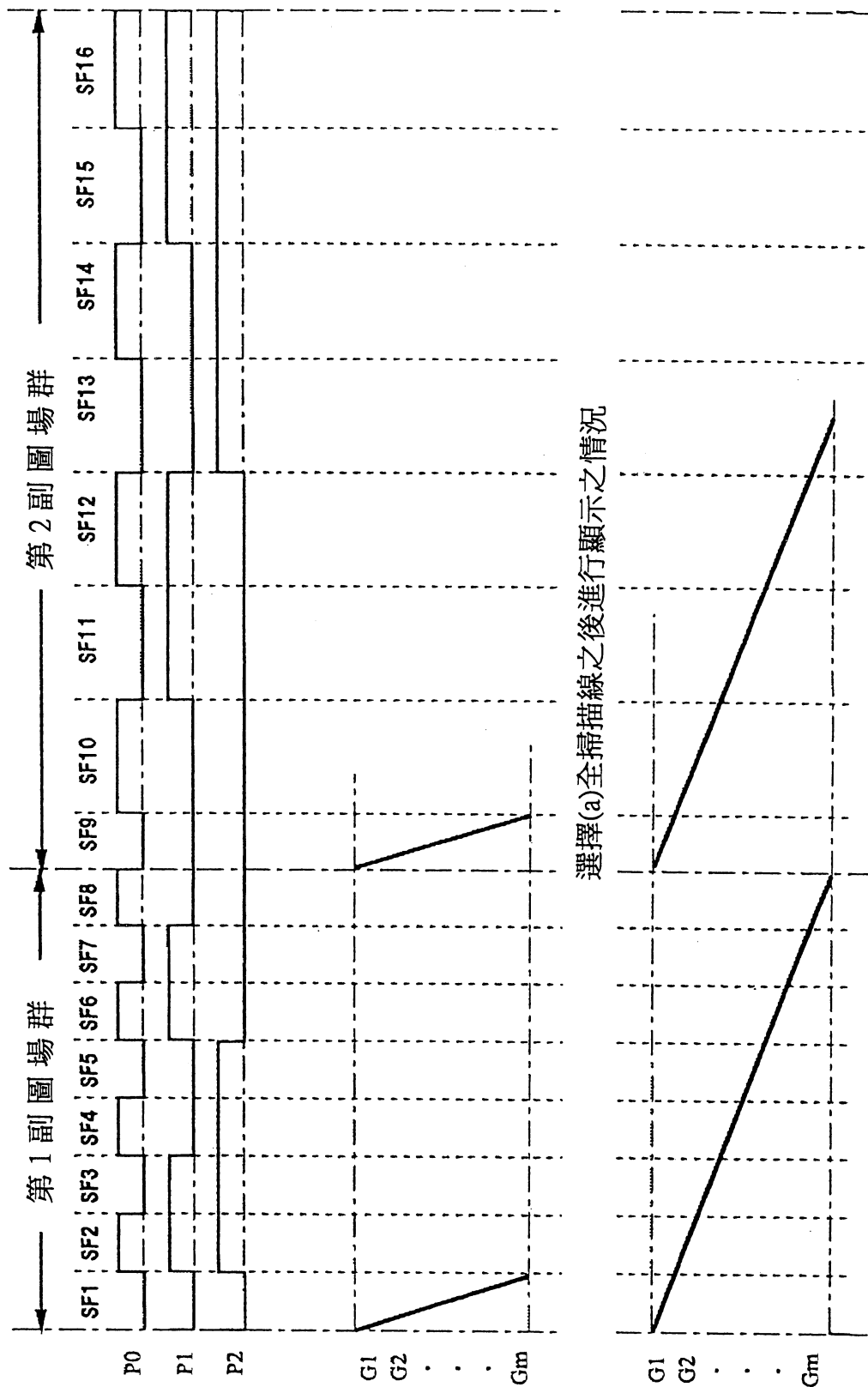


圖 7

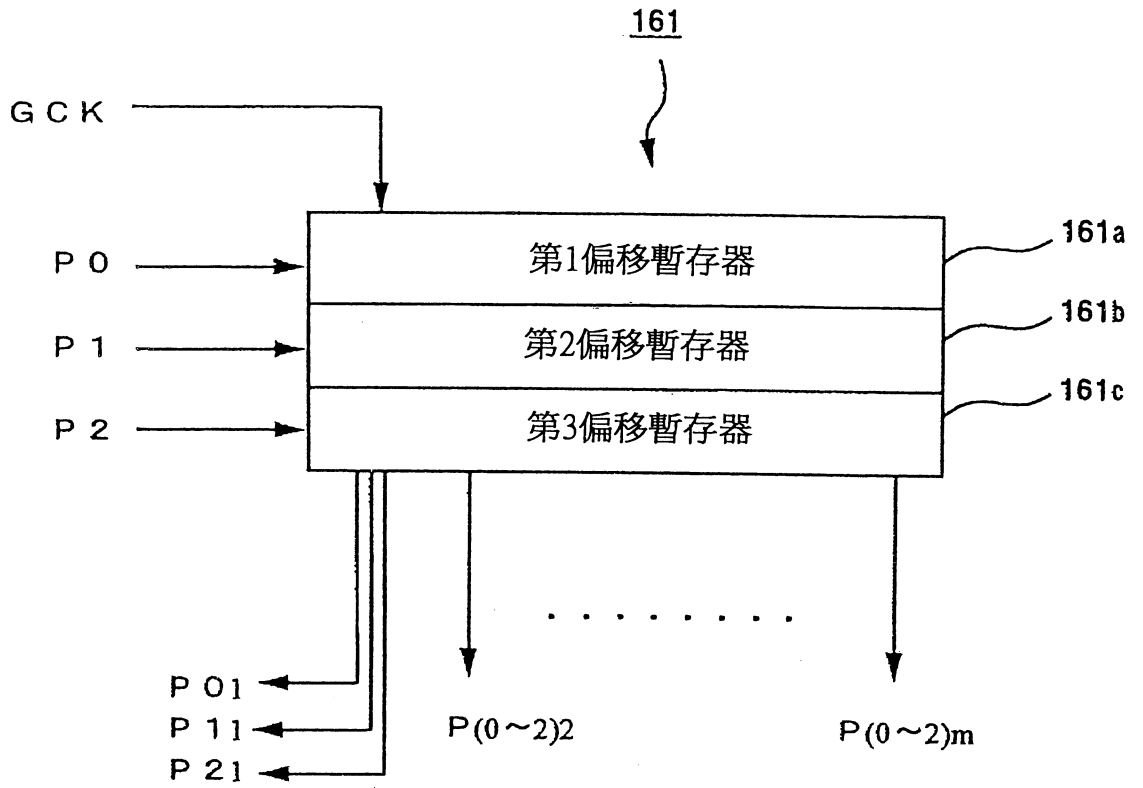


圖 8

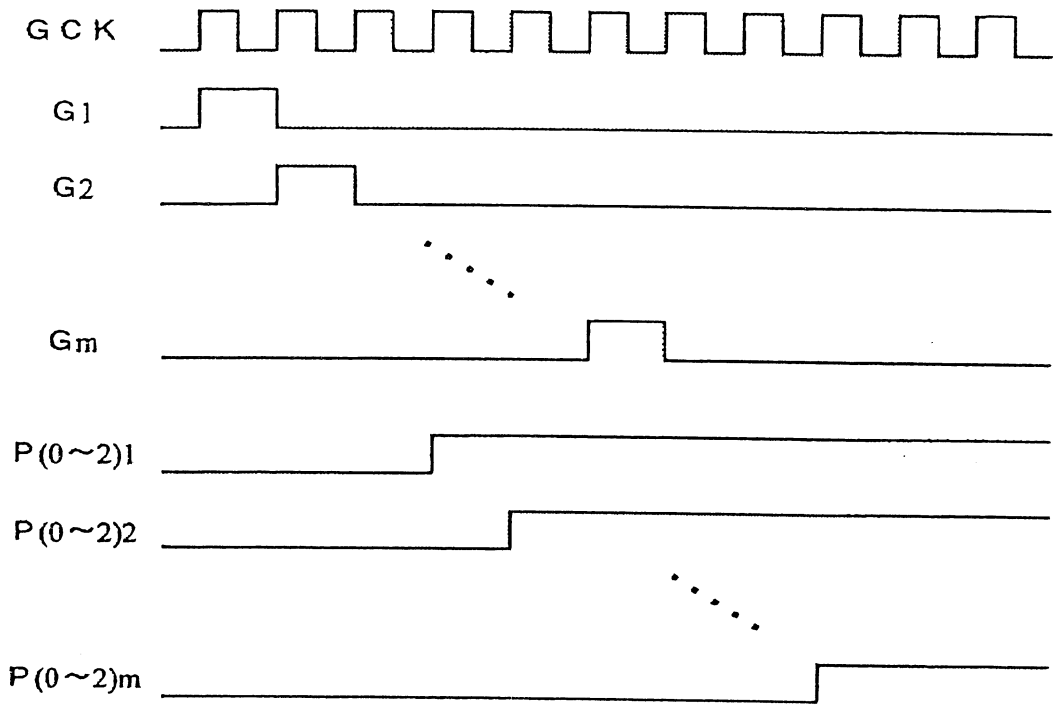


圖10

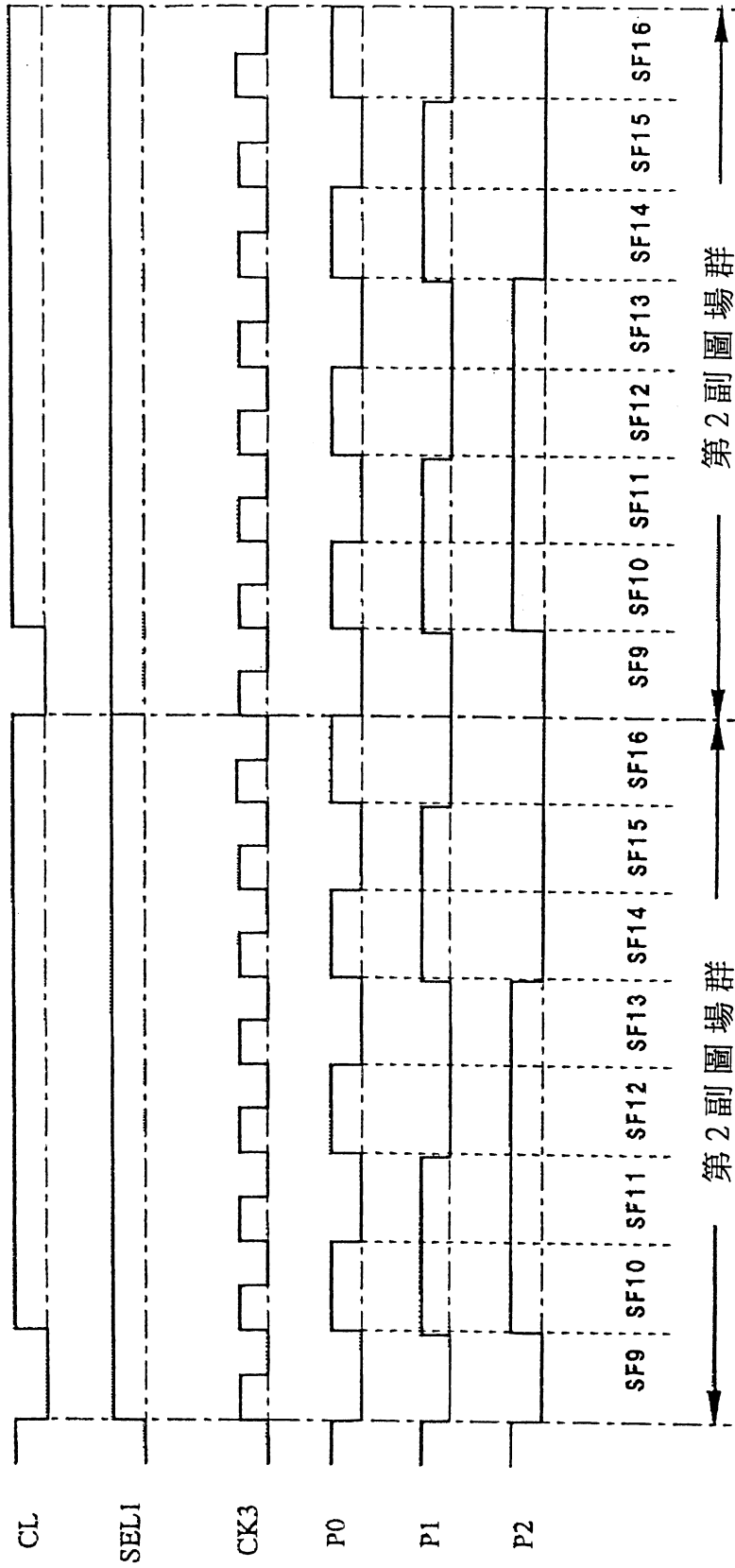


圖 12

第1副圖場群 SF1 SF2 SF3
 第2副圖場群 SF4 SF5 SF6

		P 0	P 1	P 2
LSB(D2D1D0)		0	1	0
MSB(D5D4D3)		0	0	1
		1	0	0
0 0 0	0	0	0	
0 0 1	0	1	0	
0 1 0	0	0	1	
0 1 1	0	1	1	
1 0 0	1	0	0	
1 0 1	1	1	0	
1 1 0	1	0	1	
1 1 1	1	1	1	

圖13

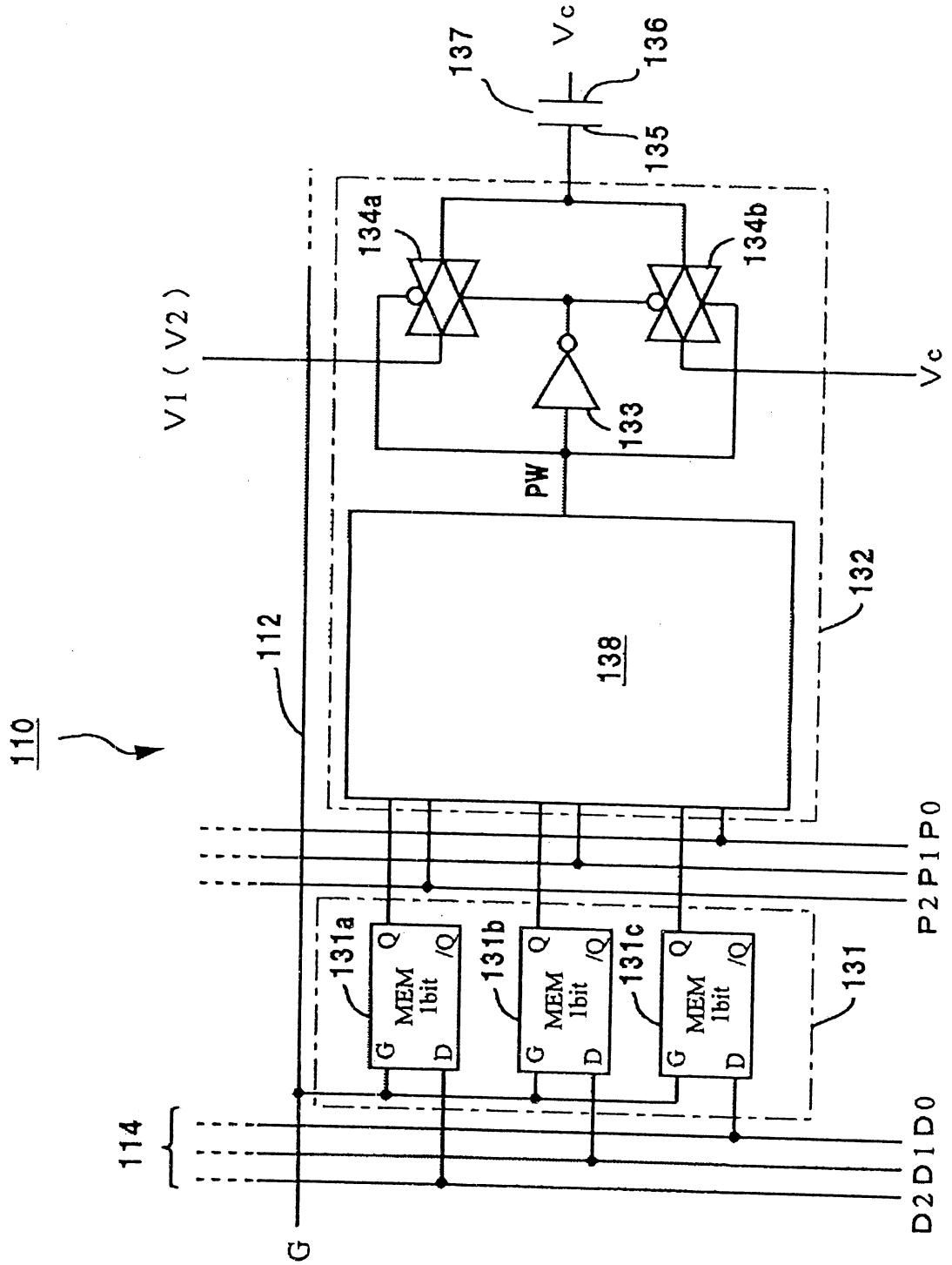
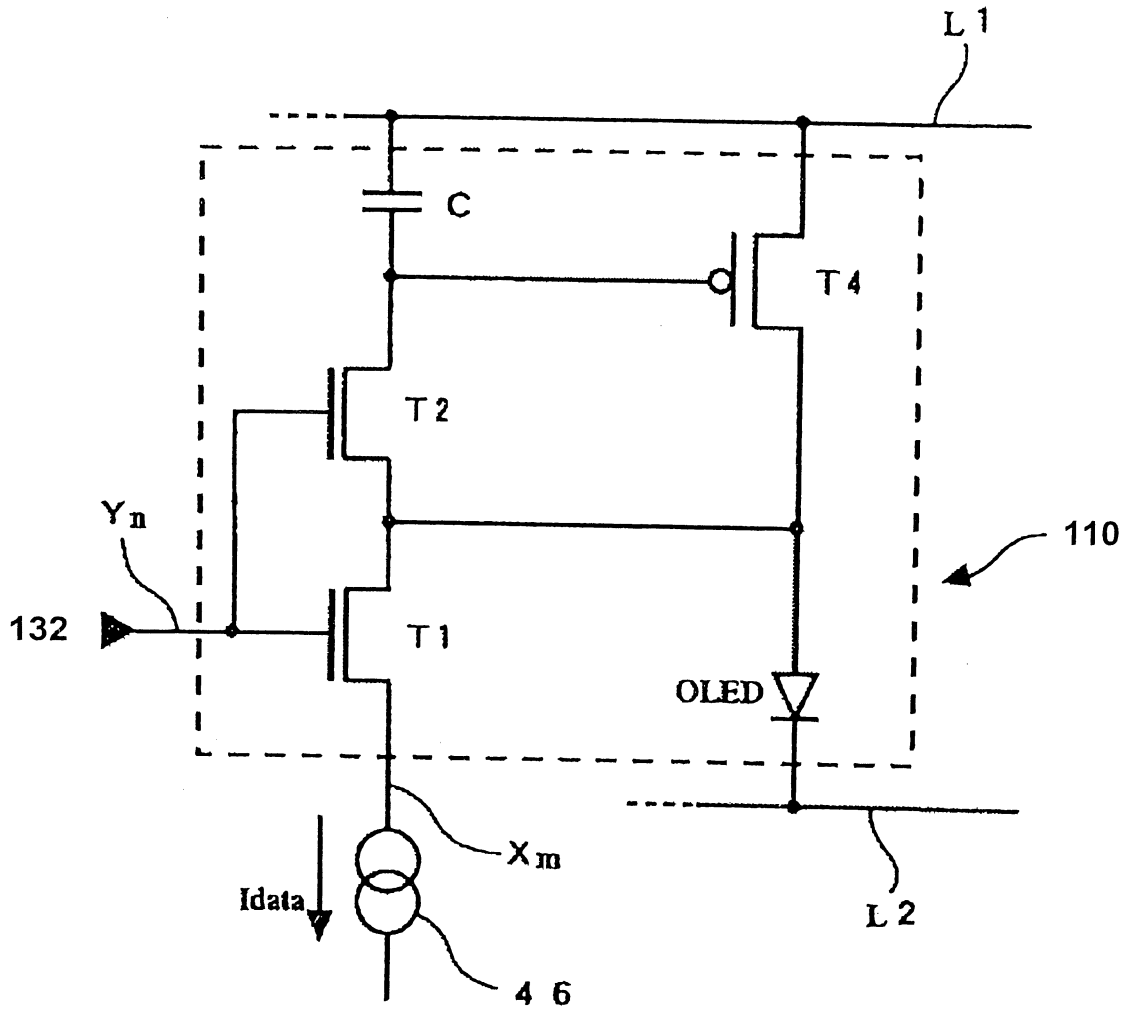


圖 14

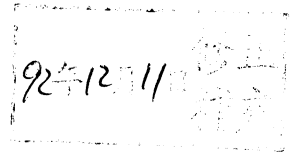


柒、(一)、本案指定代表圖為：第 1 圖

(二)、本代表圖之元件代表符號簡單說明：

100	顯示部
110	畫素
112	掃描線
160	等級信號產生電路

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無



(1)

92116278

煩請委員明示。本案修正後是否變更原實質內容

拾、申請專利範圍

1、一種光電裝置之驅動方法，屬於具有將特定之期間，分割為第 1 之副圖場群和第 2 之副圖場群，經由構成色階資料之一部分的第 1 之資料，和構成前述色階資料之一部分，與對應於前述第 1 之資料不同的第 2 之資料的副圖場之組合，進行色階顯示的同時，各畫素記憶色階資料之記憶體的光電裝置之驅動方法，其特徵係具有

將前述第 1 之資料，寫入具有各畫素之記憶體的第 1 之步驟，

和根據規定構成前述第 1 之副圖場群之各副圖場的第 1 之色階信號，讀取寫入至前述記憶體之第 1 之資料的同時，將對應於該讀取第 1 之資料的電壓，對於前述畫素加以施加之第 2 之步驟，

和將前述第 2 之資料，寫入至前述記憶體的第 3 之步驟，

和根據規定構成前述第 2 之副圖場群之各副圖場的第 2 之色階信號，複數次重覆讀取寫入至前述記憶體之第 2 之資料的同時，將對應於該讀取之第 2 之資料的電壓，對於前述畫素複數次重覆加以施加的第 4 之步驟。

2、如申請專利範圍第 1 之光電裝置之驅動方法，其中，前述第 2 之步驟係具有

根據寫入至前述記憶體之前述第 1 之資料，和規定構成前述第 1 之副圖場群之各副圖場之色階信號，生成第 1 之脈衝信號的步驟，