

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
H01L 27/115

(45) 공고일자 2005년12월27일
(11) 등록번호 10-0539247
(24) 등록일자 2005년12월21일

(21) 출원번호 10-2004-0007230
(22) 출원일자 2004년02월04일

(65) 공개번호 10-2005-0079233
(43) 공개일자 2005년08월09일

(73) 특허권자 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 전희석
경기도성남시분당구정자동(한솔마을)주공6단지604-901

윤승범
경기도수원시권선구금곡동530번지LG빌리지아파트208동1104호

김용태
경기도용인시구성면마북리연원마을벽산아파트123-703

(74) 대리인 리엔목특허법인
이해영

심사관 : 김기현

(54) 스플릿 게이트형 비휘발성 반도체 메모리 소자 및 그제조방법

요약

홀수 셀과 짝수 셀의 온-전류 특성 차이를 극복할 수 있는 스플릿 게이트형 비휘발성 반도체 메모리 소자 및 그 제조방법이 개시된다. 본 발명의 방법은, 반도체기판 위에 게이트 절연층과 플로팅 게이트용 도전층을 형성하는 단계; 플로팅 게이트용 도전층 위로 개구부를 갖는 마스크 패턴을 형성하는 단계; 개구부 하측의 노출된 부분상에 게이트간 절연층을 형성하는 단계; 개구부 측벽을 따라 희생층 스페이서를 형성하는 단계; 게이트간 절연층을 식각하여 관통시키는 단계; 플로팅 게이트용 도전층을 관통시키는 단계; 마스크 패턴의 개구부를 매립하는 형태의 절연 플러그를 형성하는 단계; 마스크 패턴을 제거하는 단계; 잔류하는 희생층 스페이서를 제거하는 단계; 게이트 절연층이 노출되도록 플로팅 게이트용 도전층을 식각하여 일정한 거리 만큼 서로 이격된 적어도 한쌍의 플로팅 게이트를 형성하는 단계; 노출된 플로팅 게이트용 도전층의 측벽 상에 터널링 절연층을 형성하는 단계; 및 절연 플러그의 측벽 및 터널링 절연층의 표면과 접촉하는 컨트롤 게이트를 형성하는 단계를 포함한다.

대표도

도 10

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 스플릿 게이트형 비휘발성 반도체 메모리소자의 개략적인 레이아웃이다.

도 2 내지 도 12는 본 발명의 실시예에 따른 스플릿 게이트형 비휘발성 반도체 메모리 소자의 제조과정을 나타내는 공정단면도들이다.

※ 도면의 주요 부분에 대한 부호의 간단한 설명

100 ; 반도체기판 102 ; 게이트 절연층

104 ; 플로팅 게이트용 도전층 106 ; 제1 절연층

108 ; 마스크층 110 ; 게이트간 절연층

112 ; 희생층 스페이서 114 ; 소오스 영역

116 ; 절연 플러그 118 ; 터널링 절연층

104a ; 플로팅 게이트 120 ; 컨트롤 게이트

122 ; 저농도 드레인영역 124 ; 절연층 스페이서

126 ; 고농도 드레인영역 101 ; 소자분리영역

130 ; 층간절연층 132 ; 비트라인 콘택

134 ; 비트 라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 스플릿 게이트형 비휘발성 반도체 메모리 소자 및 그 제조방법에 관한 것으로, 보다 상세하게는 컨트롤 게이트의 오정렬(misalignment)을 극복할 수 있도록 자기정렬(self-align) 방식으로 형성하는 스플릿 게이트형 비휘발성 반도체 메모리 소자 및 그 제조방법에 관한 것이다.

비휘발성 반도체 메모리 소자는 전기적으로 데이터의 소거와 저장이 가능하고 전원이 공급되지 않아도 데이터의 보존이 가능하기 때문에 이동 통신 시스템, 메모리 카드 등을 포함하는 다양한 분야에서 그 응용이 증가하는 추세에 있다. 이러한 비휘발성 메모리 가운데 플래쉬(flash) 메모리는 셀 단위의 프로그램이 가능하며 블록 또는 섹터 단위의 소거가 가능한 메모리소자로서, 전하 저장의 방식에 따라 질화물을 사용하는 MNOS (Metal - Nitride - Oxide - Silicon) 메모리와 플로팅 게이트를 사용하는 플로팅 게이트 메모리로 구별된다. 전형적으로 플로팅 게이트형 비휘발성 반도체 메모리는 스택(stack) 게이트형, 스플릿(split) 게이트형 또는 이들의 조합으로 구분될 수 있다.

종래의 일반적인 스플릿 게이트형 비휘발성 반도체 메모리 소자는 반도체 기판의 활성 영역에 불순물 이온이 주입된 소오스 영역이 형성되고, 이 소오스 영역을 공유하면서 그 양측의 인접한 반도체 기판 상에 게이트 절연층을 개재하여 한 쌍의 플로팅 게이트가 배치되어 있다. 플로팅 게이트의 상부면에는 후술하는 컨트롤 게이트와의 사이에 두꺼운 게이트간 절연층이 형성되어 있으며, 플로팅 게이트들의 소오스 영역 반대편 측벽에는 터널링 절연층이 형성되어 있다. 컨트롤 게이트는 플로팅 게이트와 일부 오버랩되도록 게이트간 절연층상으로 연장되어 있으며, 플로팅 게이트 측벽으로부터 게이트 절연층이 형성된 반도체기판상으로 일정한 길이 만큼 연장되어 있다. 컨트롤 게이트의 측벽 하방의 반도체 기판 내에는 드레인 영역이 배치되어 있다.

상술한 스플릿 게이트형 메모리 소자는 예를 들어 다음과 같은 방법으로 제조할 수 있다. 먼저, 반도체기판의 전면에 게이트 절연층, 플로팅 게이트 형성을 위한 제1 폴리실리콘층 및 질화물층을 차례로 형성한 다음, 포토리소그래피 공정을 이용하여 플로팅 게이트가 형성될 부분의 제1 폴리실리콘층을 노출시키는 질화물 패턴을 형성한다. 계속해서, 노출된 제1 폴리실리콘층을 열산화시켜서 게이트간 절연층을 형성하고, 질화물 패턴을 제거한 후, 게이트간 절연층을 식각 마스크로 하여 산화되지 않은 제1 폴리실리콘층을 식각하여 플로팅 게이트를 형성한다.

계속해서, 게이트간 절연층이 형성된 반도체 기판의 전면에 CVD(Chemical Vapor Deposition) 등의 방법을 이용하여 터널링 절연층을 위한 절연층 및 컨트롤 게이트를 형성하기 위한 제2 폴리실리콘층을 형성한 후, 포토리소그래피 공정을 이용하여 제2 폴리실리콘층 및 절연층을 패터닝하여 컨트롤 게이트 및 터널링 절연층을 형성한다. 이어서, 플로팅 게이트 사이의 반도체 기판에 불순물 이온을 주입하여 소오스 영역을 형성하고, 컨트롤 게이트 외측의 반도체 기판에 불순물을 주입하여 드레인 영역을 형성한 후, 소오스 라인 및 비트 라인을 형성하여 스플릿 게이트형 비휘발성 반도체 메모리 소자를 완성한다.

그러나, 종래 스플릿 게이트형 비휘발성 반도체 메모리 소자 제조방법에서는 컨트롤 게이트를 형성하기 위해 포토리소그래피가 이용된다. 그런데 포토리소그래피 공정에서는 상당한 오버랩(overlap) 변동을 초래하는 오정렬이 일어날 수 있다. 오정렬이 발생하면 메모리 셀간에 컨트롤 게이트 하부의 유효 채널 길이 차이가 유발되고, 거울 대칭인 인접한 두 셀, 홀수 셀(odd cell)과 짝수 셀(even cell)간의 특성 차이가 발생한다. 컨트롤 게이트의 유효 채널 길이에 있어서 이러한 변동은 메모리 셀이 보이는 문턱전압의 변동을 초래한다. 홀수 셀과 짝수 셀의 문턱전압 변동은 온-전류(On current) 특성 차이를 유발하여 셀의 균일성(uniformity)을 감소시킨다.

따라서, 컨트롤 게이트 형성을 위한 포토리소그래피 공정에서 발생하는 오정렬의 문제를 극복할 수 있는 기술이 절실히 요구되어 지고 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 상기 종래 기술의 문제점을 해결하기 위하여, 컨트롤 게이트를 자기정렬 방식으로 형성함으로써 인접한 메모리 셀간의 유효 채널 길이를 동일하게 하여 홀수 셀과 짝수 셀간의 온 셀 특성 차이를 극복할 수 있는 스플릿 게이트형 비휘발성 반도체 메모리 소자 및 그 제조방법을 제공하는 데 있다.

본 발명의 다른 목적은 플로팅 게이트와 컨트롤 게이트의 오버랩 정도를 유연하게 제어할 수 있는 스플릿 게이트형 비휘발성 반도체 메모리 소자 및 그 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 본 발명의 목적들을 달성하기 위한 본 발명의 제1 형태에 따른 스플릿 게이트형 비휘발성 반도체 메모리 소자의 제조 방법은, 반도체기판 위에 게이트 절연층과 플로팅 게이트용 도전층을 형성하는 단계; 상기 플로팅 게이트용 도전층이 형성된 상기 반도체기판 위로 일정한 폭의 개구부를 갖는 마스크 패턴을 형성하는 단계; 상기 개구부 하측의 노출된 부분상에 게이트간 절연층을 형성하는 단계; 상기 마스크 패턴의 개구부 측벽을 따라 상기 게이트간 절연층 위로 연장된 희생층 스페이서를 형성하는 단계; 상기 마스크 패턴 및 상기 희생층 스페이서를 식각 마스크로 하여 상기 게이트간 절연층을 식각하여 관통시키는 단계; 상기 마스크 패턴, 상기 희생층 스페이서 및 상기 관통된 게이트간 절연층을 식각 마스크로 하여 상기 플로팅 게이트용 도전층을 관통시키는 단계; 상기 플로팅 게이트용 도전층 및 상기 게이트간 절연층의 관통된 부분을 포함하여 상기 마스크 패턴의 개구부를 매립하는 형태의 절연 플러그를 형성하는 단계; 상기 마스크 패턴을 제거하는 단계; 상기 잔류하는 희생층 스페이서를 제거하는 단계; 상기 절연 플러그 및 노출된 상기 게이트간 절연층을 식각 마스크로 하여 상기 게이트 절연층이 노출되도록 상기 플로팅 게이트용 도전층을 식각하여 일정한 거리 만큼 서로 이격된 적어도 한 쌍의 플로팅 게이트를 형성하는 단계; 상기 노출된 플로팅 게이트용 도전층의 측벽 상에 터널링 절연층을 형성하는 단계; 및 상기 반도체기판의 전면에 컨트롤 게이트용 도전층을 증착한 후 식각하여 상기 절연 플러그의 측벽 및 상기 터널링 절연층의 표면과 접촉하는 컨트롤 게이트를 형성하는 단계를 포함한다.

바람직한 실시예에서, 상기 마스크 패턴은 질화물로 이루어지며, 상기 마스크 패턴을 형성하기 전에 상기 플로팅 게이트용 도전층 위에 산화물로 이루어진 제1 절연층을 형성하는 단계를 더 포함할 수 있으며, 상기 플로팅 게이트용 도전층을 관통시키는 단계 이후에, 상기 개구부 하측의 상기 반도체기판에 불순물 이온을 주입하여 소오스영역을 형성하는 단계를 더 포함할 수 있으며, 상기 컨트롤 게이트를 형성하는 단계 이후에, 상기 반도체기판의 전면에 불순물 이온을 주입하여 상기 컨

트롤 게이트의 측벽 하측의 상기 반도체기판에 저농도 드레인영역을 형성하는 단계를 더 포함할 수 있으며, 이때 상기 저농도 드레인영역을 형성하는 단계 이후에, 상기 컨트롤 게이트의 측벽에 절연 스페이서를 형성하는 단계; 및 상기 절연 스페이서 측벽 하측의 상기 반도체기판에 불순물 이온을 주입하여 고농도 드레인영역을 형성하는 단계를 더 포함할 수 있다.

상기 플로팅 게이트용 도전층이 관통된 후에도 상기 희생층 스페이서가 적어도 상기 게이트간 절연층 위로 일정한 두께 만큼 잔류되도록 하는 것이 바람직하며, 구체적으로 상기 플로팅 게이트용 도전층 및 상기 희생층 스페이서 간의 식각선택비에 따라 상기 플로팅 게이트용 도전층 및 희생층 스페이서의 형성 두께를 설정할 수 있다.

한편, 바람직한 실시예로서, 상기 플로팅 게이트용 도전층과 상기 희생층은 동일한 식각속도를 갖는 물질, 예를 들어 폴리실리컨으로 이루어질 수 있으며, 이때 상기 희생층의 두께는 상기 플로팅 게이트용 도전층의 두께 보다 두꺼운 것이 바람직하며, 구체적으로 상기 희생층의 두께는 1000 내지 3000 Å이며, 상기 플로팅 게이트용 도전층의 두께는 500 내지 2000 Å의 범위내에서 설정할 수 있다.

상기 본 발명의 목적들을 달성하기 위한 본 발명의 제2 형태에 따른 스플릿 게이트형 비휘발성 반도체 메모리 소자는, 반도체기판; 상기 반도체기판 상에 게이트 절연층을 개재하여 형성된 플로팅 게이트; 상기 플로팅 게이트의 상부 표면 상에 형성된 게이트간 절연층; 상기 플로팅 게이트의 일 측벽을 따라 형성된 터널링 절연층; 및 상기 터널링 절연층의 표면과 접촉하면서 수직방향으로 연장되며, 상기 플로팅 게이트와 오버랩되도록 그 바닥이 상기 게이트간 절연층의 표면 위로 일정한 길이 만큼 연장된 스페이서 형태의 돌출부를 포함하는 컨트롤 게이트를 포함한다.

상기 컨트롤 게이트의 상기 돌출부 위로 평탄한 수직벽 형태로 구성됨으로써 상기 돌출부는 부분 스페이서 형태이거나, 완전 스페이서 형태일 수 있다.

상기 본 발명의 목적들을 달성하기 위한 본 발명의 제3 형태에 따른 스플릿 게이트형 비휘발성 반도체 메모리 소자는, 제1 방향을 따라 복수개의 소오스 영역들이 형성된 반도체기판; 상기 반도체기판 상에 게이트 절연층을 개재하여 형성되어 있으며, 인접된 메모리 셀과 상기 소오스 영역을 공유하도록 서로 마주 보고 있는 복수개의 플로팅 게이트쌍; 상기 플로팅 게이트쌍의 각 상부 표면 상에 형성된 게이트간 절연층들; 상기 각 플로팅 게이트의 마주 보는 반대쪽의 측벽을 따라 형성된 터널링 절연층들; 상기 터널링 절연층들의 표면과 접촉하면서 수직방향으로 연장되며, 상기 플로팅 게이트들과 각기 오버랩되도록 그 바닥이 상기 게이트간 절연층의 표면 위로 일정한 길이 만큼 연장된 스페이서 형태의 돌출부를 포함하는 컨트롤 게이트들; 및 상기 인접하는 메모리 셀 사이에서, 서로 마주보는 상기 플로팅 게이트, 게이트간 절연층 및 컨트롤 게이트 사이에 형성된 절연 플러그를 포함한다.

상기 컨트롤 게이트는 상기 돌출부 위로 평탄한 수직벽 형태로 구성될 수 있으며, 상기 게이트간 절연층의 두께는 상기 게이트 절연층 및 상기 터널링 절연층의 두께 보다 두꺼운 것이 바람직하다.

상기 컨트롤 게이트의 마주 보는 반대쪽 측벽은 완전한 스페이서 형태로 상기 터널링 절연층의 측벽으로부터 일정한 길이 만큼 연장되며 상기 게이트 절연층 상에 형성되며, 상기 터널링 절연층은 열성장된 산화물층을 포함하며, 상기 열성장된 산화물층 상에 화학기상증착된 산화물층을 더 포함할 수 있다.

상기 인접하는 플로팅 게이트쌍의 플로팅 게이트의 폭이 동일한 것이 바람직하며, 상기 인접하는 컨트롤 게이트들간에 상기 터널링 절연층의 측벽으로부터 외측으로 연장되는 부분의 길이가 서로 동일한 것이 바람직하며, 상기 인접하는 컨트롤 게이트들간에 상기 게이트간 절연층 위로 연장되는 돌출부들의 연장 길이가 동일한 것이 바람직하다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예들을 상세하게 설명한다. 그러나, 본 발명은 많은 상이한 형태로 구현될 수 있으며, 여기서 설명되는 실시예들에 한정되는 것으로 해석되서는 아니되며, 차라리 이러한 실시예들은 그 개시 내용을 완벽히 하며 발명의 사상을 당업자에게 충분히 전달하기 위해 제공되는 것이다. 도면들에서, 층들 및 영역들의 두께는 명료성을 위해 과장되어 있다. 동일한 참조번호는 전체적으로 동일한 요소를 지칭한다.

도 1은 본 발명의 실시예에 따른 스플릿 게이트형 비휘발성 반도체 메모리 소자의 레이아웃을 나타내며, 도 12는 도 1의 A-A'선을 자른 완성된 스플릿 게이트형 비휘발성 반도체 메모리 소자의 단면도를 나타낸다.

도 1 및 도 12를 참조하면, 예를 들어 실리콘 단결정으로 이루어진 반도체기판(100)에 부분적으로 소자분리영역(101)이 LOCOS법 또는 트렌치법에 의해 형성됨으로써 상대적으로 소자 활성영역이 정의된다. 각 메모리 셀에는 서로 분리되어 독립된 플로팅 게이트(104a)가 인접한 메모리 셀의 플로팅 게이트(104a)와 일정한 간격을 두고 배치되어 있다. 즉, 메모리

셀에서 가로 방향을 따라 홀수 셀 및 짝수 셀이 반복적으로 배치되어 있으며, 홀수 셀(odd cell)과 짝수 셀(even cell)은 서로 방향을 축으로 거울 대칭 형태로 서로 마주 보고 있으며, 각 짝수 셀(또는 홀수 셀)은 인접한 홀수 셀(또는 짝수 셀)과 소오스 라인(도시안됨)을 공유하도록 배치된다.

각 셀에 배치되어 있는 플로팅 게이트(104a)와 오버랩되도록 서로 방향을 따라 워드 라인의 역할을 하는 컨트롤 게이트(120)가 소자활성영역 및 소자분리영역(101)을 넘어 길게 연장되어 있다. 인접한 메모리 셀의 플로팅 게이트(104a) 사이에서 서로 방향으로 길게 연장된 반도체기판(100)의 소자활성영역에는 소오스 영역(114)이 양 셀에 공유되도록 배치되며, 인접한 메모리 셀의 컨트롤 게이트(120)들 사이에서 노출되는 반도체기판(100)의 소자활성영역에는 드레인영역(122, 126)이 양 셀에 공유되도록 배치된다. 각 메모리 셀의 드레인 영역(122, 126)내에는 비트라인 콘택(132)이 형성되며, 가로 방향을 따라 소자활성영역 위로 길게 연장된 비트라인(134)과 전기적으로 접속하게 된다.

도 1 및 도 12에서 보여지는 바와 같이, 스플릿 게이트형 플래시 반도체 메모리 소자에 있어서, 플로팅 게이트(104a)는 외부와 전기적으로 완전히 절연된 고립 구조를 가지며, 이 플로팅 게이트(104a)로의 전자의 주입(쓰기)과 방출(소거)에 따라 셀의 전류가 변하는 성질을 이용하여 데이터를 저장한다. 쓰기 모드에서 소오스 영역(114)에 예컨대 15V 이상의 고전압을 인가하고 드레인 영역(126)에 적절한 전압을 인가하면, 컨트롤 게이트(120)에 인접한 플로팅 게이트(104a) 하부의 반도체 기판(100)에서 열전자(hot electron)가 게이트 절연층(102)을 통과하여 플로팅 게이트(104a) 내로 주입된다. 이 때, 게이트 절연층(102)은 소오스 영역(114)에 인가된 전압을 커플링하여 플로팅 게이트(104a)의 전위를 높여주는 역할을 한다. 소거 모드에서는 컨트롤 게이트(120)에 15V 이상의 전압을 인가하면 플로팅 게이트(104a)의 가장자리 팁(tip)에 고전계가 인가되어 플로팅 게이트(104a) 내의 전자가 컨트롤 게이트(120)로 빠져나온다. 이 때, 게이트간 절연층(110a)은 컨트롤 게이트(120)와 플로팅 게이트(104a) 사이의 커플링 비(coupling ratio)를 감소시켜 양단간의 전위차를 크게 유지시킨다. 이와 같이, 플로팅 게이트(104a)로의 전자 주입은 채널영역에서 열전자를 통한 CHEI(Channel Hot Electron Injection) 방식으로 이루어지며, 전자 방출은 플로팅 게이트(104a)와 컨트롤 게이트(120) 사이의 터널링 절연층(118)을 통한 F-N(Fowler-Nordheim) 터널링이 이용된다.

도 2를 참조하면, LOCOS법 또는 STI(Shallow Trench Isolation)등의 트랜치법에 의해 소자 활성영역이 정의된 예를 들어, 단결정 실리콘으로 이루어진 p형 반도체기판(100) 상에 게이트 절연층(102)으로써 실리콘 산화물층을 약 50 내지 150 Å 정도의 두께가 되도록 열성장시키고, 그 위에 플로팅 게이트용 도전층(104)으로써 제1 폴리실리콘층을 약 500 내지 2000 Å 정도의 두께가 되도록 침적시킨다. 이때 폴리실리콘층에는 n형 불순물이 도핑되도록 이온주입 또는 $POCl_3$ 침적 공정을 진행시킨다.

이어서, 제1 폴리실리콘층상에 제1 절연층(106)으로써 약 30 내지 100 Å 정도의 두께로 실리콘 산화물층을 성장시키고, 그 상부에 마스크층(108)으로써 실리콘 질화물층을 약 2000 내지 4000 Å 정도의 두께로 형성시키고, 소정의 포토리소그라피 공정을 이용하여 제1 절연층(106)의 표면을 노출시키는 소정 폭의 개구부를 갖는 마스크층 패턴을 형성한다. 후술하는 바와 같이 상기 개구부는 플로팅 게이트가 형성될 위치를 한정하는 것으로서, 도 1에 도시된 바와 같이 서로 방향으로 소오스 라인이 형성되는 위치마다 스트라이프 형태로 형성된다.

이어서, 도 2에는 도시되어 있지 않지만, 도 1을 참조하면, 개구부가 형성된 마스크층(108) 패턴의 전면에 포토레지스트를 형성한 후 서로 방향을 따라 비트 라인(134)에 평행하도록 인접한 메모리 셀간의 플로팅 게이트(104a)를 절단할 수 있는 포토레지스트 패턴을 형성한다. 이어서, 상기 포토레지스트 패턴을 식각마스크로 하여 노출된 제1 절연층(106), 플로팅 게이트용 도전층(104)을 식각하여 플로팅 게이트용 도전층(104)을 서로 방향을 따라 각 메모리 셀 별로 절단하는 공정을 수행한다. 상기 플로팅 게이트용 도전층(104)을 서로 방향을 따라 절단하기 위한 상기 포토레지스트 패턴은 도 1에서 가로 방향을 따라 소자분리영역(101) 및 소자 활성영역을 넘어 길게 스트라이프 형태로 연장된 형태로 구성할 수도 있으며, 소자분리영역(101) 상에서만 개구된 형태로 구성할 수도 있으며, 플로팅 게이트용 도전층(104)이 서로 방향으로 인접한 메모리 셀간에 절단되는 영역에만 국소적으로 개구된 형태로 구성할 수도 있다.

계속하여 도 3을 참조하면, 마스크층(108) 패턴을 마스크로 하여 선택적 산화공정을 수행하여, 개구부에 의해 노출된 부분에 게이트간 절연층(110)으로써 열산화층을 약 500 내지 2000 Å 정도의 두께가 되도록 형성시킨다.

계속하여 도 4를 참조하면, 게이트간 절연층(110)이 형성된 반도체기판(100)의 전면에 희생층으로써 제2 폴리실리콘층을 약 1000 내지 3000 Å 정도의 두께로 증착한 후 반응성 이온 식각 방식의 건식 식각법에 의해 이방성 식각함으로써 마스크층(108) 패턴의 개구부의 측벽을 따라 초기의 희생층 스페이서(112)를 형성시킨다. 상기 초기의 희생층 스페이서(112)의 바닥의 폭은 예를 들어, 본 실시예에서는 0.15 내지 0.25 μm 정도가 되도록 형성한다. 상기 초기의 희생층 스페이서(112)로서 본 실시예에서는 플로팅 게이트용 도전층(104)으로 사용된 물질과 동일한 폴리실리콘층을 사용하였지만, 최종

제품에서는 존재하지 않는 희생층이며, 상기 게이트간 절연층(110)과 식각선택비를 가지며, 상기 플로팅 게이트용 도전층(104)과 동일한 식각선택비를 갖거나 거의 같은 식각선택비를 갖는 물질을 사용하는 것이 바람직하다. 그러나 제작자의 의도에 따라 도 5에 도시된 최종의 희생층 스페이서(112a)가 초기의 희생층 스페이서(112)와 거의 같은 크기로 유지되는 경우에는 희생층과 플로팅 게이트용 도전층(104)간의 식각선택비는 매우 클 수도 있음은 물론이다.

도 5를 참조하면, 마스크층(108) 패턴 및 희생층 스페이서(112)를 식각 마스크로 이용하여 노출된 게이트간 절연층(110)을 건식 식각하여 플로팅 게이트용 도전층(104)의 표면을 노출시킨다. 계속하여 마스크층(108) 패턴, 희생층 스페이서(112) 및 식각된 게이트간 절연층(110a)을 식각 마스크로 이용하여 노출된 플로팅 게이트용 도전층(104)을 게이트 절연층(102)이 노출될 때까지 관통되도록 식각한다. 이때 도 5에서 보여지는 바와 같이, 초기의 희생층 스페이서(112)도 동시에 식각되기 때문에 스페이서의 크기가 화살표로 표시된 바와 같이 감소하게 되어 최종의 희생층 스페이서(112a)가 형성된다.

본 발명에서는 플로팅 게이트용 도전층(104)이 절단된 상태에서 적어도 상기 게이트간 절연층(110a) 위로 최종의 희생층 스페이서(112a)가 잔류하도록 상기 플로팅 게이트용 도전층(104) 및 희생층의 식각 선택비 및 형성 두께를 적절히 제어하는 것이 바람직하다. 전술한 바와 같이 플로팅 게이트용 도전층(104)과 희생층 스페이서(112)를 형성하는 희생층간의 식각 선택비를 적절히 제어하는 동시에, 양자의 형성 두께를 적절히 제어할 수 있다. 즉, 본 실시예에서와 같이 양자를 동일한 폴리실리콘층으로 형성하는 경우에도 플로팅 게이트용 도전층(104)은 약 500 내지 2000 Å 정도의 두께로 형성하고, 희생층 스페이서(112)를 위한 희생층은 약 1000 내지 3000 Å 정도의 두께로 더 두껍게 형성함으로써 플로팅 게이트용 도전층(104)이 절단된 후에도 게이트간 절연층(110a) 위로 최종의 희생층 스페이서(112a)가 어느 정도의 크기로 잔류하게 된다. 잔류되는 희생층 스페이서(112a)의 크기는 제작자의 의도에 따라 선택되어진다. 필요에 따라서는 플로팅 게이트용 도전층(104)에 대한 과잉 식각을 실시하여 최종의 희생층 스페이서(112a)의 크기를 제어할 수 있음은 물론이다.

상기 플로팅 게이트용 도전층(104)이 관통되고 난 후, n형 불순물을 예를 들어 비소 또는 인을 약 1.0E15 내지 1.0E16 이온수/cm² 정도나 그 이하의 도즈량으로 약 40 keV이나 그 이하의 이온주입 에너지로 이온주입하여 소오스 영역(114)을 형성한다.

도 6을 참조하면, 도 5의 구조상의 전면에 절연층, 예를 들어 실리콘 산화물층을 약 5000 내지 15,000 Å 정도의 두께로 두껍게 증착한 후 마스크층(108)이 노출될 때까지 화학기계적 연마(CMP) 공정을 수행하여 표면을 평탄화하여 도시된 바와 같이 절연 플러그(116)를 형성한다.

도 7을 참조하면, 절연 플러그(116)에 선택적으로 마스크층(108)을 제거한다. 본 실시예에서는 인산(H₃PO₄)을 사용하여 습식 식각으로 절화물로 된 마스크층(108)을 선택적으로 제거한다. 계속하여 습식 식각으로 마스크층(108) 패턴의 개구부 측벽에 부분 스페이서 형태로 잔류하던 최종의 희생층 스페이서(112a)를 제거하여 노치 형태를 갖는 절연 플러그(116)의 구조물을 남긴다. 본 실시예에서 희생층 스페이서(112a)로 사용된 폴리실리콘을 제거하기 위해 희석된 NH₄OH를 사용한다.

도 8을 참조하면, 절연 플러그(116)를 식각 마스크로 이용하여 건식 식각을 수행하여 제1 절연층(106)을 제거하여 플로팅 게이트용 도전층(104)을 노출시킨다. 습식 식각으로 제거할 수도 있음은 물론이다. 계속하여 절연 플러그(116) 및 게이트간 절연층(110a)을 식각 마스크로 이용하여 노출된 플로팅 게이트용 도전층(104)을 게이트 절연층(102)이 노출될 때까지 건식 식각하여 각 메모리 셀 별로 분리된 플로팅 게이트(104a)를 형성한다.

도 9를 참조하면, 노출된 플로팅 게이트(104a)의 표면상에 터널링 절연층(118)으로서 터널링 산화물층을 약 50 내지 150 Å 정도의 두께로 형성한다. 이때 터널링 절연층(118)은 열성장시킨 산화물층이거나 또는 열성장시킨 산화물층상에 화학 기상증착(CVD)시킨 산화물층일 수 있다.

도 10을 참조하면, 도 9의 구조물 상에 컨트롤 게이트용 도전층으로써, 예를 들어 폴리실리콘층을 약 2000 내지 4000 Å 정도로 증착시킨 후, 반응성 이온 식각 방식의 건식 식각을 이용하여 절연 플러그(116) 및 터널링 절연층(118)의 측벽상에 위드 라인이 되는 스페이서 형태의 컨트롤 게이트(120)를 형성한다. 도시된 바와 같이, 절연 플러그(116)와 접촉하는 컨트롤 게이트(120)의 일 측벽에는 그 바닥이 게이트간 절연층(110a) 위로 예를 들어, 0.20 내지 0.35 μm 정도 길이 만큼 연장된 부분 스페이서 형태의 돌출부가 일정한 높이로 형성되어 있으며, 절연 플러그(116)와 반대쪽의 측벽은 완전한 스페이서 형태로 형성되어 있다. 도시된 돌출부의 게이트간 절연층(110a) 위로의 연장된 수평 거리 및 수직 높이는 전술한 바와 같이 플로팅 게이트용 도전층(104)에 대한 희생층 스페이서(112)의 상대적 식각선택비 및 형성 두께 등에 의해 제어될 수 있다.

계속하여, 스페이서 형태의 컨트롤 게이트(120)와 절연 플러그(116)를 이온 주입 마스크로 이용하여 n-형 불순물 이온을 40 keV 정도 또는 그 이하의 이온주입 에너지로 이온주입하여 저농도 드레인영역(122)을 형성한다.

도 11을 참조하면, 절연층으로서 실리콘 산화물층(SiO₂)을 약 1000 내지 2000 Å 정도의 두께로 증착시킨 후 반응성 이온 식각하여 컨트롤 게이트(120)의 측벽에 절연층 스페이서(124)를 형성한다. 계속하여, n+ 형 불순물 이온을 상대적으로 고 에너지로 이온주입하여 고농도 드레인영역(126)을 깊게 형성하여, 비트 라인 접합 영역을 형성한다.

도 12를 참조하면, 도 11의 구조물 상에 층간절연층(130)을 10,000 내지 15,000 Å 정도의 두께로 형성한 후, 포토리소그라피 공정에 의해 비트라인 콘택영역을 한정하는 개구부를 형성한 후 비트라인 콘택(132)을 형성하고, 계속하여 비트라인 도전층을 형성한 후 패터닝하여 워드 라인에 직교하는 비트라인(134)을 형성한다. 비트라인 콘택(132)을 위해 Ti/TiN의 장벽금속층을 형성할 수 있으며, CVD-W 플러그를 사용할 수 있으며, 비트라인을 위해 알루미늄을 사용할 수 있다.

이상은 본 발명의 바람직한 실시예에 대한 구체적인 설명이지만, 본 발명은 상기 실시예들의 형태에 한정되는 것이 아니라 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 당업자의 기술수준에 따라 여러 가지로 변경을 가하는 것이 가능하다.

발명의 효과

본 발명에 의하면, 컨트롤 게이트를 오정렬을 유발할 수 있는 포토 공정에 의존하지 않고 자체정렬적으로 형성하기 때문에 짝수 셀과 홀수 셀간의 온 전류 차이를 극복할 수 있다.

본 발명에 의하면, 포토 공정에 의존하지 않고 플로팅 게이트의 크기를 자유롭게 제어할 수 있으며, 메모리 셀에서 짝수 셀과 홀수 셀에서 플로팅 게이트의 크기를 균일하게 유지할 수 있다.

본 발명에 의하면, 포토 공정에 의존하지 않고 컨트롤 게이트의 크기 및 그 하부의 채널 영역의 길이를 자유롭게 제어할 수 있으며, 메모리 셀에서 짝수 셀과 홀수 셀에서 그 크기 및 길이를 균일하게 유지할 수 있다.

또한 본 발명에 의하면, 스플릿 게이트형 플래시 메모리 소자에 있어서 컨트롤 게이트와 플로팅 게이트와의 오버랩 크기를 자유롭게 제어할 수 있다.

(57) 청구의 범위

청구항 1.

반도체기판 위에 게이트 절연층과 플로팅 게이트용 도전층을 형성하는 단계;

상기 플로팅 게이트용 도전층이 형성된 상기 반도체기판 위로 일정한 폭의 개구부를 갖는 마스크 패턴을 형성하는 단계;

상기 개구부 하측의 노출된 부분상에 게이트간 절연층을 형성하는 단계;

상기 마스크 패턴의 개구부 측벽을 따라 상기 게이트간 절연층 위로 연장된 희생층 스페이서를 형성하는 단계;

상기 마스크 패턴 및 상기 희생층 스페이서를 식각 마스크로 하여 상기 게이트간 절연층을 식각하여 관통시키는 단계;

상기 마스크 패턴, 상기 희생층 스페이서 및 상기 관통된 게이트간 절연층을 식각 마스크로 하여 상기 플로팅 게이트용 도전층을 관통시키는 단계;

상기 플로팅 게이트용 도전층 및 상기 게이트간 절연층의 관통된 부분을 포함하여 상기 마스크 패턴의 개구부를 매립하는 형태의 절연 플러그를 형성하는 단계;

상기 마스크 패턴을 제거하는 단계;

상기 잔류하는 희생층 스페이서를 제거하는 단계;

상기 절연 플러그 및 노출된 상기 게이트간 절연층을 식각 마스크로 하여 상기 게이트 절연층이 노출되도록 상기 플로팅 게이트용 도전층을 식각하여 일정한 거리 만큼 서로 이격된 적어도 한쌍의 플로팅 게이트를 형성하는 단계;

상기 노출된 플로팅 게이트용 도전층의 측벽 상에 터널링 절연층을 형성하는 단계; 및

상기 반도체기판의 전면에 컨트롤 게이트용 도전층을 증착한 후 식각하여 상기 절연 플러그의 측벽 및 상기 터널링 절연층의 표면과 접촉하는 컨트롤 게이트를 형성하는 단계를 포함하는 스플릿 게이트형 비휘발성 반도체 메모리소자의 제조방법.

청구항 2.

제 1 항에 있어서,

상기 마스크 패턴은 질화물로 이루어지며, 상기 마스크 패턴을 형성하기 전에 상기 플로팅 게이트용 도전층 위에 산화물로 이루어진 제1 절연층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자의 제조방법.

청구항 3.

제 1 항에 있어서,

상기 플로팅 게이트용 도전층을 관통시키는 단계 이후에, 상기 개구부 하측의 상기 반도체기판에 불순물 이온을 주입하여 소오스영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자의 제조방법.

청구항 4.

제 1 항에 있어서,

상기 컨트롤 게이트를 형성하는 단계 이후에, 상기 반도체기판의 전면에 불순물 이온을 주입하여 상기 컨트롤 게이트의 측벽 하측의 상기 반도체기판에 저농도 드레인영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자의 제조방법.

청구항 5.

제 4 항에 있어서,

상기 저농도 드레인영역을 형성하는 단계 이후에, 상기 컨트롤 게이트의 측벽에 절연 스페이서를 형성하는 단계; 및 상기 절연 스페이서 측벽 하측의 상기 반도체기판에 불순물 이온을 주입하여 고농도 드레인영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자의 제조방법.

청구항 6.

제 1 항에 있어서,

상기 플로팅 게이트용 도전층이 관통된 후에도 상기 희생층 스페이서가 적어도 상기 게이트간 절연층 위로 일정한 두께 만큼 잔류되도록 하는 것을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자의 제조방법.

청구항 7.

제 6 항에 있어서,

상기 플로팅 게이트용 도전층 및 상기 희생층 스페이서 간의 식각선택비에 따라 상기 플로팅 게이트용 도전층 및 희생층 스페이서의 형성 두께를 설정하는 것을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자의 제조방법.

청구항 8.

제 1 항에 있어서,

상기 플로팅 게이트용 도전층과 상기 희생층은 동일한 식각속도를 갖는 물질로 이루어진 것을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자의 제조방법.

청구항 9.

제 8 항에 있어서,

상기 플로팅 게이트용 도전층과 상기 희생층은 폴리실리콘으로 이루어진 것을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자의 제조방법.

청구항 10.

제 9 항에 있어서,

상기 희생층의 두께는 상기 플로팅 게이트용 도전층의 두께 보다 두꺼운 것을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자의 제조방법.

청구항 11.

제 10 항에 있어서,

상기 희생층의 두께는 1000 내지 3000 Å이며, 상기 플로팅 게이트용 도전층의 두께는 500 내지 2000Å인 것을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자의 제조방법.

청구항 12.

제 1 항에 있어서,

상기 게이트간 절연층은 열성장된 산화물층임을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자의 제조방법.

청구항 13.

제 1 항에 있어서,

상기 터널링 절연층은 열성장된 산화물층을 포함하는 것을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자의 제조방법.

청구항 14.

제 13 항에 있어서,

상기 터널링 절연층은 상기 열성장된 산화물층 상에 화학기상증착된 산화물층을 더 포함하는 것을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자의 제조방법.

청구항 15.

제 1 항에 있어서,

상기 절연 플러그와 접촉하는 상기 컨트롤 게이트의 내측벽에는 상기 플로팅 게이트와 오버랩되도록 그 바닥이 상기 게이트간 절연층의 표면 위로 일정한 길이 만큼 연장된 스페이서 형태의 돌출부를 포함하는 것을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자의 제조방법.

청구항 16.

제 1 항에 있어서,

상기 마스크 패턴을 형성하는 단계와 상기 게이트간 절연층을 형성하는 단계 사이에, 상기 플로팅 게이트용 도전층을 비트라인 방향을 따라 절단하는 단계를 더 포함하는 것을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자의 제조방법.

청구항 17.

반도체기판;

상기 반도체기판 상에 게이트 절연층을 개재하여 형성된 플로팅 게이트;

상기 플로팅 게이트의 상부 표면 상에 형성된 게이트간 절연층;

상기 플로팅 게이트의 일 측벽을 따라 형성된 터널링 절연층; 및

상기 터널링 절연층의 표면과 접촉하면서 수직방향으로 연장되며, 상기 플로팅 게이트와 오버랩되도록 그 바닥이 상기 게이트간 절연층의 표면 위로 일정한 길이 만큼 연장된 스페이서 형태의 돌출부를 포함하는 컨트롤 게이트;를 포함하는 것을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자.

청구항 18.

제 17 항에 있어서, 상기 컨트롤 게이트는 상기 돌출부 위로 평탄한 수직벽 형태로 구성된 것을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자.

청구항 19.

제 17 항에 있어서, 상기 게이트간 절연층의 두께는 상기 게이트 절연층 및 상기 터널링 절연층의 두께 보다 두꺼운 것을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자.

청구항 20.

제 17 항에 있어서, 상기 컨트롤 게이트의 상기 돌출부에 대항하는 측벽은 완전한 스페이서 형태로 상기 터널링 절연층의 측벽으로부터 일정한 길이 만큼 연장되며 상기 게이트 절연층 상에 형성된 것을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자.

청구항 21.

제 17 항에 있어서,

상기 터널링 절연층은 열성장된 산화물층을 포함하는 것을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자.

청구항 22.

제 21 항에 있어서,

상기 터널링 절연층은 상기 열성장된 산화물층 상에 화학기상증착된 산화물층을 더 포함하는 것을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자.

청구항 23.

제1 방향을 따라 복수개의 소오스 영역들이 형성된 반도체기판;

상기 반도체기판 상에 게이트 절연층을 개재하여 형성되어 있으며, 인접된 메모리 셀과 상기 소오스 영역을 공유하도록 서로 마주 보고 있는 복수개의 플로팅 게이트쌍;

상기 플로팅 게이트쌍의 각 상부 표면 상에 형성된 게이트간 절연층들;

상기 각 플로팅 게이트의 마주 보는 반대쪽의 측벽을 따라 형성된 터널링 절연층들;

상기 터널링 절연층들의 표면과 접촉하면서 수직방향으로 연장되며, 상기 플로팅 게이트들과 각기 오버랩되도록 그 바닥이 상기 게이트간 절연층의 표면 위로 일정한 길이 만큼 연장된 스페이서 형태의 돌출부를 포함하는 컨트롤 게이트들; 및

상기 인접하는 메모리 셀 사이에서, 서로 마주보는 상기 플로팅 게이트, 게이트간 절연층 및 컨트롤 게이트 사이에 형성된 절연 플러그를 포함하는 것을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자.

청구항 24.

제 23 항에 있어서, 상기 컨트롤 게이트는 상기 돌출부 위로 평탄한 수직벽 형태로 구성된 것을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자.

청구항 25.

제 23 항에 있어서, 상기 게이트간 절연층의 두께는 상기 게이트 절연층 및 상기 터널링 절연층의 두께 보다 두꺼운 것을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자.

청구항 26.

제 23 항에 있어서, 상기 컨트롤 게이트의 마주 보는 반대쪽 측벽은 완전한 스페이서 형태로 상기 터널링 절연층의 측벽으로부터 일정한 길이 만큼 연장되며 상기 게이트 절연층 상에 형성된 것을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자.

청구항 27.

제 23 항에 있어서,

상기 터널링 절연층은 열성장된 산화물층을 포함하는 것을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자.

청구항 28.

제 23 항에 있어서,

상기 터널링 절연층은 상기 열성장된 산화물층 상에 화학기상증착된 산화물층을 더 포함하는 것을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자.

청구항 29.

제 23 항에 있어서,

상기 인접하는 플로팅 게이트쌍의 플로팅 게이트의 폭이 동일한 것을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자.

청구항 30.

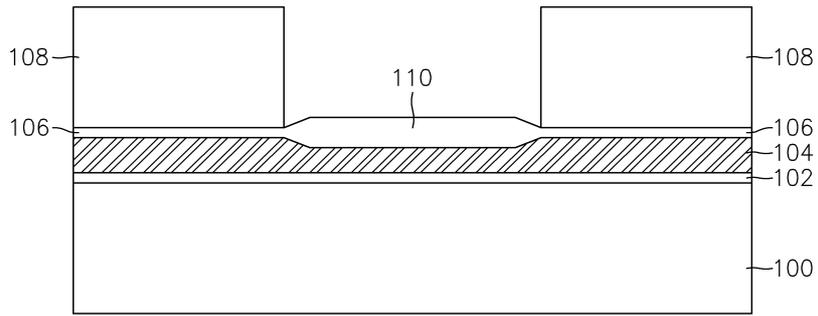
제 23 항에 있어서,

상기 인접하는 컨트롤 게이트들간에 상기 터널링 절연층의 측벽으로부터 외측으로 연장되는 부분의 길이가 서로 동일한 것을 특징으로 하는 스플릿 게이트형 비휘발성 반도체 메모리소자.

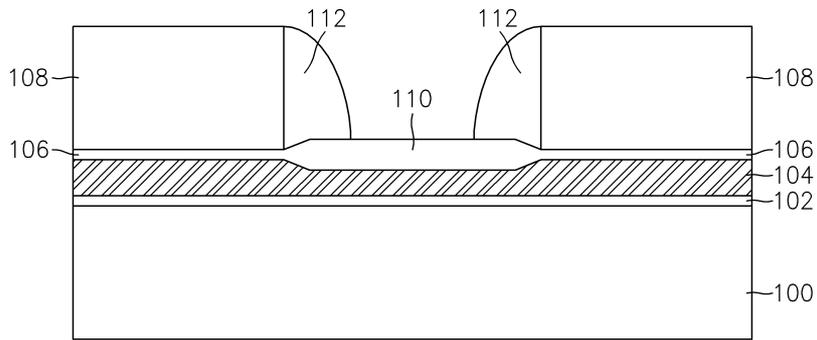
청구항 31.

제 23 항에 있어서,

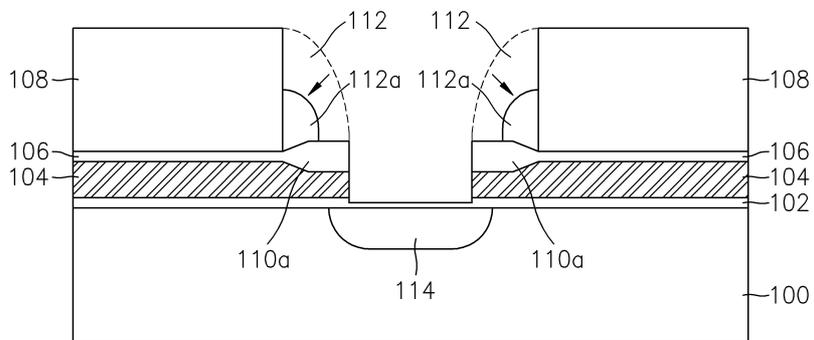
도면3



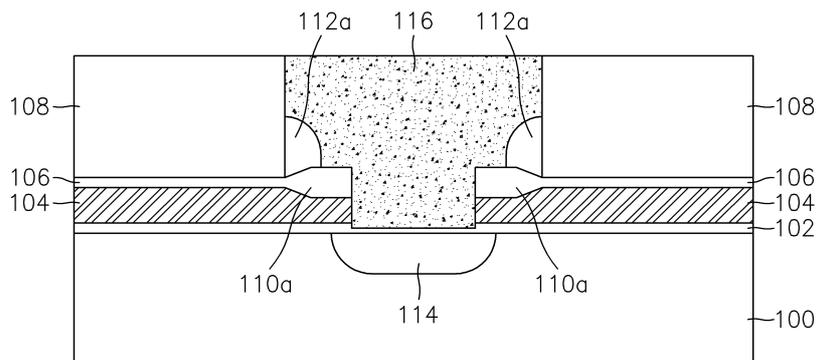
도면4



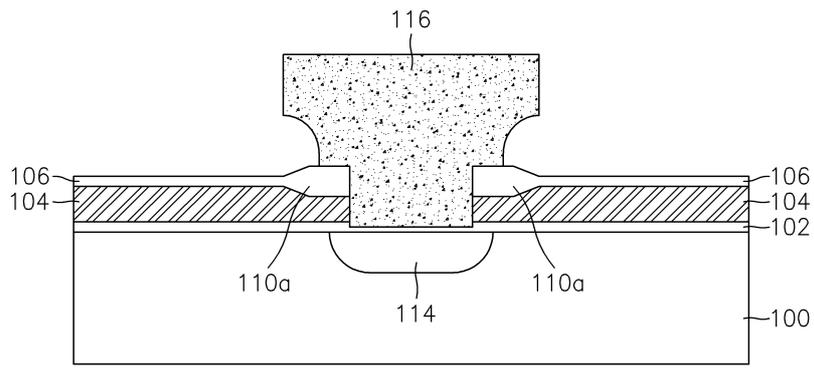
도면5



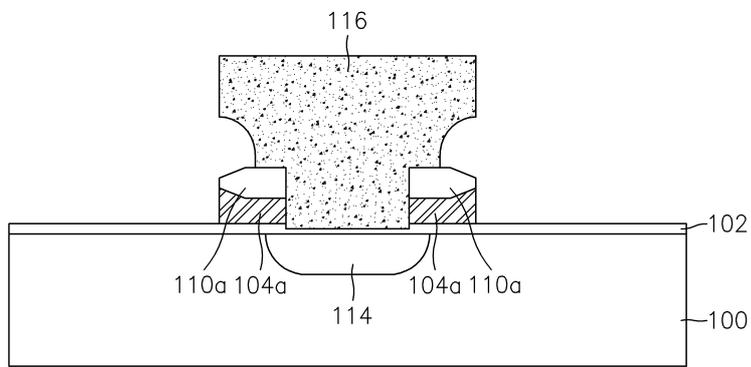
도면6



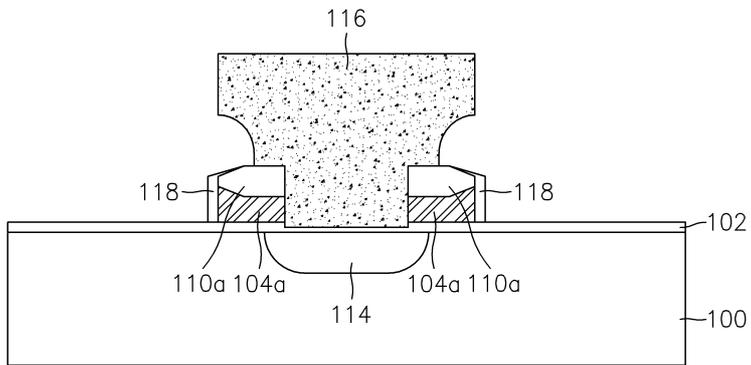
도면7



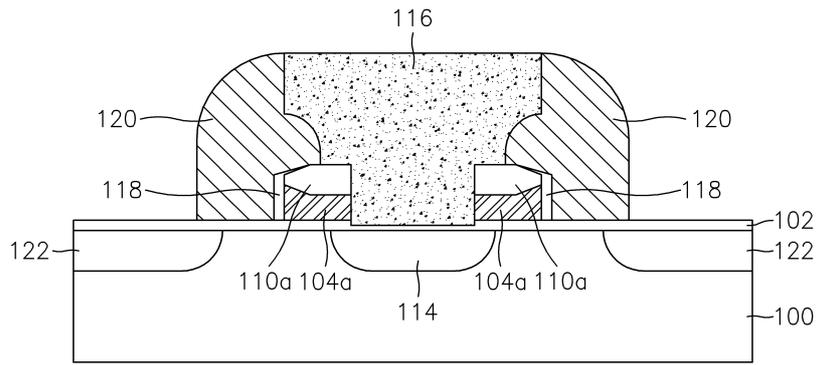
도면8



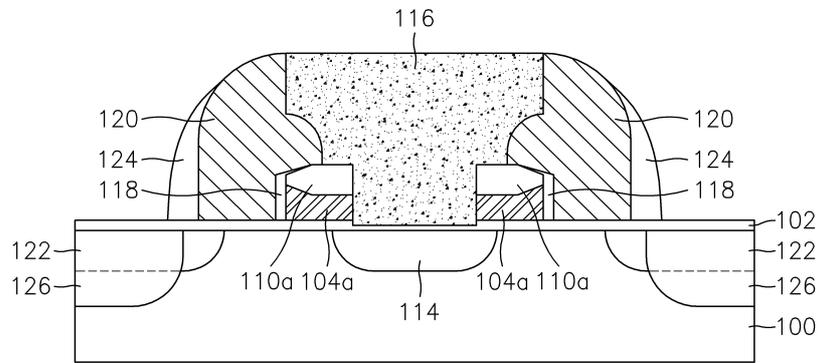
도면9



도면10



도면11



도면12

