



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

| | | |
|------------------------|-----------|-------------|
| (51) Int. Cl. | (45) 공고일자 | 2007년01월11일 |
| H01L 21/8242 (2006.01) | (11) 등록번호 | 10-0665900 |
| H01L 21/336 (2006.01) | (24) 등록일자 | 2007년01월02일 |
| H01L 29/78 (2006.01) | | |

| | | | |
|-----------|-----------------|-----------|-----------------|
| (21) 출원번호 | 10-2004-0114157 | (65) 공개번호 | 10-2006-0075377 |
| (22) 출원일자 | 2004년12월28일 | (43) 공개일자 | 2006년07월04일 |
| 심사청구일자 | 2005년09월29일 | | |

| | |
|-----------|---------------------------------------|
| (73) 특허권자 | 주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1 |
| (72) 발명자 | 정진기 경기 이천시 부발읍 신하리 신한아파트 101-105 |
| (74) 대리인 | 특허법인 신성 |

심사관 : 김기현

전체 청구항 수 : 총 10 항

(54) 리세스게이트를 구비한 반도체 소자의 제조 방법

(57) 요약

본 발명은 리세스게이트 공정시 발생하는 뿔의 높이를 최소화할 수 있는 반도체소자의 제조 방법을 제공하기 위한 것으로, 본 발명의 반도체소자의 제조 방법은 실리콘 기판의 소정영역에 소자분리막을 형성하는 단계, 상기 소자분리막에 의해 정의되는 활성영역을 소정 깊이로 식각하여 상기 소자분리막에 인접하는 가장자리가 뿔의 형상을 갖는 리세스패턴을 형성하는 단계, 상기 리세스패턴의 바닥부분을 채우면서 상기 뿔을 노출시키는 형태를 갖는 식각배리어막을 형성하는 단계, 상기 식각배리어막을 식각배리어로 이용하여 상기 뿔을 식각하여 상기 뿔의 높이를 낮추는 단계, 상기 식각배리어막을 제거하는 단계, 상기 뿔의 높이가 낮아진 리세스패턴을 포함한 전면에 게이트절연막을 형성하는 단계, 및 상기 게이트절연막 상에 상기 리세스에 자신의 하부가 매립되고 상기 실리콘기판의 표면 위로 상부가 돌출되는 리세스 게이트를 형성하는 단계를 포함한다.

대표도

도 3h

특허청구의 범위

청구항 1.

실리콘 기판의 소정영역에 소자분리막을 형성하는 단계;

상기 소자분리막에 의해 정의되는 활성영역을 소정 깊이로 식각하여 상기 소자분리막에 인접하는 가장자리가 뿔의 형상을 갖는 리세스패턴을 형성하는 단계;

상기 리세스패턴의 바닥부분을 채우면서 상기 뿔을 노출시키는 형태를 갖는 식각배리어막을 형성하는 단계;

상기 식각배리어막을 식각배리어로 이용하여 상기 뿔을 식각하여 상기 뿔의 높이를 낮추는 단계;

상기 식각배리어막을 제거하는 단계;

상기 뿔의 높이가 낮아진 리세스패턴을 포함한 전면에 게이트절연막을 형성하는 단계; 및

상기 게이트절연막 상에 상기 리세스에 자신의 하부가 매립되고 상기 실리콘기판의 표면 위로 상부가 돌출되는 리세스 게이트를 형성하는 단계

를 포함하는 반도체소자의 제조 방법.

청구항 2.

제1항에 있어서,

상기 식각배리어막을 형성하는 단계는,

상기 리세스패턴의 표면에 보호산화막을 형성하는 단계;

상기 보호산화막 상에 상기 리세스패턴을 채울때까지 감광막을 도포하는 단계;

상기 감광막을 선택적으로 제거하여 상기 리세스패턴의 바닥부분을 채우는 형태로 잔류시키는 단계; 및

상기 감광막에 의해 노출되는 보호산화막을 선택적으로 제거하여 상기 뿔을 노출시키는 단계

를 포함하는 것을 특징으로 하는 반도체소자의 제조 방법.

청구항 3.

제2항에 있어서,

상기 감광막을 선택적으로 제거하여 상기 리세스패턴의 바닥부분을 채우는 형태로 잔류시키는 단계는,

블랭킷 노광 및 현상으로 진행하거나, 또는 플라즈마 에치백공정으로 진행하는 것을 특징으로 하는 반도체소자의 제조 방법.

청구항 4.

제2항에 있어서,

상기 보호산화막을 선택적으로 제거하는 단계는,

블랭킷 산화막 식각으로 진행하는 것을 특징으로 하는 반도체소자의 제조 방법.

청구항 5.

제4항에 있어서,

상기 블랭킷 산화막 식각은, 플라즈마를 이용한 건식식각으로 진행하는 것을 특징으로 하는 반도체소자의 제조 방법.

청구항 6.

제2항에 있어서,

상기 보호산화막은,

1nm~10nm 두께로 형성하는 것을 특징으로 하는 반도체소자의 제조 방법.

청구항 7.

제1항에 있어서,

상기 뿔의 높이를 낮추는 단계는,

건식식각으로 진행하는 것을 특징으로 하는 반도체소자의 제조 방법.

청구항 8.

제7항에 있어서,

상기 건식식각은,

CF_4/O_2 의 혼합가스를 이용한 플라즈마식각으로 진행하는 것을 특징으로 하는 반도체소자의 제조 방법.

청구항 9.

제1항에 있어서,

상기 뿔의 높이를 낮추는 단계는,

습식식각으로 진행하는 것을 특징으로 하는 반도체소자의 제조 방법.

청구항 10.

제9항에 있어서,

상기 습식식각은,

질산(HNO_3), 불산(HF), 초산(CH_3COOH)이 포함된 혼합용액을 이용하는 것을 특징으로 하는 반도체소자의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 제조 기술에 관한 것으로, 특히 리세스게이트를 갖는 반도체소자의 제조 방법에 관한 것이다.

서브 100nm 기술의 DRAM의 셀트랜지스터에서 요구되는 채널도핑은 $10^{18}/\text{cm}^3$ 을 넘게 되고, 전기장(Electric field)에 기인한 접합누설에 의해 더이상 데이터리텐션(리프्रेस)에 대한 요구조건을 충족시킬 수 없다.

따라서, 일반적인 플라나형 셀트랜지스터(Planar type cell transistor)를 리세스드 채널(Recessed channel)로 바꿔 유효 채널길이(Leff)를 증가시키고 채널도핑을 $10^{17}/\text{cm}^3$ 수준으로 낮춰 전기장을 효과적으로 감소시킬 수 있다.

이리하여 리세스게이트(Recess Gate; RG) 공정이 제안되었고, 현재 많은 연구가 진행되고 있다.

도 1a 및 도 1b는 종래기술에 따른 리세스 게이트를 갖는 반도체소자의 제조 방법을 도시한 공정 단면도이다. 이하, 좌측의 공정 단면도는 리세스게이트의 수직방향에 대해 도시한 것이고, 우측의 공정단면도는 리세스게이트의 수평방향에 대해 도시한 것이다.

도 1a에 도시된 바와 같이, 실리콘 기판(11)의 소정 영역에 트렌치 구조의 소자분리막(12)을 형성한다.

다음으로, 실리콘 기판(11) 상에 하드마스크(13)를 형성한 후, 하드마스크(13) 상에 감광막을 이용한 리세스마스크(14)를 형성한다.

이어서, 리세스마스크(14)를 식각배리어로 하드마스크(13)를 식각하고 연속해서 실리콘 기판(11)을 소정 깊이로 부분 건식식각하여 리세스패턴(15)을 형성한다.

도 1b에 도시된 바와 같이, 리세스마스크(14) 및 하드마스크(13)를 순차적으로 제거한 후, 리세스패턴(15)의 표면 상에 게이트절연막(16)을 성장시킨다.

계속해서, 게이트절연막(16) 상에 게이트배선막(17)을 증착한 후, 게이트배선막(17) 상에 실리콘질화막으로 이루어진 게이트하드마스크(18)를 증착한다.

이어서, 감광막을 이용한 게이트마스크(도시 생략)를 식각배리어로 게이트하드마스크(18)과 게이트배선막(11)을 건식식각하여 리세스게이트(100)를 형성한다.

전술한 바와 같이, 종래기술은 리세스패턴(15)에 자신의 하부가 일부 매립되고 나머지는 실리콘기판(11)의 표면 위로 돌출되는 리세스게이트(100)를 형성하고 있다. 따라서, 리세스게이트(100) 아래에서 정의되는 채널의 유효채널길이(Leff)를 길게 하고 있다.

그러나, 종래기술은 활성영역 리세스 공정시 침점 형태의 뿔(도 1a의 'H' 참조)이 발생하는 문제가 있다.

자세히 살펴보면, 활성영역 리세스 공정시 사용하는 식각조건, 예를 들어 플라즈마 식각을 진행하는 경우에, 소자분리막(12)에 인접하고 있는 리세스패턴(15)의 가장자리 부분에서는 상부 부분의 형상이 침점 형태로 존재하게 된다. 이러한 침점을 편의상 '뿔(Horn, H)'이라고 명명하며, 뿔(H)은 활성영역 리세스 공정시 소자분리막(12)으로 사용된 산화막이 식각배리어로 작용하여 식각이 완전히 이루어지지 않기 때문에 발생한다.

이와 같이, 소자분리막(12)에 인접하고 있는 리세스패턴(15)의 뿔(H)을 최소화시키지 않으면, 소자 동작시 누설전류가 커져 소자의 리프레시 특성을 열화시키는 문제점이 있다. 예컨대, 뿔(H)이 높게 잔류하게 되면 트랜지스터 특성에서 아주 낮은 문턱전압(Vt)에서 채널이 형성되는 험프(Hump) 현상이 발생하는 문제가 있다.

도 2는 종래기술에 따른 뿔의 형상을 나타낸 사진으로서, 소자분리막(FOX)에 인접하는 지역에서 뿔(H)이 매우 높게 잔류하고 있음을 알 수 있다.

리세스 게이트를 갖는 반도체소자가 리프레시 특성을 향상시키고자 제안된 것임을 감안하면, 이와 같이 리세스패턴의 가장자리에서 잔류하는 뿔로 인해 험프현상이 발생하는 경우 반도체소자의 리프레시 특성이 오히려 저하되는 문제가 초래된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로, 리세스게이트 공정시 발생하는 뿔의 높이를 최소화할 수 있는 반도체소자의 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성

상기 목적을 달성하기 위한 본 발명의 반도체소자의 제조 방법은 실리콘 기판의 소정영역에 소자분리막을 형성하는 단계, 상기 소자분리막에 의해 정의되는 활성영역을 소정 깊이로 식각하여 상기 소자분리막에 인접하는 가장자리가 뿔의 형상을 갖는 리세스패턴을 형성하는 단계, 상기 리세스패턴의 바닥부분을 채우면서 상기 뿔을 노출시키는 형태를 갖는 식각배리어막을 형성하는 단계, 상기 식각배리어막을 식각배리어로 이용하여 상기 뿔을 식각하여 상기 뿔의 높이를 낮추는 단계, 상기 식각배리어막을 제거하는 단계, 상기 뿔의 높이가 낮아진 리세스패턴을 포함한 전면에 게이트절연막을 형성하는 단계, 및 상기 게이트절연막 상에 상기 리세스에 자신의 하부가 매립되고 상기 실리콘기판의 표면 위로 상부가 돌출되는 리세스 게이트를 형성하는 단계를 포함하는 것을 특징으로 하고, 상기 뿔의 높이를 낮추는 단계는 건식식각 또는 습식식각으로 진행되는 것을 특징으로 하며, 상기 건식식각은 CF_4/O_2 의 혼합가스를 이용한 플라즈마식각으로 진행되는 것을 특징으로 하고, 상기 습식식각은 질산(HNO_3), 불산(HF), 초산(CH_3COOH)이 포함된 혼합용액을 이용하는 것을 특징으로 하며, 상기 식각배리어막을 형성하는 단계는 상기 리세스패턴의 표면에 보호산화막을 형성하는 단계, 상기 보호산화막 상에 상기 리세스패턴을 채울때까지 감광막을 도포하는 단계, 상기 감광막을 선택적으로 제거하여 상기 리세스패턴의 바닥부분을 채우는 형태로 잔류시키는 단계, 및 상기 감광막에 의해 노출되는 보호산화막을 선택적으로 제거하여 상기 뿔을 노출시키는 단계를 포함하는 것을 특징으로 한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

도 3a 내지 도 3h는 본 발명의 실시예에 따른 반도체소자의 제조 방법을 도시한 공정 단면도이다. 이하, 좌측의 공정 단면도는 리세스게이트의 수직방향(I)에 대해 도시한 것이고, 우측의 공정단면도는 리세스게이트의 수평방향(II)에 대해 도시한 것이다.

도 3a에 도시된 바와 같이, 실리콘기판(31)에 STI 공정을 진행하여 소자분리막(32)을 형성한다. 이때, 소자분리막(32)을 제외한 나머지 실리콘기판(31)은 활성영역으로 정의된다.

이어서, 도시되지 않았지만, 셀트랜지스터에 요구되는 여러 이온주입공정 및 세정 공정을 진행한다.

다음으로, 소자분리막(32)이 형성된 실리콘기판(31)의 전면에 하드마스크산화막(33)과 하드마스크폴리실리콘막(34)를 차례로 적층한다. 이때, 하드마스크산화막(33)과 하드마스크폴리실리콘막(34)은 후속 활성영역 리세스 식각 공정시 식각배리어로 작용하는 것이며, 하드마스크폴리실리콘막(34)의 경우는 LPCVD(Low Pressure Chemical Vapor Deposition) 방법을 이용하여 800Å ~ 1000Å의 두께로 증착한다.

이어서, 하드마스크폴리실리콘막(34) 상에 감광막을 도포하고 노광 및 현상으로 패터닝하여 리세스마스크(35)를 형성한다.

다음으로, 리세스마스크(35)를 식각배리어로 하드마스크폴리실리콘막(34)과 하드마스크산화막(33)을 식각한다.

여기서, 하드마스크산화막(33)과 하드마스크폴리실리콘막(34)의 식각후 리세스게이트의 수평방향(Ⅱ)에 대해서는 하드마스크산화막(33)과 하드마스크폴리실리콘막(34)이 없고 리세스게이트의 수직방향(Ⅰ)에 대해서만 하드마스크산화막(33)과 하드마스크폴리실리콘막(34)이 존재한다.

도 3b에 도시된 바와 같이, 리세스마스크(35)를 스트립한 후, 하드마스크폴리실리콘막(34)을 식각배리어로 실리콘기판(31)을 소정깊이로 식각하여 리세스패턴(36)을 형성한다.

이때, 리세스패턴(36)의 깊이는 1000Å~1700Å의 범위로 조절하고, 리세스패턴(36)을 형성하기 위한 식각 공정은, HBr/Cl₂/O₂의 혼합가스를 식각가스로 사용하며, 하드마스크폴리실리콘막(34)은 리세스패턴(36) 형성시 모두 소모되고 잔류하지 않는다.

위와 같은 리세스패턴(35)을 형성하기 위한 식각 공정후에 리세스패턴(35)의 상부 부분에서 뿔(H)이 형성되는 것을 피할 수 없다.

이러한 뿔(H)의 높이를 최소화하기 위해 본 발명은 다음과 같은 공정을 추가로 진행한다. 예컨대, 보호산화막 공정, 감광막 도포 및 블랭킷노광 공정, 보호산화막 일부 식각 공정, 뿔을 제거하기 위한 실리콘 식각 공정을 추가한다.

도 3c에 도시된 바와 같이, 하드마스크산화막(33)이 잔류한 상태에서 리세스패턴(36)의 바닥 및 측벽을 산화시켜 보호산화막(37)을 1nm~10nm 두께로 형성한다. 여기서, 보호산화막(37)은 후속 뿔(H)을 식각하기 위한 식각공정시 리세스게이트의 수직방향(Ⅰ)에서 리세스패턴(36)의 측벽 부분이 손상되는 것을 방지하기 위한 것이며, 특히 보호산화막(37) 위에 형성되는 감광막(38)과 리세스패턴(36)의 측벽(실리콘)간 접착력 약화로 이들의 계면을 통해 식각물질(즉, 습식식각시)이 흘러들어가 리세스게이트의 수직방향(Ⅰ)의 리세스패턴(36)의 측벽부분을 손상시키는 것을 방지하기 위한 것이다.

이후, 보호산화막(37)이 형성된 리세스패턴(36)의 내부를 완전히 채울때까지 전면에 감광막(38)을 도포한다. 여기서, 감광막(38)은 실질적으로 후속 뿔(H)의 식각공정시 식각배리어 역할을 하여 리세스패턴(36)의 바닥부분이 손상되는 것을 방지하기 위해 도입한 것이다.

도 3d에 도시된 바와 같이, 블랭킷 노광(Blanket exposure) 및 현상을 진행하여 리세스패턴(36)의 바닥부분에만 감광막(38)을 잔류시킨다. 이로써, 리세스패턴(36)의 상부지역이 드러나고, 특히 뿔이 드러난다.

상기 감광막(38)을 잔류시키는 다른 방법으로는 플라즈마 에치백공정을 이용할 수도 있다.

도 3e에 도시된 바와 같이, 블랭킷 산화막 식각(Blanket oxide etch) 공정을 진행하여 리세스패턴(36)의 상부지역에 생성된 뿔(H)을 노출시킨다.

즉, 블랭킷 산화막 식각 공정을 통해 보호산화막(37)의 일부를 제거하여 소자분리막(31)에 인접하는 뿔(H)을 노출시킨다.

상기 블랭킷 산화막 식각 공정시 하드마스크산화막(33)이 식각될 수 있으나, 하드마스크산화막(33)이 잔류하고 있지 않는 리세스게이트의 수평방향(Ⅱ) 지역에서 보호산화막(37)이 먼저 식각됨에 따라 하드마스크산화막(33)이 식각된다고 하더라도 리세스게이트의 수직방향(Ⅰ) 지역에서는 보호산화막(37)이 식각되지 않고 잔류한다. 더불어, 블랭킷 산화막 식각공정이 플라즈마의 직진성을 이용하는 건식식각 방식이므로, 수직방향(Ⅰ) 지역의 보호산화막(37)은 식각되지 않고, 수평방향(Ⅱ) 지역의 경사진 리세스패턴(36)의 측벽에 형성된 보호산화막(37)만 식각한다.

그리고, 보호산화막(37)의 블랭킷 산화막 식각시 소자분리막(32)도 일부 식각될 수 있으나, 보호산화막(37)이 1nm~10nm 두께로 매우 얇으므로 수백 nm 이상의 두께를 갖는 소자분리막(32)의 식각손실은 무시할 정도이다.

도 3f에 도시된 바와 같이, 감광막(38)을 식각배리어로 노출된 뿔(H)을 식각한다. 이때, 뿔(H)을 식각하기 위한 식각 공정은 뿔(H)이 실리콘 물질이므로 건식식각 방법 또는 습식식각 방법을 이용한다.

먼저, 뽕을 제거하기 위한 건식식각은 CF_4/O_2 의 혼합가스를 이용한 플라즈마 식각(Plasma etch)으로 진행하며, 이때 실리콘 식각 타겟을 조절하여 뽕의 높이를 조절할 수 있다.

그리고, 뽕을 제거하기 위한 습식식각은 실리콘을 습식식각할 수 있는 에천트, 예를 들면 질산(HNO_3), 불산(HF), 초산(CH_3COOH)이 포함된 혼합용액을 이용한다.

도 3g에 도시된 바와 같이, 감광막(38)과 보호산화막(37)을 선택적으로 제거한다. 이때, 감광막(38)은 산소플라즈마를 이용하여 스트립하고, 보호산화막(37)은 불산(HF) 용액을 이용하여 제거한다.

위와 같이, 감광막(38)과 보호산화막(37)을 제거한 후의 결과를 살펴보면, 건식식각 또는 습식식각을 통해 뽕(H)을 식각하므로써 뽕(H)의 높이를 현저히 낮출 수 있다.

즉, 최초 리세스패턴(36) 형성시 발생된 뽕의 높이를 'H1'이라고 가정하면, 뽕을 식각한 후의 뽕의 높이는 'H2'로 현저히 낮아지고 있음을 알 수 있다.

도 3h에 도시된 바와 같이, 감광막(38)과 보호산화막(37)이 제거되어 표면이 노출된 리세스패턴(36)의 표면 상에 게이트절연막(39)을 형성한다.

이어서, 게이트절연막(39) 상에 게이트배선막(40)을 증착하고, 게이트배선막(40) 상에 게이트하드마스크(41)를 형성한다. 여기서, 게이트배선막(40)은 게이트폴리실리콘막과 게이트메탈막의 적층이며, 게이트메탈막은 텅스텐막 또는 텅스텐실리사이드막으로 형성한다. 그리고, 게이트하드마스크(41)는 실리콘질화막으로 형성한다.

계속해서, 게이트마스크 및 식각 공정을 통해 게이트배선막(40)과 게이트하드마스크(41)의 순서로 적층된 리세스게이트(200)를 형성한다.

도 4는 본 발명의 실시예에 따른 뽕의 형상을 나타낸 사진으로서, 도 2에 도시된 것보다 뽕의 높이가 낮아지고 있음을 알 수 있다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상술한 본 발명은 플라즈마형 트랜지스터에 비해 유효채널길이를 길게 구현함과 동시에 뽕이 형성되는 것을 근본적으로 방지하므로써 반체체소자의 수율을 향상시킬 수 있는 효과가 있다.

도면의 간단한 설명

도 1a 및 도 1b는 종래기술에 따른 리세스 게이트를 갖는 반도체소자의 제조 방법을 도시한 공정 단면도,

도 2는 종래기술에 따른 뽕의 형상을 나타낸 사진,

도 3a 내지 도 3h는 본 발명의 실시예에 따른 리세스게이트를 갖는 반도체소자의 제조 방법을 도시한 공정 단면도,

도 4는 본 발명의 실시예에 따른 뽕의 형상을 나타낸 사진.

* 도면의 주요 부분에 대한 부호의 설명

31 : 실리콘기판 32 : 소자분리막

33 : 하드마스크산화막 34 : 하드마스크폴리실리콘막

35 : 리세스마스크 36 : 리세스패턴

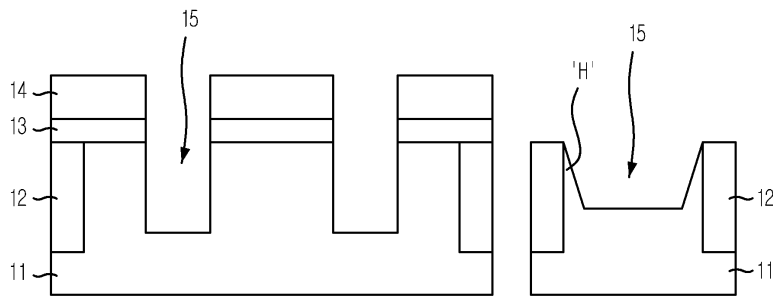
37 : 보호산화막 38 : 감광막

39 : 게이트절연막 40 : 게이트배선막

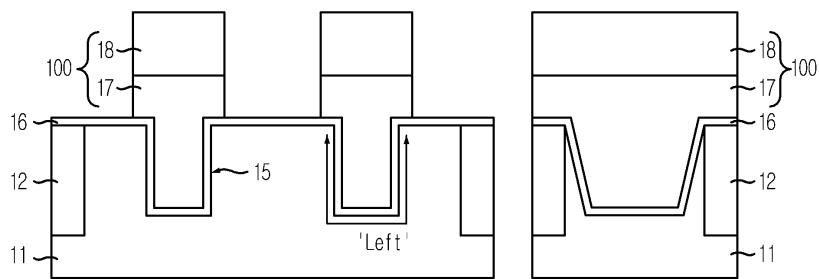
41 : 게이트하드마스크

도면

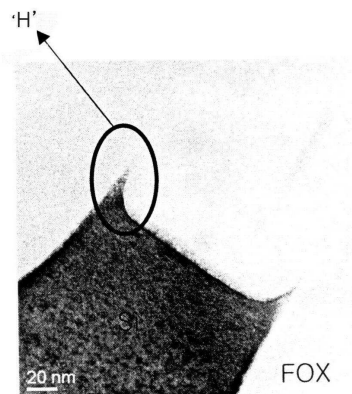
도면1a



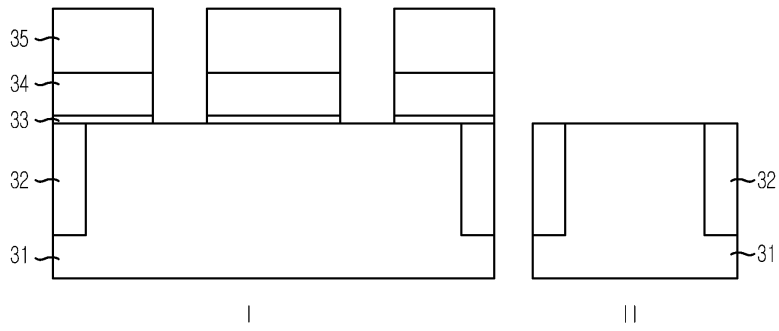
도면1b



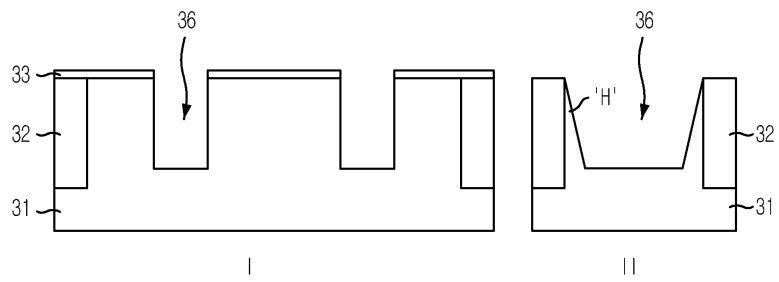
도면2



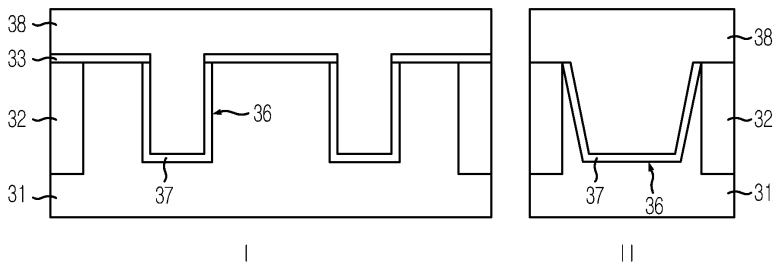
도면3a



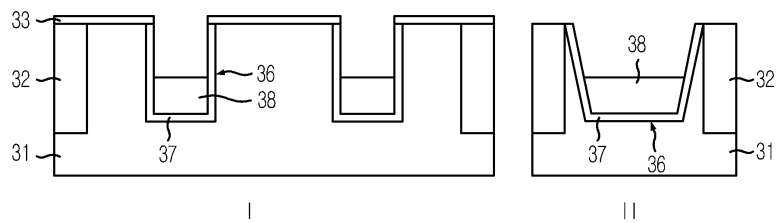
도면3b



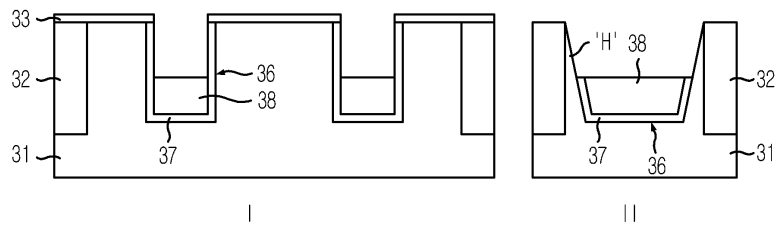
도면3c



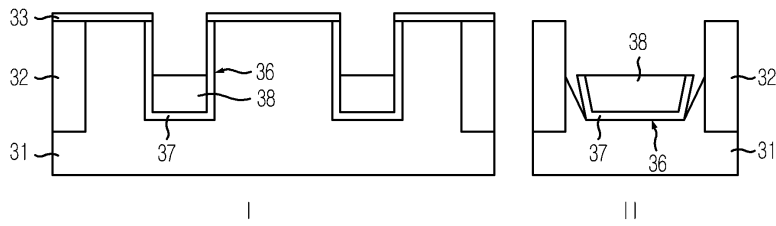
도면3d



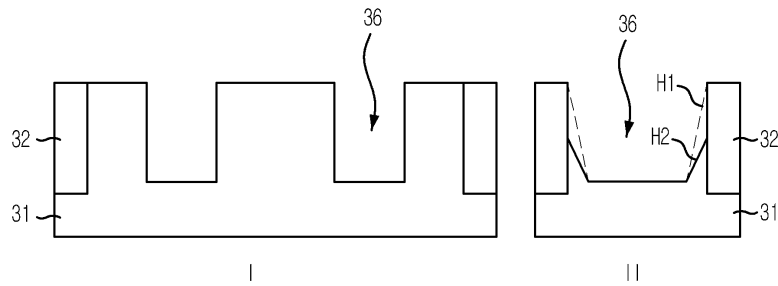
도면3e



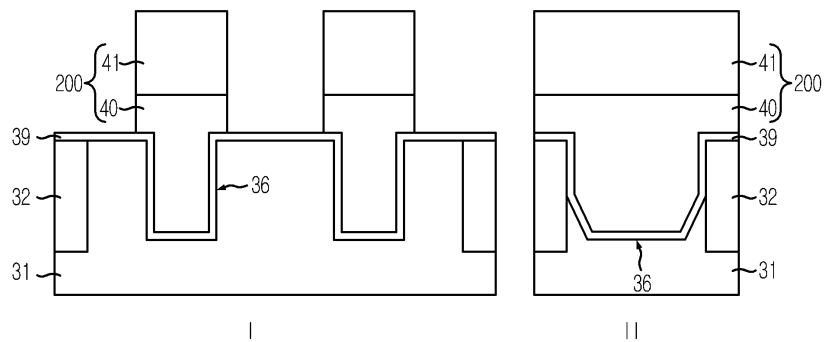
도면3f



도면3g



도면3h



도면4

