

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷ (45) 공고일자 2005년11월03일
G09G 3/36 (11) 등록번호 10-0525740

(24) 등록일자 2005년10월26일

(21) 출원번호 10-2003-0096709

(65) 공개번호 10-2005-0065816

(22) 출원일자 2003년12월24일

(43) 공개일자 2005년06월30일

(73) 특허권자 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 홍순광
대구광역시북구동천동889칠곡우방하이츠102동807호

(74) 대리인 김영호

심사관 : 정병락

(54) 쉬프트 레지스터 및 레벨 쉬프터를 내장한 쉬프트레지스터

요약

본 발명은 화질 저하를 방지할 수 있도록 한 쉬프트 레지스터 및 레벨 쉬프터를 내장한 쉬프트 레지스터에 관한 것이다.

본 발명의 쉬프트 레지스터는 제1 및 제2 공급 전압과 위상 지연된 제어 신호들에 의해 입력 신호를 쉬프트시켜 각각의 출력 신호와 다음단의 입력 신호로 공급하는 다수개의 스테이지들로 이루어지고, 그 스테이지들 각각은 입력 신호 공급 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 경로를 갖는 제1 내지 제3 트랜지스터를 이용하여 그들 사이의 제1 노드에 상기 입력 신호 및 제1 공급 전압을 선택적으로 공급하는 제1 제어부와; 상기 제2 공급 전압 입력 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 경로를 갖는 제4 및 제5 트랜지스터를 이용하여 그들 사이의 제2 노드에 상기 제2 및 제1 공급 전압을 선택적으로 공급하는 제2 제어부와; 상기 제1 내지 제4 제어 신호들 중 어느 하나의 제어 신호의 입력 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 경로를 갖는 제6 및 제7 트랜지스터를 이용하여 그들 사이의 상기 스테이지의 출력 라인에 상기 특정 제어 신호와 상기 제1 공급 전압을 상기 출력 신호로 선택적으로 공급하는 출력 버퍼부와; 상기 제1 내지 제4 제어 신호들과 듀티비가 상이한 제5 제어 신호에 따라 상기 스테이지의 출력 라인에서 출력되는 출력 신호의 특정 전압 상태를 지연시키기 위한 제8 트랜지스터를 구비한다.

대표도

도 5

명세서

도면의 간단한 설명

도 1은 종래의 쉬프트 레지스터를 개략적으로 나타내는 도면.

도 2는 도 1에 도시된 쉬프트 레지스터의 입출력 파형도.

도 3은 도 1에 도시된 한 스테이지의 상세 회로도.

도 4a 내지 도 4c는 도 2에 도시된 입출력 파형도에서 "A" 부분을 상세히 나타내는 도면.

도 5는 본 발명의 제1 실시 예에 따른 쉬프트 레지스터의 한 스테이지에 대한 상세 회로도.

도 6은 도 5에 도시된 스테이지의 입출력 파형도.

도 7은 본 발명의 제2 실시 예에 따른 레벨 쉬프터를 내장한 쉬프트 레지스터에 대한 상세 회로도.

도 8은 도 7에 도시된 스테이지의 입출력 파형도.

도 9는 본 발명의 제3 실시 예에 따른 레벨 쉬프터를 내장한 쉬프트 레지스터에 대한 상세 회로도.

도 10은 도 9에 도시된 스테이지의 입출력 파형도.

< 도면의 주요부분에 대한 설명 >

ST1 내지 STn : 스테이지 32,142,242,342 : 제1 제어부

34,144,244,344 : 제2 제어부 36,146,246,346 : 버퍼부

252,352 : 제3 제어부 256,356 : 출력 버퍼부

354 : 제4 제어부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 쉬프트 레지스터 및 레벨 쉬프터를 내장한 쉬프트 레지스터에 관한 것으로, 특히 화질 저하를 방지할 수 있도록 한 쉬프트 레지스터 및 레벨 쉬프터를 내장한 쉬프트 레지스터에 관한 것이다.

텔레비전(Television) 및 컴퓨터(Computer)의 표시 장치로 사용되는 액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정 표시 장치는 액정셀들이 매트릭스 형태로 배열되어진 액정 패널과 이 액정 패널을 구동하기 위한 구동 회로를 구비한다.

액정 패널에는 게이트 라인들과 데이터 라인들이 교차하게 배열되고 그 게이트 라인들과 데이터 라인들의 교차로 마련되는 영역에 액정셀들이 위치하게 된다. 이 액정 패널에는 액정셀들 각각에 전계를 인가하기 위한 화소 전극들과 공통 전극이 마련된다. 화소 전극들 각각은 스위칭 소자인 박막 트랜지스터(Thin Film Transistor)의 소스 및 드레인 단자들을 경유하여 데이터 라인들 중 어느 하나에 접속된다. 박막 트랜지스터의 게이트 단자는 게이트 라인들 중 어느 하나에 접속된다.

구동 회로는 게이트 라인들을 구동하기 위한 게이트 드라이버와, 데이터 라인들을 구동하기 위한 데이터 드라이버를 구비한다. 게이트 드라이버는 스캔 신호를 게이트 라인들에 순차적으로 공급하여 액정 패널 상의 액정셀들을 순차적으로 구동한다. 데이터 드라이버는 게이트 라인들 중 어느 하나에 스캔 신호가 공급될 때마다 데이터 라인들 각각에 비디오 신호를 공급한다. 이에 따라, 액정 표시 장치는 액정셀 별로 비디오 신호에 따라 화소 전극과 공통 전극 사이에 인가되는 전계에 의해 광투과율을 조절하여 화상을 표시한다.

이러한 구동 회로에서 게이트 드라이버는 쉬프트 레지스터를 이용하여 게이트 라인들을 순차적으로 구동시키기 위한 스캔 신호를 발생한다. 그리고, 데이터 드라이버는 쉬프트 레지스터를 이용하여 외부로부터 입력되는 비디오 신호를 일정 단위씩 순차적으로 샘플링할 수 있도록 하는 샘플링 신호를 발생한다. 이렇게 쉬프트 레지스터를 포함하는 게이트 드라이버 및 데이터 드라이버는 폴리 실리콘을 이용하는 경우 액정 매트릭스와 함께 액정 패널에 내장된다.

도 1은 일반적인 쉬프트 레지스터를 도시한 것이고, 도 2는 도 1에 도시된 쉬프트 레지스터의 입출력 파형을 도시한 것이다.

도 1에 도시된 쉬프트 레지스터는 스타트 펄스(SP) 입력 라인에 종속적으로 접속되고 4개의 클럭 신호(C1 내지 C4) 중 3개의 클럭 신호를 공급받는 n개의 스테이지들(ST1 내지 STn)을 구비한다. 도 2를 참조하면, 제1 내지 제4 클럭 신호(C1 내지 C4)는 각각의 공급 라인을 통하여 C4, C1, C2, C3의 순서로 한 클럭씩 위상 지연된 형태로 공급된다. 그리고, 한 프레임 또는 한 수평 주기 단위로 공급되는 스타트 펄스(SP)는 제4 클럭 신호(C4)와 동기하도록 공급된다.

제1 스테이지(ST1)는 스타트 펄스(SP)와 4개의 클럭 신호(C1 내지 C3) 중 3개의 클럭 신호를 이용하여 도 2에 도시된 바와 같이 제1 출력 신호(SO1)를 출력한다. 제2 내지 제n 스테이지들(ST2 내지 STn)은 전단의 출력 신호(SO1 내지 SO_{n-1})와 4개의 클럭 신호(C1 내지 C3) 중 3개의 클럭 신호를 이용하여 도 2에 도시된 바와 같이 제2 내지 제n 출력 신호(SO2 내지 SO_n)를 출력한다. 다시 말하여, 쉬프트 레지스터를 구성하는 제1 내지 제n 스테이지(ST1 내지 STn)는 도 2와 같이 순차적으로 위상이 쉬프트된 형태를 갖는 제1 내지 제n 출력 신호(SO1 내지 SO_n)를 출력한다. 이러한 제1 내지 제n 출력 신호(SO1 내지 SO_n)는 액정 패널의 게이트 라인들을 순차적으로 구동하기 위한 스캔 신호로 공급되거나, 데이터 드라이버 내에서 비디오 신호를 순차적으로 샘플링하기 위한 샘플링 신호로 공급된다.

도 3은 도 1에 도시된 제1 스테이지(ST1)의 상세 회로 구성을 도시한 것이다.

도 3에 도시된 제1 스테이지(ST1)는 스타트 펄스(SP)와 제4 클럭 신호(C4)에 따라 Q노드를 제어하는 제1 제어부(32)와, 제3 클럭 신호(C3) 및 스타트 펄스(SP)에 따라 QB노드를 제어하는 제2 제어부(34)와, Q노드 및 QB노드의 전압에 따라 제1 클럭신호(C1) 및 제1 공급 전압(VSS) 중 어느 하나를 선택하여 출력하기 위한 버퍼부(36)를 구비한다.

제1 제어부(32)는 스타트 펄스(SP) 입력 라인에 다이오드형으로 접속된 제1 PMOS 트랜지스터(T1)와, 제1 PMOS 트랜지스터(T1)와 제4 클럭 신호(C4) 입력 라인 및 Q노드 사이에 접속된 제2 PMOS 트랜지스터(T2)를 구비한다. 그리고, 제1 제어부(32)는 Q노드 및 QB노드와 제1 공급 전압(VSS) 입력 라인 사이에 접속되어 제7 PMOS 트랜지스터(T7)와 듀얼 동작으로 Q노드를 제어하는 제3 PMOS 트랜지스터(T3)를 더 구비한다.

제2 제어부(34)는 제2 공급 전압(VDD) 입력 라인과 제3 클럭 신호(C3) 입력 라인 및 QB노드 사이에 접속된 제4 PMOS 트랜지스터(T4)와, 제4 PMOS 트랜지스터(T4)와 스타트 펄스(SP) 입력 라인 및 제1 공급 전압(VSS) 입력 라인 사이에 접속된 제5 PMOS 트랜지스터(T5)를 구비한다.

버퍼부(36)는 Q노드의 전압에 따라 제1 클럭 신호(C1)를 선택하여 출력 라인으로 공급하는 제6 PMOS 트랜지스터(T6)와, QB노드의 전압에 따라 제1 공급 전압(VSS)을 선택하여 출력 라인으로 공급하는 제7 PMOS 트랜지스터(T7)를 구비한다.

그리고, 제1 스테이지(ST1)는 제6 PMOS 트랜지스터(T6)의 게이트 단자와 소스 단자 사이, 즉 Q노드와 출력 라인 사이에 접속된 제1 캐패시터(CB)를 더 구비한다.

이러한 제1 스테이지(ST1)에는 도 2에 도시된 제1 내지 제4 클럭 신호(C1 내지 C4) 중 C1, C3, C4가 공급된다. 도 2에 있어서, 스타트 펄스(SP)를 포함하여 제1 내지 제4 클럭 신호(C1 내지 C4)는 10V 이상의 스윙 전압을 가지는 부극성 타입으로 공급된다. 그리고, 설명상의 편의를 위하여 10V의 전위를 로우 상태로, 0V의 전위를 하이 상태로 가정하여 설명하기로 한다. 또한, 제1 스테이지(ST1)에 공급되는 제1 공급 전압(VSS)으로 공급되는 약 10V를 로우 상태로, 제2 공급 전압(VDD)으로 공급되는 약 0V를 하이 상태로 가정하기로 한다. 이러한 구동 파형을 참조하여 제1 스테이지(ST1)의 구체적인 동작을 살펴보면 다음과 같다.

t1 기간에서 스타트 펄스(SP)와 제4 클럭 신호(C4)가 동시에 하이 상태가 되면 제1 및 제2 PMOS 트랜지스터(T1, T2)가 턴-온되어 Q노드는 제1 하이 상태가 된다. 이에 따라, Q노드에 게이트 단자가 접속된 제6 PMOS 트랜지스터(T6)는 서서히 턴-온된다. 이 때, 하이 상태의 스타트 펄스(SP)에 의해 제5 PMOS 트랜지스터(T5)가 턴-온되어 QB노드는 제1 공

급 전압(VSS)에 의해 로우 상태되므로 그 QB노드에 게이트 단자가 접속된 제3 및 제7 PMOS 트랜지스터(T3, T7)는 턴-오프된다. 이 결과, 턴-온된 제6 PMOS 트랜지스터(T6)를 통해 제1 클럭 신호(C1)의 로우 상태 전압(약 17V)이 제1 스테이지(ST1)의 출력 신호(SO1)로 출력된다.

t2 기간에서 스타트 펄스(SP)와 제4 클럭 신호(C4)가 로우 상태가 되고 제1 클럭 신호(C1)가 하이 상태가 됨으로써 제1 및 제2 PMOS 트랜지스터(T1, T2)는 턴-오프되고 제6 PMOS 트랜지스터(T6)는 확실한 턴-온 상태가 된다. 이는 플로팅 상태가 된 Q노드가 제6 PMOS 트랜지스터(T6)의 게이트와 소오스 사이에 형성된 내부 캐패시터(Cgs)와 제1 캐패시터(CB)의 영향으로 제1 클럭 신호(C1)의 하이 상태 전압에 따라 부트스트래핑(Bootstrapping)되어 상기 제1 하이 상태 보다 높은 제2 하이 상태가 되기 때문이다. 이렇게 제6 PMOS 트랜지스터(T6)가 확실하게 턴-온됨으로써 제1 클럭 신호(C1)의 하이 상태의 전압(약 0V)이 스테이지(ST1)의 출력 라인에 빠르게 공급된다. 이 결과, 제1 스테이지(ST1)는 하이 상태의 출력 신호(SO1)를 출력하게 된다.

t3 기간에서 제1 클럭 신호(C1)가 로우 상태가 되고 제2 클럭 신호(C2)가 하이 상태가 됨으로써 플로팅 상태의 Q노드의 전압은 다시 제1 하이 상태로 천이되고 제6 PMOS 트랜지스터(T6)는 턴-온 상태를 유지한다. 이에 따라, 턴-온된 제6 PMOS 트랜지스터(T6)를 통해 제1 클럭 신호(C1)의 로우 상태 전압(약 17V)이 제1 스테이지(ST1)는 출력 신호(SO1)로 출력된다.

t4 기간에서 제3 클럭 신호(C3)가 하이 상태가 되어 제4 PMOS 트랜지스터(T4)가 턴-온됨으로써 QL노드엔 제2 공급 전압(VDD)인 하이 상태의 전압(약 0V)이 공급된다. 이에 따라, 제3 및 제7 PMOS 트랜지스터(T3, T7)가 동시에 턴-온된다. 턴-온된 제3 PMOS 트랜지스터(T3)를 경유하여 로우 상태의 제1 공급 전압(VSS)이 Q노드에 공급되므로 제6 PMOS 트랜지스터(T6)는 턴-오프된다. 그리고, 턴-온된 제7 PMOS 트랜지스터(T7)를 경유하여 로우 상태의 제1 공급 전압(VSS)이 제1 스테이지(ST1)의 출력 신호(SO1)로 출력된다.

t5 기간에서 제4 클럭 신호(C4)만 하이 상태가 됨으로써 제2 트랜지스터(T2)가 턴-온되고 제1, 제4 및 제5 PMOS 트랜지스터(T1, T4, T5)는 턴-오프 상태를 유지하므로 QB노드는 이전의 하이 상태를 유지한다. 이에 따라, 전술한 t4 기간과 같이 제3 및 제7 PMOS 트랜지스터(T3, T7)는 턴-온 상태를 유지하므로 제1 스테이지(ST1)의 출력 신호(SO1)는 로우 상태를 유지하게 된다.

이와 같은 종래의 쉬프트 레지스터에 의해 도 2에 도시된 바와 같은 출력 신호들(SO1, SO2, SO3...)이 출력된다. 그런데, 이와 같은 출력 신호들(SO1, SO2, SO3...)은 서로 오버랩(Overlap) 될 가능성이 크다. 이에 따라, 화질이 저하되는 단점이 있다. 다시말해서, 도 2에 도시된 "A" 부분을 상세히 나타내는 도 4a 내지 도 4c와 같이 전단 스테이지(ST)에서 하이 상태의 출력 신호가 로우 상태의 출력 신호로 바뀔 때 다음단 스테이지(ST)에서는 로우 상태의 출력 신호가 하이 상태의 출력 신호로 바뀌게 된다. 이 시점에 전단 스테이지(ST)에서 하이 상태의 출력 신호가 로우 상태의 출력 신호로 바뀌기 전에 다음단 스테이지(ST)에서는 로우 상태의 출력 신호가 하이 상태의 출력 신호로 바뀌게 된다. 이에 따라, 두 출력 신호는 서로 오버랩(Overlap)이 되어 화질이 저하되는 단점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 화질 저하를 방지할 수 있도록 한 쉬프트 레지스터 및 레벨 쉬프터를 내장한 쉬프트 레지스터를 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 쉬프트 레지스터는 제1 및 제2 공급 전압과 위상 지연된 제어 신호들에 의해 입력 신호를 쉬프트시켜 각각의 출력 신호와 다음단의 입력 신호로 공급하는 다수개의 스테이지들로 이루어지고, 그 스테이지들 각각은 입력 신호 공급 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 경로를 갖는 제1 내지 제3 트랜지스터를 이용하여 그들 사이의 제1 노드에 상기 입력 신호 및 제1 공급 전압을 선택적으로 공급하는 제1 제어부와; 상기 제2 공급 전압 입력 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 경로를 갖는 제4 및 제5 트랜지스터를 이용하여 그들 사이의 제2 노드에 상기 제2 및 제1 공급 전압을 선택적으로 공급하는 제2 제어부와; 상기 제1 내지 제4 제어 신호들 중 어느 하나의 제어 신호의 입력 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 경로를 갖는 제6 및 제7 트랜지스터를 이용하여 그들 사이의 상기 스테이지의 출력 라인에 상기 특정 제어 신호와 상기 제1 공급 전압을 상기 출력 신호로 선택적으로 공급하는 출력 버퍼부와; 상기 제1 내지 제4 제어 신호들과 듀티비가 상이한 제5 제어 신호에 따라 상기 스테이지의 출력 라인에서 출력되는 출력 신호의 특정 전압 상태를 지연시키기 위한 제8 트랜지스터를 구비한다.

상기 제1 및 제2 트랜지스터는 상기 입력 신호 공급 라인과 상기 제1 노드 사이의 도전 경로와, 그 도전 경로를 상기 입력 신호와 제1 제어 신호 각각에 따라 제어하는 제어 전극을 각각 갖고, 상기 제3 트랜지스터는 제1 노드와 제1 공급 전압 입력 사이의 도전 경로와, 그 도전 경로를 제2 노드의 전압에 따라 제어하는 제어 전극을 갖는 것을 특징으로 한다.

상기 제4 트랜지스터는 상기 제2 공급 전압 입력 라인과 상기 제2 노드 사이의 도전 경로와, 그 도전 경로를 제2 제어 신호에 따라 제어하는 제어 전극을 갖고, 상기 제5 트랜지스터는 상기 제2 노드와 상기 제1 공급 전압 입력 라인 사이의 도전 경로와, 그 도전 경로를 제1 제어 신호에 따라 제어하는 제어 전극을 갖는 것을 특징으로 한다.

상기 제6 트랜지스터는 제3 제어 신호 입력 라인과 상기 스테이지의 출력 라인 사이의 도전 경로와, 그 도전 경로를 상기 제1 노드의 전압에 따라 제어하는 제어 전극을 갖고, 제7 트랜지스터는 상기 스테이지의 출력 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 경로와, 그 도전 경로를 상기 제2 노드의 전압에 따라 제어하는 제어 전극을 갖는 것을 특징으로 한다.

상기 제6 트랜지스터는 그의 게이트 전극의 부트스트래핑을 위하여 그 게이트 전극과 상기 스테이지의 출력 라인 사이에 접속된 캐패시터를 추가로 구비한다.

상기 제3 트랜지스터는 상기 제2 노드에 게이트 전극이 공통으로 접속된 듀얼 게이트 트랜지스터를 포함하는 것을 특징으로 한다.

상기 제5 트랜지스터는 상기 제1 제어 신호에 게이트 전극이 공통으로 접속된 듀얼 게이트 트랜지스터를 포함하는 것을 특징으로 한다.

상기 제8 트랜지스터는 상기 제5 제어신호의 제어에 의해 상기 스테이지의 출력 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 경로가 형성되는 것을 특징으로 한다.

상기 제5 제어신호는 상기 제1 내지 제4 제어신호보다 듀티폭이 작은 것을 특징으로 한다.

상기 스테이지는 동일 채널 타입의 트랜지스터로 구성된 것을 특징으로 한다.

상기 스테이지는 PMOS 트랜지스터로 구성된 것을 특징으로 한다.

상기 제1 공급 전압 보다 상기 제2 공급 전압이 큰 것을 특징으로 한다.

상기 제1 공급 전압은 부극성 전압인 것을 특징으로 한다.

상기 제1 내지 제3 제어 신호로는 서로 위상이 다르면서 동일한 주기로 특정 전압 상태를 갖는 제1 내지 제4 클럭 신호들 중 3개의 클럭 신호가 공급되는 것을 특징으로 한다.

상기 제3 제어 신호는 상기 제1 제어 신호보다 한 클럭만큼 위상 지연된 형태를 갖고, 상기 제2 제어 신호는 상기 제3 제어 신호보다 두 클럭만큼 위상 지연된 형태를 갖는 것을 특징으로 한다.

상기 입력 신호는 상기 제1 제어 신호와 동위상을 갖는 부분을 포함하는 것을 특징으로 한다.

상기 쉬프트 레지스터는 표시 장치의 스캔 라인들을 구동하는 스캔 드라이버와 표시 장치의 데이터 라인들을 구동하는 데이터 드라이버 중 적어도 하나의 드라이버에 적용되는 것을 특징으로 한다.

본 발명의 실시예에 따른 레벨 쉬프터를 내장한 쉬프트 레지스터는 종속적으로 접속되고 입력 단자를 통해 입력되는 스타트 펄스를 쉬프트시켜 순차적으로 쉬프트 펄스를 출력하는 다수의 스테이지들과, 상기 스테이지들 각각으로부터 공급되는 쉬프트 펄스의 전압 레벨을 레벨 쉬프팅시켜 출력하는 다수의 레벨 쉬프터들을 구비하는 레벨 쉬프터를 내장한 쉬프트 레지스터에 있어서, 상기 스테이지 각각은 제1 및 제2 노드의 전압에 따라 제1 제어 신호와 제1 공급 전압을 이용하여 상기 쉬프트 펄스를 출력하는 버퍼부와; 상기 스타트 펄스와 상기 제2 노드의 전압에 따라 상기 제1 노드의 전압을 제어하는 제1 제어부와; 상기 스타트 펄스 및 제2 제어 신호에 따라 상기 제1 및 제2 공급 전압을 이용하여 상기 제2 노드의 전압을 제어하는 제2 제어부를 구비하고, 상기 레벨 쉬프터들 각각은 상기 제1 노드의 전압과 제3 제어 신호에 따라 제3 공급 전

압과 상기 제1 공급 전압을 이용하여 제3 노드의 전압을 제어하는 제3 제어부와; 상기 제3 노드 전압이 적어도 1단계로 부트스트래핑되게 하고, 상기 적어도 1단계로 부트스트래핑된 제3 노드의 전압과 제4 제어 신호에 따라 상기 제1 및 제3 공급 전압을 선택적으로 출력하는 출력 버퍼부와, 상기 제1 내지 제4 제어 신호들과 듀티비가 상이한 제5 제어 신호에 따라 제3 노드 및 상기 출력 버퍼부의 출력라인에서 출력되는 출력 신호의 특정 전압 상태를 지연시키기 위한 제4 제어부를 구비한다.

상기 제1 제어부는 상기 스타트 펄스 및 상기 제1 노드 사이의 도전 통로와, 그 도전 통로를 상기 스타트 펄스에 따라 제어하는 제어 전극을 가지는 제1 트랜지스터와, 상기 제1 트랜지스터의 출력 단자와 상기 제1 노드 사이의 도전 통로와, 그 도전 통로를 제3 제어 신호에 따라 제어하는 제어 전극을 가지는 제2 트랜지스터와, 상기 제1 노드와 상기 제1 공급 전압의 입력라인 사이의 도전 통로와, 그 도전 통로를 상기 제2 노드의 전압에 따라 제어하는 제어 전극을 가지는 제3 트랜지스터를 구비한다.

상기 제2 제어부는 상기 제2 공급 전압 입력 라인과 상기 제2 노드 사이의 도전 통로와, 그 도전 통로를 상기 제2 제어 신호에 따라 제어하는 제어 전극을 가지는 제4 트랜지스터와; 상기 제2 노드와 상기 제1 공급 전압 입력 라인 사이의 도전 통로와, 그 도전 통로를 상기 스타트 펄스에 따라 제어하는 제어 전극을 가지는 제5 트랜지스터를 구비한다.

상기 버퍼부는 상기 제1 제어 신호 입력 라인과 상기 스테이지의 출력 라인 사이의 도전통로와, 그 도전 통로를 상기 제1 노드의 전압에 따라 제어하는 제어 전극을 가지는 제6 트랜지스터와; 상기 스테이지의 출력 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 통로와, 그 도전 통로를 상기 제2 노드의 전압에 따라 제어하는 제어 전극을 가지는 제7 트랜지스터를 구비한다.

상기 버퍼부는 상기 제6 트랜지스터의 제어 전극과 상기 스테이지의 출력 라인 사이에 접속되어 그 제어 전극의 전압을 부트스트래핑시키기 위한 캐패시터를 추가로 구비한다.

상기 스테이지는 상기 제5 트랜지스터의 누설 전류로 인하여 상기 제2 노드의 전압왜곡을 방지하기 위한 캐패시터를 추가로 구비한다.

상기 제3 트랜지스터는 상기 제2 노드에 게이트 전극이 공통으로 접속된 듀얼 게이트 트랜지스터를 포함하는 것을 특징으로 한다.

상기 제5 트랜지스터는 상기 제3 노드에 게이트 전극이 공통으로 접속된 듀얼 게이트 트랜지스터를 포함하는 것을 특징으로 한다.

상기 제3 제어부는 상기 제3 공급 전압의 입력 라인과 상기 제3 노드 사이의 도전 경로와, 그 도전 경로를 상기 스테이지의 출력 신호에 따라 제어하는 제어 전극을 갖는 제8 트랜지스터와; 상기 제3 노드와 제1 공급 전압의 입력 라인 사이의 도전 경로와, 그 도전 경로를 상기 제3 제어 신호에 따라 제어하는 제어 전극을 갖는 제9 및 제10 트랜지스터를 구비한다.

상기 출력 버퍼부는 상기 제3 공급 전압 입력 라인과 상기 제3 노드 사이의 도전 경로와, 그 도전 경로를 상기 제3 노드의 전압에 따라 제어하는 제어 전극을 갖는 제11 트랜지스터와; 상기 레벨 쉬프터의 출력 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 경로와, 그 도전 경로를 상기 제4 제어 신호에 따라 제어하는 제어 전극을 갖는 제12 트랜지스터를 구비한다.

상기 레벨 쉬프터는 상기 제3 노드 및 레벨 쉬프터의 출력 라인 사이의 도전 경로와, 그 도전 경로를 상기 제4 제어 신호에 따라 제어하는 제13 트랜지스터와; 상기 레벨 쉬프터의 출력 라인 및 제1 공급 전압 입력 라인 사이의 도전 경로와, 그 도전 경로를 상기 제3 제어 신호에 따라 제어하는 제14 트랜지스터와; 상기 제3 및 레벨 쉬프터의 출력 라인 사이의 도전 경로와, 그 도전 경로를 상기 제2 노드의 전압에 따라 제어하는 제15 트랜지스터와; 상기 레벨 쉬프터의 출력 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 경로와, 그 도전 경로를 상기 제2 노드의 전압에 따라 제어하는 제16 트랜지스터를 추가로 구비한다.

상기 레벨 쉬프터는 상기 제3 공급 전압의 입력 라인과 상기 제8 트랜지스터 사이에 다이오드형으로 접속된 제17 트랜지스터를 추가로 구비한다.

상기 출력 버퍼부는 상기 1단 부트스트래핑을 위하여 상기 제3 노드와 상기 레벨 쉬프터의 출력 라인 사이에 직렬로 연결된 캐패시터를 구비한다.

상기 제8 트랜지스터는 상기 제1 노드에 게이트 전극이 공통으로 접속된 듀얼 게이트 트랜지스터를 포함하는 것을 특징으로 한다.

상기 제4 제어부는 상기 제1 공급 전압 입력 라인과 상기 제3 노드 사이의 도전 통로와, 그 도전 통로를 상기 제5 제어 신호에 따라 제어하는 제어 전극을 가지는 제17 트랜지스터와; 상기 제1 공급 전압 입력 라인과 상기 레벨 쉬프터의 출력 라인 사이의 도전 통로와, 그 도전 통로를 상기 제5 제어 신호에 따라 제어하는 제어 전극을 가지는 제18 트랜지스터를 구비한다.

상기 제5 제어신호는 상기 제1 내지 제4 제어신호보다 듀티폭이 작은 것을 특징으로 한다.

상기 스테이지들과 레벨 쉬프터들은 동일타입 채널의 박막트랜지스터들로만 구성되는 것을 특징으로 한다.

상기 제1 내지 제3 공급전압은 제3 < 제2 < 제1의 크기 관계를 갖는 특징으로 한다.

상기 제3 공급 전압은 부극성 전압인 것을 특징으로 한다.

상기 제1 내지 제4 제어 신호는 제1, 제4, 제2, 제3 순으로 위상 지연된 특정 전압 상태를 갖고, 상기 제3 제어 신호는 상기 스타트 펄스와 동위상을 갖는 것을 특징으로 한다.

상기 스테이지들과 레벨 쉬프터들은 P 채널의 박막트랜지스터들로만 구성되는 것을 특징으로 한다.

상기 레벨 쉬프터는 상기 쉬프트 펄스의 최저 전압 레벨을 상기 제3 공급 전압으로 다운시켜 출력하는 것을 특징으로 한다.

상기 쉬프트 레지스터는 표시 장치의 스캔 라인들을 구동하는 스캔 드라이버와 표시 장치의 데이터 라인들을 구동하는 데이터 드라이버 중 적어도 하나의 드라이버에 적용되는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 5 내지 도 10를 참조하여 본 발명의 바람직한 실시예들에 대하여 설명하기로 한다.

도 5는 본 발명의 제1 실시예에 따른 쉬프트 레지스터를 구성하는 한 스테이지의 상세 회로를 도시한 것이고, 도 6은 도 5에 도시된 스테이지의 입출력 파형을 도시한 것이다.

도 5에 도시된 스테이지(ST)는 스타트 펄스(SP)와 제4 클럭 신호(C4)에 따라 Q노드를 제어하는 제1 제어부(142)와, 제3 클럭 신호(C3) 및 스타트 펄스(SP)에 따라 QB노드를 제어하는 제2 제어부(144)와, Q노드 및 QB노드의 전압에 따라 제1 클럭신호(C1) 및 제1 공급 전압(VSS) 중 어느 하나를 선택하여 출력하기 위한 버퍼부(146)와, 인터 클럭(Inter_CLK)에 따라 출력 신호의 특정 전압 상태를 지연시키기 위한 제3 제어부(148)를 구비한다.

제1 제어부(142)는 스타트 펄스(SP) 입력 라인에 다이오드형으로 접속된 제11 PMOS 트랜지스터(T11)와, 제11 PMOS 트랜지스터(T11)와 제4 클럭 신호(C4) 입력 라인 및 Q 노드 사이에 접속된 제12 PMOS 트랜지스터(T12)를 구비한다. 그리고, 제1 제어부(142)는 Q노드 및 QB노드와 제1 공급 전압(VSS) 입력 라인 사이에 접속되어 제17 PMOS 트랜지스터(T17)와 듀얼 동작으로 Q노드를 제어하는 제13A 및 제13B PMOS 트랜지스터(T13A, T13B)를 더 구비한다. 여기서, 제13A 및 제13B PMOS 트랜지스터(T13A, T13B)는 듀얼 게이트 구조를 가짐으로써 문턱 전압(Vth)이 높아지게 하여 누설 전류를 최소화한다.

제2 제어부(144)는 제2 공급 전압(VDD) 입력 라인과 제3 클럭 신호(C3) 입력 라인 및 QB노드 사이에 접속된 제14 PMOS 트랜지스터(T14)와, 제14 PMOS 트랜지스터(T14)와 스타트 펄스(SP) 입력 라인 및 제1 공급 전압(VSS) 입력 라인 사이에 접속된 제15A 및 제15B PMOS 트랜지스터(T15A, T15B)를 구비한다. 여기서, 제15A 및 제15B PMOS 트랜지스터(T15A, T15B)는 듀얼 게이트 구조를 가짐으로써 문턱 전압(Vth)이 높아지게 하여 누설 전류를 최소화한다.

버퍼부(146)는 Q노드의 전압에 따라 제1 클럭 신호(C1)를 선택하여 출력 라인으로 공급하는 제16 PMOS 트랜지스터(T16)와, QB노드의 전압에 따라 제1 공급 전압(VSS)을 선택하여 출력 라인으로 공급하는 제17 PMOS 트랜지스터(T17)를 구비한다.

제3 제어부(148)는 출력신호의 특정 전압 상태를 지연시키기 위해 인터 클럭(Inter_CLK) 신호에 따라 제1 공급전압(VSS)을 출력 라인으로 공급하는 제18 PMOS 트랜지스터(T18)를 구비한다. 여기서, 인터 클럭(Inter_CLK)은 제1 내지 제4 클럭 신호(C1 내지 C4)보다 듀티비가 작게 설정된다.

그리고, 스테이지(ST)는 제16 PMOS 트랜지스터(T16)의 게이트 단자와 소스 단자 사이, 즉 Q노드와 출력 라인 사이에 접속된 제11 캐패시터(CB)와, Q노드와 제1 공급 전압(VSS) 입력 라인 사이에 접속된 제12 캐패시터(CQ)와, 제17 PMOS 트랜지스터(T17)의 게이트 단자와 소스 단자 사이, 즉 QB노드와 제1 공급 전압(VSS) 입력 라인 사이에 접속된 제13 캐패시터(CQB)를 더 구비한다. 여기서, 제11 캐패시터(CB)는 특정 기간에서 Q노드의 전압이 부트스트래핑(Bootstrapping)되어 상승되게 하고, 제12 및 제13 캐패시터(CQ, CQB) 각각은 Q노드 및 QB노드의 잡음 성분을 바이패스시키게 된다.

이러한 스테이지를 구성하는 제11 내지 제18 트랜지스터(T11 내지 T18)로는 PMOS 또는 NMOS 트랜지스터를 이용한다. 이하에서는 설명의 편의상 PMOS 트랜지스터가 적용된 경우만을 예로 들어 설명하기로 한다.

그리고, 도 5에 도시된 스테이지는 도 6에 도시된 바와 같이 C4, C1, C2, C3 순으로 위상 지연된 형태를 갖는 제1 내지 제4 클럭 신호(C1 내지 C4) 중 C1, C3, C4를 제어 신호로 입력받는다. 도 6에 있어서, 스타트 펄스(SP)를 포함하여 제1 내지 제4 클럭 신호(C1 내지 C4)는 10V 이상의 스윙 전압을 가지는 부극성 타입으로 공급된다. 그리고, 설명상의 편의를 위하여 10V의 전위를 로우 상태로, 0V의 전위를 하이 상태로 가정하여 설명하기로 한다. 또한, 스테이지에 공급되는 제1 공급 전압(VSS)으로 공급되는 약 10V를 로우 상태로, 제2 공급 전압(VDD)으로 공급되는 약 0V를 하이 상태로 가정하기로 한다. 이러한 구동 파형을 참조하여 스테이지의 구체적인 동작을 살펴보면 다음과 같다.

t1 기간에서 스타트 펄스(SP)와 제4 클럭 신호(C4)가 동시에 하이 상태가 되면 제11 및 제12 PMOS 트랜지스터(T11, T12)가 턴-온되어 Q노드는 제1 하이 상태(H1)가 된다. 이에 따라, Q노드에 게이트 단자가 접속된 제16 PMOS 트랜지스터(T16)는 서서히 턴-온된다. 이 때, 스타트 펄스(SP)가 하이 상태이므로 제15A 및 제15B PMOS 트랜지스터(T15A, T15B)가 턴-온되고, QB노드는 제1 공급 전압(VSS)에 의해 로우 상태가 되므로 그 QB노드에 게이트 단자가 접속된 제13A 및 제13B PMOS 트랜지스터(T13A, T13B)와 제17 PMOS 트랜지스터(T17)는 턴-오프된다. 이 결과, 턴-온된 제16 PMOS 트랜지스터(T16)를 통해 제1 클럭 신호(C1)의 로우 상태 전압(약 17V)이 제1 스테이지(ST1)의 출력 신호(SO1)로 출력된다.

t2 기간에서 스타트 펄스(SP)와 제4 클럭 신호(C4)가 로우 상태가 되고 제1 클럭 신호(C1)가 하이 상태가 됨으로써 제11 및 제12 PMOS 트랜지스터(T11, T12)는 턴-오프되고 제16 PMOS 트랜지스터(T16)는 확실한 턴-온 상태가 된다. 이는 플로팅 상태가 된 Q노드가 제16 PMOS 트랜지스터(T16)의 게이트와 소스 사이에 형성된 내부 캐패시터(Cgs)와 제1 캐패시터(CB)의 영향으로 제1 클럭 신호(C1)의 하이 상태 전압에 따라 부트스트래핑(Bootstrapping)되어 상기 제1 하이 상태(H1) 보다 높은 제2 하이 상태(H2)가 되기 때문이다. 이렇게 제16 PMOS 트랜지스터(T16)가 확실하게 턴-온됨으로써 제1 클럭 신호(C1)의 하이 상태의 전압(약 0V)이 스테이지(ST1)의 출력 라인에 빠르게 공급된다. 이 때, 인터 클럭(Inter_CLK) 신호는 제1 클럭 신호(C1)가 하이 상태가 될 때 동시에 일정 기간 동안 하이 상태가 된다. 이에 따라, 제18 PMOS 트랜지스터(T18)가 턴-온된다. 이 결과, 턴-온된 제18 PMOS 트랜지스터(T18)를 통해 제1 공급 전압(VSS)이 인터 클럭(Inter_CLK) 신호가 하이 상태인 동안 제1 스테이지(ST1)의 출력 라인에 공급된다. 이러한 제1 공급 전압(VSS)은 제1 클럭 신호(C1)가 하이 상태가 되더라도 인터 클럭 신호(Inter_CLK)가 하이 상태인 동안에는 제1 스테이지(ST1)의 출력 라인에 공급된다. 이에 따라, 인터 클럭 신호(Inter_CLK)가 하이 상태인 동안에는 제1 스테이지(ST1)의 출력 라인은 로우 전압을 계속 유지하게 된다. 이 후, 인터 클럭 신호(Inter_CLK)가 로우 상태가 되면 제1 클럭 신호(C1)의 하이 상태의 전압(약 0V)이 제1 스테이지(ST1)의 출력 라인에 빠르게 공급되어 제1 스테이지(ST1)는 제1 출력 신호(SO1)를 출력하게 된다. 이 결과, 제1 스테이지(ST1)는 하이 상태의 출력 신호(SO1)를 출력하게 된다.

t3 기간에서 제1 클럭 신호(C1)가 로우 상태가 되고 제2 클럭 신호(C2)가 하이 상태가 됨으로써 플로팅 상태의 Q노드의 전압은 다시 제1 하이 상태로 천이되고 제16 PMOS 트랜지스터(T16)는 턴-온 상태를 유지한다. 이에 따라, 턴-온된 제16 PMOS 트랜지스터(T16)를 통해 제1 클럭 신호(C1)의 로우 상태 전압(약 17V)을 제1 스테이지(ST1)는 출력 신호(SO1)로 출력된다. 한편, t3 기간에 제2 스테이지(ST2)는 t2 기간에 이루어지는 제1 스테이지(ST1)의 동작을 하게 된다. 이에 따라, 제2 클럭 신호(C2)가 하이 상태가 될 때 인터 클럭 신호(Inter_CLK)도 동시에 일정 기간 동안 하이 상태가 됨으로써 제18 PMOS 트랜지스터(T18)가 턴-온된다. 이 결과, 턴-온된 제18 PMOS 트랜지스터(T18)를 통해 제1 공급 전압(VSS)

이 인터 클럭(Inter_CLK) 신호가 하이 상태인 동안 제2 스테이지(ST2)의 출력 라인에 공급된다. 이러한 제1 공급 전압(VSS)은 제2 클럭 신호(C2)가 하이 상태가 되더라도 인터 클럭 신호(Inter_CLK)가 하이 상태인 동안에는 제2 스테이지(ST2)의 출력 라인에 공급된다. 이에 따라, 인터 클럭 신호(Inter_CLK)가 하이 상태인 동안에는 제2 스테이지(ST2)의 출력 라인은 로우 전압을 계속 유지하게 된다. 이 후, 인터 클럭 신호(Inter_CLK)가 로우 상태가 되면 제2 클럭 신호(C2)의 하이 상태의 전압(약 0V)이 제2 스테이지(ST2)의 출력 라인에 빠르게 공급되어 제2 스테이지(ST2)는 제2 출력 신호(SO2)를 출력하게 된다. 이러한 제2 출력 신호(SO2)는 제1 출력 신호(SO1)가 출력된 후 인터 클럭 신호(Inter_CLK)가 하이 상태인 동안만큼 이격되어 출력된다.

t4 기간에서 제3 클럭 신호(C3)가 하이 상태가 되어 제14 PMOS 트랜지스터(T14)가 턴-온됨으로써 QB노드엔 제2 공급 전압(VDD)인 하이 상태의 전압(약 0V)이 공급된다. 이에 따라, 제13A 및 제13B PMOS 트랜지스터(T13A, T13B)와 제17 PMOS 트랜지스터(T17)가 동시에 턴-온된다. 턴-온된 제13A 및 제13B PMOS 트랜지스터(T13A, T13B)를 경유하여 로우 상태의 제1 공급 전압(VSS)이 Q노드에 공급되므로 제16 PMOS 트랜지스터(T16)는 턴-오프된다. 그리고, 턴-온된 제17 PMOS 트랜지스터(T17)를 경유하여 로우 상태의 제1 공급 전압(VSS)이 제1 스테이지(ST1)의 출력 신호(SO1)로 출력된다. 한편, t4 기간에 제3 스테이지(ST3)는 t3 기간에 이루어지는 제2 스테이지(ST2)의 동작을 하게 된다. 이에 따라, 제3 클럭 신호(C3)가 하이 상태가 될 때 인터 클럭 신호(Inter_CLK)도 동시에 일정 기간 동안 하이 상태가 됨으로써 제18 PMOS 트랜지스터(T18)가 턴-온된다. 이 결과, 턴-온된 제18 PMOS 트랜지스터(T18)를 통해 제1 공급 전압(VSS)이 인터 클럭(Inter_CLK) 신호가 하이 상태인 동안 제3 스테이지(ST3)의 출력 라인에 공급된다. 이러한 제1 공급 전압(VSS)은 제3 클럭 신호(C3)가 하이 상태가 되더라도 인터 클럭 신호(Inter_CLK)가 하이 상태인 동안에는 제3 스테이지(ST3)의 출력 라인에 공급된다. 이에 따라, 인터 클럭 신호(Inter_CLK)가 하이 상태인 동안에는 제3 스테이지(ST3)의 출력 라인은 로우 전압을 계속 유지하게 된다. 이 후, 인터 클럭 신호(Inter_CLK)가 로우 상태가 되면 제3 클럭 신호(C3)의 하이 상태의 전압(약 0V)이 제3 스테이지(ST3)의 출력 라인에 빠르게 공급되어 제3 스테이지(ST3)는 제3 출력 신호(SO3)를 출력하게 된다. 이러한 제3 출력 신호(SO3)는 제2 출력 신호(SO2)가 출력된 후 인터 클럭 신호(Inter_CLK)가 하이 상태인 동안만큼 이격되어 출력된다.

t5 기간에서 제4 클럭 신호(C4)만 하이 상태가 됨으로써 제12 트랜지스터(T12)가 턴-온되고 제11, 제14, 제15A 및 제15B PMOS 트랜지스터(T11, T14, T15A, T15B)는 턴-오프 상태를 유지하므로 QB노드는 플로팅되어 이전의 하이 상태를 유지한다. 이에 따라, 전술한 t4 기간과 같이 제13 및 제17 PMOS 트랜지스터(T13, T17)는 턴-온 상태를 유지하므로 제1 스테이지(ST1)의 출력 신호(SO1)는 로우 상태를 유지하게 된다. 한편, t5 기간에 제4 스테이지(ST4)는 t4 기간에 이루어지는 제3 스테이지(ST3)의 동작을 하게 된다. 이에 따라, 제4 클럭 신호(C4)가 하이 상태가 될 때 인터 클럭 신호(Inter_CLK)도 동시에 일정 기간 동안 하이 상태가 됨으로써 제18 PMOS 트랜지스터(T18)가 턴-온된다. 이 결과, 턴-온된 제18 PMOS 트랜지스터(T18)를 통해 제1 공급 전압(VSS)이 인터 클럭(Inter_CLK) 신호가 하이 상태인 동안 제4 스테이지(ST4)의 출력 라인에 공급된다. 이러한 제1 공급 전압(VSS)은 제4 클럭 신호(C4)가 하이 상태가 되더라도 인터 클럭 신호(Inter_CLK)가 하이 상태인 동안에는 제4 스테이지(ST4)의 출력 라인에 공급된다. 이에 따라, 인터 클럭 신호(Inter_CLK)가 하이 상태인 동안에는 제4 스테이지(ST4)의 출력 라인은 로우 전압을 계속 유지하게 된다. 이 후, 인터 클럭 신호(Inter_CLK)가 로우 상태가 되면 제4 클럭 신호(C4)의 하이 상태의 전압(약 0V)이 제4 스테이지(ST4)의 출력 라인에 빠르게 공급되어 제4 스테이지(ST4)는 제4 출력 신호(SO4)를 출력하게 된다. 이러한 제4 출력 신호(SO4)는 제3 출력 신호(SO3)가 출력된 후 인터 클럭 신호(Inter_CLK)가 하이 상태인 동안만큼 이격되어 출력된다.

이와 같이, 본 발명의 제1 실시예에 따른 쉬프트 레지스터를 구성하는 스테이지들은 제1 내지 제4 클럭 신호(C1 내지 C4)가 로우 상태에서 하이 상태로 바뀔 때 동시에 인터 클럭 신호(Inter_CLK)를 일정기간동안 공급하여 제18 PMOS 트랜지스터(T18)를 턴-온 시킴으로써 인터 클럭 신호(Inter_CLK)가 공급되는 일정기간동안 출력 신호들을 이격시킬 수 있게 된다. 이에 따라, 출력 신호들의 오버랩(Overlap)을 방지하여 화질이 저하되는 것을 방지할 수 있게 된다.

도 7은 본 발명의 제2 실시예에 따른 레벨 쉬프터를 내장한 쉬프트 레지스터의 상세 회로 구성을 도시한 것으로, 쉬프트 레지스터 회로 중 하나의 스테이지(ST)와 레벨 쉬프터(LS)를 도시한 것이다.

도 7에 도시된 스테이지(ST)는 스타트 펄스(SP) 입력 라인에 다이오드형으로 제21 PMOS 트랜지스터(T21)와, 제21 PMOS 트랜지스터(T21)와 제4 클럭 신호(C4) 입력 라인 및 Q노드 사이에 접속된 제22 PMOS 트랜지스터(T22)와, Q노드 및 QB노드와 제1 공급 전압(VSS) 입력 라인 사이에 접속된 제23A 및 제23B PMOS 트랜지스터(T23A, T23B)를 구비하는 제1 제어부(242)와; 제2 공급 전압(VDD) 입력 라인과 제3 클럭 신호(C3) 입력 라인 및 QB노드 사이에 접속된 제24 PMOS 트랜지스터(T24)와, 제24 PMOS 트랜지스터(T24)와 스타트 펄스(SP) 입력라인 및 제1 공급전압(VSS) 입력라인 사이에 접속된 제25A 및 제25B PMOS 트랜지스터(T25A, T25B)를 구비하는 제2 제어부(244)와; Q노드의 전압에 따라 제1 클럭 신호(C1)를 선택하여 출력 라인으로 공급하는 제26 PMOS 트랜지스터(T26)와, QB노드의 전압에 따라 제1 공급 전압(VSS)을 선택하여 출력 라인으로 공급하는 제27 PMOS 트랜지스터(T27)를 구비하는 버퍼부(246)로 구성된다. 그

리고, 스테이지(ST)는 제26 PMOS 트랜지스터(T26)의 게이트단자와 소스단자 사이, 즉 Q노드와 스테이지(ST)의 출력 라인(SO) 사이에 접속된 제21 캐패시터(CB)와, Q노드와 제1 공급 전압(VSS) 입력 라인 사이에 접속된 제22 캐패시터(CQ)와, 제27 PMOS 트랜지스터(T27)의 게이트 단자와 소스 단자 사이, 즉 QB노드와 제1 공급 전압(VSS) 입력 라인 사이에 접속된 제23 캐패시터(CQB)를 더 구비한다.

레벨 쉬프터(LS)는 스테이지(ST) Q 노드와 스타트 펄스(SP)(또는 전단 스테이지의 출력 신호)에 따라 QL 노드를 제어하는 제3 제어부(252)와, QL 노드의 전압 및 제2 클럭 신호(C2)(또는 다음 스테이지의 출력 신호)에 따라 부극성 전압(VNEG) 및 제1 공급 전압(VSS) 중 어느 하나를 선택하여 출력하기 위한 출력 버퍼부(256)를 구비한다.

제3 제어부(252)는 스테이지(ST) Q 노드의 전압과 스타트 펄스(SP)(또는 전단 스테이지의 출력 신호)에 따라 QL노드를 충방전시킴으로써 출력 버퍼부(256)가 부극성 전압(VNEG) 또는 제1 공급 전압(VSS)을 출력하게 한다. 이를 위하여, 제3 제어부(252)는 부극성 전압(VNEG) 공급 라인과 스테이지(ST)의 Q 노드 및 QL노드 사이에 접속된 제28A 및 제28B PMOS 트랜지스터(T28A, T28B)와, QL노드와 스타트 펄스(SP)(또는 전단 스테이지의 출력 신호) 입력 라인 사이에 접속된 제29 PMOS 트랜지스터(T29)와, 스타트 펄스(SP)(또는 전단 스테이지의 출력 신호) 입력 라인 및 제1 공급 전압(VSS) 사이에 접속된 제30 PMOS 트랜지스터(T30)를 구비한다. 여기서, 제28A 및 제28B PMOS 트랜지스터(T28A, T28B)는 듀얼 게이트 구조를 가짐으로써 문턱 전압(V_{th})이 높아지게 하여 누설 전류를 최소화한다.

출력 버퍼부(256)는 QL 노드의 전압에 따라 부트스트래핑을 이용하여 부극성 공급 전압(VNEG)을 레벨 쉬프터(LS) 출력 라인으로 공급하는 제31 PMOS 트랜지스터(T31)와, 제2 클럭 신호(C2)(또는 다음단 스테이지의 출력 신호)에 따라 제1 공급 전압(VSS)을 레벨 쉬프터(LS)의 출력 라인으로 제32 PMOS 트랜지스터(T32)를 구비한다. 특히, 출력 버퍼부(256)는 부트스트래핑을 이용하기 위하여 제31 PMOS 트랜지스터(T31)의 게이트 단자와 소스 단자 사이에 접속된 제24 캐패시터(CL)를 구비한다.

그리고, 레벨 쉬프터(LS)는 출력 신호(LO)의 왜곡을 방지하기 위하여 제33 내지 제37 PMOS 트랜지스터(T33 내지 T37)를 더 구비한다.

구체적으로, 제33 PMOS 트랜지스터(T33)는 제2 클럭 신호(C2)(또는 다음단 스테이지의 출력 신호)에 응답하여 QL 노드를 제어한다. 이를 위하여, 제33 PMOS 트랜지스터(T33)는 QL 노드와 제2 클럭 신호(C2)(또는 다음단 스테이지의 출력 신호) 입력 라인 사이에 접속된다.

제34 PMOS 트랜지스터(T34)는 레벨 쉬프터(LS) 출력 라인과 스타트 펄스(SP) 및 제1 공급 전압(VSS) 입력 라인 사이에 접속된다.

제35 PMOS 트랜지스터(T35)는 QB 노드의 전압에 응답하여 QL 노드를 제어한다. 이를 위하여, 제35 PMOS 트랜지스터(T35)는 QL 노드와 QB 노드 사이에 접속된다.

제36 PMOS 트랜지스터(T36)는 레벨 쉬프터(LS) 출력 라인을 방전을 위하여 그 출력 라인과 QB 노드 및 제1 공급 전압(VSS) 입력 라인 사이에 접속된다.

또한, 제37 PMOS 트랜지스터(T37)는 제28A 및 제28B 트랜지스터(T28A, T28B)의 누설 전류를 방지하기 위하여 부극성 전압(VNEG) 입력라인과 제28A PMOS 트랜지스터(T28A)의 소스단자와 사이에 다이오드형으로 접속된다.

이러한 구성을 가지는 스테이지(ST)와 레벨 쉬프터(LS)에는 도 8에 도시된 바와 같이 순차적으로 한 클럭 만큼씩 위상지연되는 형태를 가지는 제1 내지 제4 클럭 신호(C1 내지 C4)가 공급된다. 여기서, 제4 클럭 신호(C4)는 스타트 펄스(SP)와 동기된 위상을 갖는다. 스타트 펄스(SP)를 포함하여 제1 내지 제4 클럭 신호(C1 내지 C4)는 10V 이하의 스윙 전압을 가지는 부극성 타입으로 공급된다. 특히, 여기서는 10V의 전위를 로우 상태로, 0V의 전위를 하이 상태로 가정한다. 이러한 구동파형을 참조하여 스테이지(ST)와 레벨 쉬프터(LS)의 동작을 살펴보면 다음과 같다.

t_1 기간에서 스타트 펄스(SP)와 제4 클럭 신호(C4)가 동시에 하이 상태가 되면 스테이지(ST)의 제21 및 제22 PMOS 트랜지스터(T21, T22)가 턴-온되어 Q노드에는 제1 하이 상태(H1)의 전압이 충전된다. 이에 따라, Q노드에 게이트 단자가 접속된 제26 PMOS 트랜지스터(T26)는 서서히 턴-온된다. 그리고, 하이 상태의 스타트 펄스(SP)에 의해 제25A 및 제25B PMOS 트랜지스터(T25A, T25B)가 턴-온되어 제1 공급 전압(VSS) 입력 라인으로부터의 로우 상태(10V) 전압이 QB노드에 충전된다. 이에 따라, QB노드에 게이트 단자가 접속된 제23A 및 제23B PMOS 트랜지스터(T23A, T23B)와 제

27 PMOS 트랜지스터(T27)는 턴-오프된다. 이 결과, 턴-온된 제26 PMOS 트랜지스터(T26)를 통해 제1 클럭 신호(C1)의 로우 상태 전압(10V)이 스테이지(ST)의 출력 라인에 충전되므로 스테이지(ST)는 로우 상태의 출력 신호(SO)를 출력하게 된다.

그리고, 제1 하이상태(1H)인 스테이지(ST)의 Q 노드에 의해 제28A 및 제28B PMOS 트랜지스터(T28A, T28B)가 턴-온 되어 QL 노드는 하이상태가 되므로 제31 PMOS 트랜지스터(T31)가 턴-온 되어 하이 상태의 부극성 전압(VNEG)이 서서히 충전되더라도 하이 상태의 스타트 펄스(SP)(또는 전단 스테이지의 출력 신호)에 의해 제29 및 제30 PMOS 트랜지스터(T29, T30)가 턴-온되어 QL 노드에는 제1 공급 전압(VSS) 입력 라인으로부터의 로우 상태(10V)의 전압이 충전된다. 이에 따라, 제31 PMOS 트랜지스터(T31)가 턴-오프되므로 레벨 쉬프터(LS)의 출력 신호는 이전 상태(즉, 로우 상태)를 유지하게 된다.

t2 기간에서 스타트 펄스(SP)와 제4 클럭 신호(C4)가 로우 상태가 되고 제1 클럭 신호(C1)가 하이 상태가 되면 제21 및 제22 PMOS 트랜지스터(T21, T22)는 턴-오프되어 Q 노드는 플로팅 상태가 되고, 제26 PMOS 트랜지스터(T26)는 턴-온 상태를 유지한다. 이 경우, 플로팅 상태인 Q노드는 제26 PMOS 트랜지스터(T26)의 게이트와 소스 사이에 형성된 내부 캐패시터(Cgs)와 제22 캐패시터(CB)의 영향으로 제1 클럭 신호(C1)의 하이 상태의 전압에 의한 부트스트래핑(Bootstrapping) 현상이 발생하여 상기 제1 하이 상태(H1) 보다 높은 제2 하이 상태(H2)가 된다. 이 결과, 제26 PMOS 트랜지스터(T26)가 확실하게 턴-온되어 제1 클럭 신호(C1)의 하이 상태 전압(0V)이 스테이지(ST)의 출력 라인에 빠르게 충전되므로 스테이지(ST)는 양호한 하이 상태의 출력 신호(SO)를 출력하게 된다.

그리고, 제2 하이 상태(H2)가 된 스테이지(ST)의 Q 노드에 의해 제28A 및 제28B PMOS 트랜지스터(T28A, T28B)가 턴-온된다. 이에 따라, 하이 상태의 부극성 전압(VNEG)에 의해 턴-온된 제37 PMOS 트랜지스터(T37)와 제2 하이 상태(H2)가 된 스테이지(ST)의 Q 노드에 의해 턴-온된 제28A 및 제28B PMOS 트랜지스터(T28A, T28B)를 경유하여 QL 노드에 하이 상태의 부극성 전압(VNEG)이 충전되므로 제31 PMOS 트랜지스터(T31)가 턴-온된다. 이 경우, QL 노드는 턴-오프된 제29, 제30, 제34 PMOS 트랜지스터(T29, T30, T34)에 의해 플로팅 상태가 되고, 제24 캐패시터(CL)에 의한 부트스트래핑(Bootstrapping) 현상으로 보다 높은 하이 상태가 된다.

구체적으로, QL 노드에는 제31 PMOS 트랜지스터(T31)의 게이트 및 소스 사이에 형성된 내부 캐패시터(Cgs)와 제24 캐패시터(CL)의 영향으로 부극성 전압(VNEG)에 의한 부트스트래핑(Bootstrapping) 현상이 발생하므로 제31 PMOS 트랜지스터(T31)는 확실하게 턴-온 상태가 된다. 그리고, 확실히 턴-온된 제31 PMOS 트랜지스터(T31)를 통해 부극성 전압(VNEG)이 빠르게 레벨 쉬프터(LS)의 출력 라인에 충전된다. 따라서, 레벨 쉬프터(LS)의 출력 신호(LO)는 하이 상태의 신호 파형을 갖게 된다.

t3 기간에서 제2 클럭 신호(C2)가 하이 상태가 되고, 제1 클럭 신호(C1)가 로우 상태가 된다. 로우 상태의 제1 클럭 신호(C1)에 의해 플로팅 상태인 Q노드의 전압은 제1 하이 상태(H1)로 떨어지고 제26 PMOS 트랜지스터(T26)은 턴-온 상태를 유지한다. 이에 따라, 턴-온된 제26 PMOS 트랜지스터(T26)를 경유하여 로우 상태의 제1 클럭 신호(C1)가 스테이지(ST)의 출력 라인에 충전되므로 스테이지(ST)는 로우 상태의 출력 신호(SO)를 출력하게 된다.

그리고, 제1 하이상태(1H)인 스테이지(ST)의 Q 노드에 의해 제28A 및 제28B PMOS 트랜지스터(T28A, T28B)가 턴-온 되어 QL 노드는 하이상태가 된다. 이 경우, 하이 상태의 제2 클럭 신호(C2)(또는 다음단 스테이지의 출력 신호)에 의해 턴-온된 제33 PMOS 트랜지스터(T33)를 통해 QL 노드의 전압이 방전되므로 제31 PMOS 트랜지스터(T31)는 턴-오프된다. 또한, 하이 상태의 제2 클럭 신호(C2)(또는 다음단 스테이지의 출력 신호)에 의해 턴-온된 제32 PMOS 트랜지스터(T32)를 통해 레벨 쉬프터(LS)의 출력 라인에는 로우 상태인 제1 공급 전압(VSS)이 충전되므로 레벨 쉬프터(LS)는 로우 상태의 출력 신호(LO)를 출력하게 된다.

t4 기간에서 제3 클럭 신호(C3)가 하이 상태가 되면 제24 PMOS 트랜지스터(T24)가 턴-온되어 제2 공급 전압(VDD)인 하이 상태의 전압(0V)가 QB노드에 충전된다. 이에 따라, 제23A 및 제24B PMOS 트랜지스터(T23A, T23B)가 턴-온되어 상기 t3기간에서 제1 하이 상태(H1)인 Q노드 전압을 로우 상태로 방전시킴으로써 제26 PMOS 트랜지스터(T26)는 턴-오프된다. 그리고, 하이 상태인 QB노드에 의해 턴-온된 제27 PMOS 트랜지스터(T27)를 통해 제1 공급 전압(VSS)이 스테이지(ST)의 출력라인에 충전되므로 스테이지(ST)는 로우 상태의 출력 신호(SO)를 출력하게 된다. 그리고, 로우 상태인 Q 노드에 의해 제28A 및 제28B PMOS 트랜지스터(T28A, T28)는 턴-오프된다. 이 경우, 하이 상태의 QB 노드의 전압에 의해 턴-온된 제35 PMOS 트랜지스터(T35)를 통해 공급된 제1 공급 전압(VSS)에 의해 QL 노드는 로우 상태를 유지하게 되므로 제31 PMOS 트랜지스터(T31)는 턴-오프된다. 또한, 하이 상태의 QB 노드의 전압에 의해 턴-온된 제36 PMOS 트랜지스터(T36)를 통해 레벨 쉬프터(LS)의 출력 라인에는 로우 상태인 제1 공급 전압(VSS)이 충전되므로 레벨 쉬프터(LS)는 로우 상태의 출력 신호(LO)를 출력하게 된다.

t5 기간에서 제4 클럭 신호(C4)가 하이 상태가 되면 제24 PMOS 트랜지스터(T24)가 턴-오프되고 QB 노드는 상기 t4 기간에서의 하이 상태를 유지한다. 이에 따라, 턴-온된 제23A 및 제23B PMOS 트랜지스터(T23A, T23B)에 의해 Q노드는 로우 상태를 유지하므로 제26 PMOS 트랜지스터(T26)는 계속 턴-오프되고, 턴-온된 제27 PMOS 트랜지스터(T27)를 통해 제1 공급 전압(VSS)이 스테이지(ST)의 출력라인에 충전되므로 스테이지(ST)는 로우 상태의 출력 신호(SO)를 출력하게 된다. 그리고, 로우 상태인 Q 노드에 의해 제28A 및 제28B PMOS 트랜지스터(T28A, T28B)는 턴-오프된다. 이 경우, 하이 상태의 제4 클럭 신호(C4)(또는 전단 스테이지의 출력 신호)에 의해 제29 및 제30 PMOS 트랜지스터(T29, T30)가 턴-온되므로 제1 공급 전압(VSS)에 의해 QL 노드는 로우 상태를 유지하게 되므로 제31 PMOS 트랜지스터(T31)는 턴-오프된다. 또한, 하이 상태의 QB 노드의 전압에 의해 턴-온된 제36 PMOS 트랜지스터(T36)를 통해 레벨 쉬프터(LS)의 출력 라인에는 로우 상태인 제1 공급 전압(VSS)이 충전되므로 레벨 쉬프터(LS)는 로우 상태의 출력 신호(LO)를 출력하게 된다.

이와 같이, 본 발명의 제2 실시 예에 따른 레벨 쉬프터를 내장한 쉬프트 레지스터에서는 본 발명의 제1 실시예에 따른 쉬프트 레지스터에서 발생된 동일한 문제점이 발생된다.

도 9는 본 발명의 제3 실시예에 따른 레벨 쉬프터를 내장한 쉬프트 레지스터의 상세 회로 구성을 도시한 것으로, 쉬프트 레지스터 회로 중 하나의 스테이지(ST)와 레벨 쉬프터(LS)를 도시한 것이다.

도 9에 도시된 스테이지(ST)는 스타트 펄스(SP) 입력 라인에 다이오드형으로 제41 PMOS 트랜지스터(T41)와, 제41 PMOS 트랜지스터(T41)와 제4 클럭 신호(C4) 입력 라인 및 Q노드 사이에 접속된 제42 PMOS 트랜지스터(T42)와, Q노드 및 QB노드와 제1 공급 전압(VSS) 입력 라인 사이에 접속된 제43A 및 제43B PMOS 트랜지스터(T43A, T43B)를 구비하는 제1 제어부(342)와; 제2 공급 전압(VDD) 입력 라인과 제3 클럭 신호(C3) 입력 라인 및 QB노드 사이에 접속된 제44 PMOS 트랜지스터(T44)와, 제44 PMOS 트랜지스터(T44)와 스타트 펄스(SP) 입력라인 및 제1 공급전압(VSS) 입력라인 사이에 접속된 제45A 및 제45B PMOS 트랜지스터(T45A, T45B)를 구비하는 제2 제어부(344)와; Q노드의 전압에 따라 제1 클럭 신호(C1)를 선택하여 출력 라인으로 공급하는 제46 PMOS 트랜지스터(T46)와, QB노드의 전압에 따라 제1 공급 전압(VSS)을 선택하여 출력 라인으로 공급하는 제47 PMOS 트랜지스터(427)를 구비하는 버퍼부(346)로 구성된다. 그리고, 스테이지(ST)는 제46 PMOS 트랜지스터(T46)의 게이트단자와 소스단자 사이, 즉 Q노드와 스테이지(ST)의 출력 라인(P) 사이에 접속된 제41 캐패시터(CB)와, Q노드와 제1 공급 전압(VSS) 입력 라인 사이에 접속된 제42 캐패시터(CQ)와, 제47 PMOS 트랜지스터(T47)의 게이트 단자와 소스 단자 사이, 즉 QB노드와 제1 공급 전압(VSS) 입력 라인 사이에 접속된 제43 캐패시터(CQB)를 더 구비한다.

레벨 쉬프터(LS)는 스테이지(ST) Q 노드와 스타트 펄스(SP)(또는 전단 스테이지의 출력 신호)에 따라 QL 노드를 제어하는 제3 제어부(352)와, 인터 클럭(Inter_CLK)에 따라 출력 신호의 특정 전압 상태를 지연시키기 위한 제4 제어부(354), QL 노드의 전압 및 제2 클럭 신호(C2)(또는 다음 스테이지의 출력 신호)에 따라 부극성 전압(VNEG) 및 제1 공급 전압(VSS) 중 어느 하나를 선택하여 출력하기 위한 출력 버퍼부(356)를 구비한다.

제3 제어부(352)는 스테이지(ST) Q 노드의 전압과 스타트 펄스(SP)(또는 전단 스테이지의 출력 신호)에 따라 QL노드를 충전전시킴으로써 출력 버퍼부(356)가 부극성 전압(VNEG) 또는 제1 공급 전압(VSS)을 출력하게 한다. 이를 위하여, 제3 제어부(352)는 부극성 전압(VNEG) 공급 라인과 스테이지(ST)의 Q 노드 및 QL노드 사이에 접속된 제48A 및 제48B PMOS 트랜지스터(T48A, T48B)와, QL노드와 스타트 펄스(SP)(또는 전단 스테이지의 출력 신호) 입력 라인 사이에 접속된 제49 PMOS 트랜지스터(T49)와, 스타트 펄스(SP)(또는 전단 스테이지의 출력 신호) 입력 라인 및 제1 공급 전압(VSS) 사이에 접속된 제50 PMOS 트랜지스터(T50)를 구비한다. 여기서, 제48A 및 제48B PMOS 트랜지스터(T48A, T48B)는 듀얼 게이트 구조를 가짐으로써 문턱 전압(Vth)이 높아지게 하여 누설 전류를 최소화한다.

제4 제어부(354)는 출력신호의 특정 전압 상태를 지연시키기 위해 인터 클럭(Inter_CLK) 신호에 따라 제1 공급전압(VSS)을 QL 노드 및 출력 라인으로 공급하는 제60 및 제61 PMOS 트랜지스터(T60, T61)를 구비한다. 여기서, 인터 클럭(Inter_CLK)은 제1 내지 제4 클럭 신호(C1 내지 C4)보다 듀티비가 작게 설정된다.

출력 버퍼부(356)는 QL 노드의 전압에 따라 부트스트래핑을 이용하여 부극성 공급 전압(VNEG)을 레벨 쉬프터(LS) 출력 라인으로 공급하는 제51 PMOS 트랜지스터(T51)와, 제2 클럭 신호(C2)(또는 다음단 스테이지의 출력 신호)에 따라 제1 공급 전압(VSS)을 레벨 쉬프터(LS)의 출력 라인으로 제52 PMOS 트랜지스터(T52)를 구비한다. 특히, 출력 버퍼부(356)는 부트스트래핑을 이용하기 위하여 제51 PMOS 트랜지스터(T51)의 게이트 단자와 소스 단자 사이에 접속된 제44 캐패시터(CL)를 구비한다.

그리고, 레벨 쉬프터(LS)는 출력 신호(LO)의 왜곡을 방지하기 위하여 제53 내지 제57 PMOS 트랜지스터(T53 내지 T57)를 더 구비한다.

구체적으로, 제53 PMOS 트랜지스터(T53)는 제2 클럭 신호(C2)(또는 다음단 스테이지의 출력 신호)에 응답하여 QL 노드를 제어한다. 이를 위하여, 제53 PMOS 트랜지스터(T53)는 QL 노드와 제2 클럭 신호(C2)(또는 다음단 스테이지의 출력 신호) 입력 라인 사이에 접속된다.

제54 PMOS 트랜지스터(T54)는 레벨 쉬프터(LS) 출력 라인과 스타트 펄스(SP) 및 제1 공급 전압(VSS) 입력 라인 사이에 접속된다.

제55 PMOS 트랜지스터(T55)는 QB 노드의 전압에 응답하여 QL 노드를 제어한다. 이를 위하여, 제55 PMOS 트랜지스터(T55)는 QL 노드와 QB 노드 사이에 접속된다.

제56 PMOS 트랜지스터(T56)는 레벨 쉬프터(LS) 출력 라인을 방전을 위하여 그 출력 라인과 QB 노드 및 제1 공급 전압(VSS) 입력 라인 사이에 접속된다.

또한, 제57 PMOS 트랜지스터(T57)는 제48A 및 제48B 트랜지스터(T48A, T48B)의 누설 전류를 방지하기 위하여 부극성 전압(VNEG) 입력라인과 제48A PMOS 트랜지스터(T48A)의 소스단자와 사이에 다이오드형으로 접속된다.

이러한 구성을 가지는 스테이지(ST)와 레벨 쉬프터(LS)에는 도 10에 도시된 바와 같이 순차적으로 한 클럭 만큼씩 위상 지연되는 형태를 가지는 제1 내지 제4 클럭 신호(C1 내지 C4)가 공급된다. 여기서, 제4 클럭 신호(C4)는 스타트 펄스(SP)와 동기된 위상을 갖는다. 스타트 펄스(SP)를 포함하여 제1 내지 제4 클럭 신호(C1 내지 C4)는 10V 이하의 스윙 전압을 가지는 부극성 타입으로 공급된다. 특히, 여기서는 10V의 전위를 로우 상태로, 0V의 전위를 하이 상태로 가정한다. 이러한 구동파형을 참조하여 스테이지(ST)와 레벨 쉬프터(LS)의 동작을 살펴보면 다음과 같다.

t1 기간에서 스타트 펄스(SP)와 제4 클럭 신호(C4)가 동시에 하이 상태가 되면 스테이지(ST)의 제41 및 제42 PMOS 트랜지스터(T41, T42)가 턴-온되어 Q노드에는 제1 하이 상태(H1)의 전압이 충전된다. 이에 따라, Q노드에 게이트 단자가 접속된 제46 PMOS 트랜지스터(T46)는 서서히 턴-온된다. 그리고, 하이 상태의 스타트 펄스(SP)에 의해 제45A 및 제45B PMOS 트랜지스터(T45A, T45B)가 턴-온되어 제1 공급 전압(VSS) 입력 라인으로부터의 로우 상태(10V) 전압이 QB노드에 충전된다. 이에 따라, QB노드에 게이트 단자가 접속된 제43A 및 제43B PMOS 트랜지스터(T43A, T43B)와 제47 PMOS 트랜지스터(T47)는 턴-오프된다. 이 결과, 턴-온된 제46 PMOS 트랜지스터(T46)를 통해 제1 클럭 신호(C1)의 로우 상태 전압(10V)이 스테이지(ST)의 출력 라인에 충전되므로 스테이지(ST)는 로우 상태의 출력 신호(SO)를 출력하게 된다.

그리고, 제1 하이상태(1H)인 스테이지(ST)의 Q 노드에 의해 제48A 및 제48B PMOS 트랜지스터(T48A, T48B)가 턴-온 되어 QL 노드는 하이상태가 되므로 제51 PMOS 트랜지스터(T51)가 턴-온 되어 하이 상태의 부극성 전압(VNEG)이 서서히 충전되더라도 하이 상태의 스타트 펄스(SP)(또는 전단 스테이지의 출력 신호)에 의해 제49 및 제50 PMOS 트랜지스터(T49, T50)가 턴-온되어 QL 노드에는 제1 공급 전압(VSS) 입력 라인으로부터의 로우 상태(10V)의 전압이 충전된다. 이에 따라, 제51 PMOS 트랜지스터(T51)가 턴-오프되므로 레벨 쉬프터(LS)의 출력 신호는 이전 상태(즉, 로우 상태)를 유지하게 된다.

t2 기간에서 스타트 펄스(SP)와 제4 클럭 신호(C4)가 로우 상태가 되고 제1 클럭 신호(C1)가 하이 상태가 되면 제41 및 제42 PMOS 트랜지스터(T41, T42)는 턴-오프되어 Q 노드는 플로팅 상태가 되고, 제46 PMOS 트랜지스터(T46)는 턴-온 상태를 유지한다. 이 경우, 플로팅 상태인 Q노드는 제46 PMOS 트랜지스터(T46)의 게이트와 소스 사이에 형성된 내부 캐패시터(Cgs)와 제42 캐패시터(CB)의 영향으로 제1 클럭 신호(C1)의 하이 상태의 전압에 의한 부트스트래핑(Bootstrapping) 현상이 발생하여 상기 제1 하이 상태(H1) 보다 높은 제2 하이 상태(H2)가 된다. 이 결과, 제46 PMOS 트랜지스터(T46)가 확실하게 턴-온되어 제1 클럭 신호(C1)의 하이 상태 전압(0V)이 스테이지(ST)의 출력 라인에 빠르게 충전되므로 스테이지(ST)는 양호한 하이 상태의 출력 신호(SO)를 출력하게 된다.

그리고, 제2 하이 상태(H2)가 된 스테이지(ST)의 Q 노드에 의해 제48A 및 제48B PMOS 트랜지스터(T48A, T48B)가 턴-온된다. 이에 따라, 하이 상태의 부극성 전압(VNEG)에 의해 턴-온된 제57 PMOS 트랜지스터(T57)와 제2 하이 상태(H2)가 된 스테이지(ST)의 Q 노드에 의해 턴-온된 제48A 및 제48B PMOS 트랜지스터(T48A, T48B)를 경유하여 QL 노

드에 하이 상태의 부극성 전압(VNEG)이 충전되므로 제51 PMOS 트랜지스터(T51)가 턴-온된다. 이 경우, QL 노드는 턴-오프된 제49, 제50, 제54 PMOS 트랜지스터(T49, T50, T54)에 의해 플로팅 상태가 되고, 제44 캐패시터(CL)에 의한 부트스트래핑(Bootstrapping) 현상으로 보다 높은 하이 상태가 된다.

구체적으로, QL 노드에는 제51 PMOS 트랜지스터(T51)의 게이트 및 소스 사이에 형성된 내부 캐패시터(Cgs)와 제44 캐패시터(CL)의 영향으로 부극성 전압(VNEG)에 의한 부트스트래핑(Bootstrapping) 현상이 발생하므로 제51 PMOS 트랜지스터(T51)는 확실하게 턴-온 상태가 된다. 그리고, 확실히 턴-온된 제51 PMOS 트랜지스터(T51)를 통해 부극성 전압(VNEG)이 빠르게 레벨 쉬프터(LS)의 출력 라인에 충전된다. 이 때, 인터 클럭(Inter_CLK) 신호는 제1 클럭 신호(C1)가 하이 상태가 될 때 동시에 일정 기간 동안 하이 상태가 된다. 이에 따라, 제60 및 제61 PMOS 트랜지스터(T60, T61)가 턴-온된다. 이 결과, 턴-온된 제60 및 제61 PMOS 트랜지스터(T60, T61)를 통해 제1 공급 전압(VSS)이 인터 클럭(Inter_CLK) 신호가 하이 상태인 동안 QL 노드 및 출력 라인으로 공급된다. 이러한 제1 공급 전압(VSS)은 제1 클럭 신호(C1)가 하이 상태가 되더라도 인터 클럭 신호(Inter_CLK)가 하이 상태인 동안에는 QL 노드 및 출력 라인으로 공급된다. 이에 따라, 인터 클럭 신호(Inter_CLK)가 하이 상태인 동안에는 QL 노드 및 출력 라인은 로우 상태를 계속 유지하게 된다. 이 후, 인터 클럭 신호(Inter_CLK)가 로우 상태가 되면 레벨 쉬프터(LS)의 출력 신호(LO1)는 하이 상태의 신호 파형을 갖게 된다.

t3 기간에서 제2 클럭 신호(C2)가 하이 상태가 되고, 제1 클럭 신호(C1)가 로우 상태가 된다. 로우 상태의 제1 클럭 신호(C1)에 의해 플로팅 상태인 Q노드의 전압은 제1 하이 상태(H1)로 떨어지고 제46 PMOS 트랜지스터(T46)은 턴-온 상태를 유지한다. 이에 따라, 턴-온된 제46 PMOS 트랜지스터(T46)를 경유하여 로우 상태의 제1 클럭 신호(C1)가 스테이지(ST)의 출력 라인에 충전되므로 스테이지(ST)는 로우 상태의 출력 신호(SO)를 출력하게 된다.

그리고, 제1 하이상태(1H)인 스테이지(ST)의 Q 노드에 의해 제48A 및 제48B PMOS 트랜지스터(T48A, T48B)가 턴-온 되어 QL 노드는 하이상태가 된다. 이 경우, 하이 상태의 제2 클럭 신호(C2)(또는 다음단 스테이지의 출력 신호)에 의해 턴-온된 제53 PMOS 트랜지스터(T53)를 통해 QL 노드의 전압이 방전되므로 제51 PMOS 트랜지스터(T51)는 턴-오프된다. 또한, 하이 상태의 제2 클럭 신호(C2)(또는 다음단 스테이지의 출력 신호)에 의해 턴-온된 제52 PMOS 트랜지스터(T52)를 통해 레벨 쉬프터(LS)의 출력 라인에는 로우 상태인 제1 공급 전압(VSS)이 충전되므로 레벨 쉬프터(LS)는 로우 상태의 출력 신호(LO1)를 출력하게 된다. 한편, t3 기간에 제2 스테이지(ST2) 및 제2 레벨 쉬프터(LS2)는 t2 기간에 이루어지는 제1 스테이지(ST1) 및 제1 레벨 쉬프터(LS1)의 동작을 하게 된다. 이에 따라, 제2 클럭 신호(C2)가 하이 상태가 될 때 인터 클럭 신호(Inter_CLK)도 동시에 일정 기간 동안 하이 상태가 됨으로써 제60 및 제61 PMOS 트랜지스터(T60, T61)가 턴-온된다. 이 결과, 턴-온된 제60 및 제61 PMOS 트랜지스터(T60, T61)를 통해 제1 공급 전압(VSS)이 인터 클럭(Inter_CLK) 신호가 하이 상태인 동안 QL 노드 및 출력 라인으로 공급된다. 이러한 제1 공급 전압(VSS)은 제2 클럭 신호(C2)가 하이 상태가 되더라도 인터 클럭 신호(Inter_CLK)가 하이 상태인 동안에는 QL 노드 및 출력 라인으로 공급된다. 이에 따라, 인터 클럭 신호(Inter_CLK)가 하이 상태인 동안에는 QL 노드 및 출력 라인은 로우 상태를 계속 유지하게 된다. 이 후, 인터 클럭 신호(Inter_CLK)가 로우 상태가 되면 레벨 쉬프터(LS)의 출력 신호(LO2)는 하이 상태의 신호 파형을 갖게 된다. 이러한 제2 출력 신호(LO2)는 제1 출력 신호(LO1)가 출력된 후 인터 클럭 신호(Inter_CLK)가 하이 상태인 동안 만큼 이격되어 출력된다.

t4 기간에서 제3 클럭 신호(C3)가 하이 상태가 되면 제44 PMOS 트랜지스터(T44)가 턴-온되어 제2 공급 전압(VDD)인 하이 상태의 전압(OV)가 QB노드에 충전된다. 이에 따라, 제43A 및 제44B PMOS 트랜지스터(T43A, T43B)가 턴-온되어 상기 t3기간에서 제1 하이 상태(H1)인 Q노드 전압을 로우 상태로 방전시킴으로써 제46 PMOS 트랜지스터(T46)는 턴-오프된다. 그리고, 하이 상태인 QB노드에 의해 턴-온된 제47 PMOS 트랜지스터(T47)를 통해 제1 공급 전압(VSS)이 스테이지(ST)의 출력라인에 충전되므로 스테이지(ST)는 로우 상태의 출력 신호(SO)를 출력하게 된다. 그리고, 로우 상태인 Q 노드에 의해 제48A 및 제48B PMOS 트랜지스터(T48A, T48)는 턴-오프된다. 이 경우, 하이 상태의 QB 노드의 전압에 의해 턴-온된 제55 PMOS 트랜지스터(T55)를 통해 공급된 제1 공급 전압(VSS)에 의해 QL 노드는 로우 상태를 유지하게 되므로 제51 PMOS 트랜지스터(T51)는 턴-오프된다. 또한, 하이 상태의 QB 노드의 전압에 의해 턴-온된 제56 PMOS 트랜지스터(T56)를 통해 레벨 쉬프터(LS)의 출력 라인에는 로우 상태인 제1 공급 전압(VSS)이 충전되므로 레벨 쉬프터(LS)는 로우 상태의 출력 신호(LO1)를 출력하게 된다. 한편, t4 기간에 제3 스테이지(ST3) 및 제3 레벨 쉬프터(LS3)는 t3 기간에 이루어지는 제2 스테이지(ST2) 및 제2 레벨 쉬프터(LS2)의 동작을 하게 된다. 이에 따라, 제4 클럭 신호(C4)가 하이 상태가 될 때 인터 클럭 신호(Inter_CLK)도 동시에 일정 기간 동안 하이 상태가 됨으로써 제60 및 제61 PMOS 트랜지스터(T60, T61)가 턴-온된다. 이 결과, 턴-온된 제60 및 제61 PMOS 트랜지스터(T60, T61)를 통해 제1 공급 전압(VSS)이 인터 클럭(Inter_CLK) 신호가 하이 상태인 동안 QL 노드 및 출력 라인으로 공급된다. 이러한 제1 공급 전압(VSS)은 제4 클럭 신호(C4)가 하이 상태가 되더라도 인터 클럭 신호(Inter_CLK)가 하이 상태인 동안에는 QL 노드 및 출력 라인으로 공급된다. 이에 따라, 인터 클럭 신호(Inter_CLK)가 하이 상태인 동안에는 QL 노드 및 출력 라인은 로우 상태를 계속 유지하

게 된다. 이 후, 인터 클럭 신호(Inter_CLK)가 로우 상태가 되면 레벨 쉬프터(LS)의 출력 신호(LO3)는 하이 상태의 신호 파형을 갖게 된다. 이러한 제3 출력 신호(LO3)는 제2 출력 신호(LO2)가 출력된 후 인터 클럭 신호(Inter_CLK)가 하이 상태인 동안만큼 이격되어 출력된다.

t5 기간에서 제4 클럭 신호(C4)가 하이 상태가 되면 제44 PMOS 트랜지스터(T44)가 턴-오프되고 QB 노드는 상기 t4 기간에서의 하이 상태를 유지한다. 이에 따라, 턴-온된 제43A 및 제43B PMOS 트랜지스터(T43A, T43B)에 의해 Q노드는 로우 상태를 유지하므로 제46 PMOS 트랜지스터(T46)는 계속 턴-오프되고, 턴-온된 제47 PMOS 트랜지스터(T47)를 통해 제1 공급 전압(VSS)이 스테이지(ST)의 출력라인에 충전되므로 스테이지(ST)는 로우 상태의 출력 신호(SO)를 출력하게 된다. 그리고, 로우 상태인 Q 노드에 의해 제48A 및 제48B PMOS 트랜지스터(T48A, T48B)는 턴-오프된다. 이 경우, 하이 상태의 제4 클럭 신호(C4)(또는 전단 스테이지의 출력 신호)에 의해 제49 및 제50 PMOS 트랜지스터(T49, T50)가 턴-오프되므로 제1 공급 전압(VSS)에 의해 QL 노드는 로우 상태를 유지하게 되므로 제51 PMOS 트랜지스터(T51)는 턴-오프된다. 또한, 하이 상태의 QB 노드의 전압에 의해 턴-온된 제56 PMOS 트랜지스터(T56)를 통해 레벨 쉬프터(LS)의 출력 라인에는 로우 상태인 제1 공급 전압(VSS)이 충전되므로 레벨 쉬프터(LS)는 로우 상태의 출력 신호(LO)를 출력하게 된다. 한편, t5 기간에 제4 스테이지(ST4) 및 제4 레벨 쉬프터(LS4)는 t4 기간에 이루어지는 제3 스테이지(ST3) 및 제3 레벨 쉬프터(LS3)의 동작을 하게 된다. 이에 따라, 제5 클럭 신호(C5)가 하이 상태가 될 때 인터 클럭 신호(Inter_CLK)도 동시에 일정 기간 동안 하이 상태가 됨으로써 제60 및 제61 PMOS 트랜지스터(T60, T61)가 턴-온된다. 이 결과, 턴-온된 제60 및 제61 PMOS 트랜지스터(T60, T61)를 통해 제1 공급 전압(VSS)이 인터 클럭(Inter_CLK) 신호가 하이 상태인 동안 QL 노드 및 출력 라인으로 공급된다. 이러한 제1 공급 전압(VSS)은 제5 클럭 신호(C5)가 하이 상태가 되더라도 인터 클럭 신호(Inter_CLK)가 하이 상태인 동안에는 QL 노드 및 출력 라인으로 공급된다. 이에 따라, 인터 클럭 신호(Inter_CLK)가 하이 상태인 동안에는 QL 노드 및 출력 라인에 로우 상태를 계속 유지하게 된다. 이 후, 인터 클럭 신호(Inter_CLK)가 로우 상태가 되면 레벨 쉬프터(LS)의 출력 신호(LO4)는 하이 상태의 신호 파형을 갖게 된다. 이러한 제4 출력 신호(LO4)는 제3 출력 신호(LO3)가 출력된 후 인터 클럭 신호(Inter_CLK)가 하이 상태인 동안만큼 이격되어 출력된다.

이와 같이, 본 발명의 제3 실시예에 따른 레벨 쉬프터를 내장한 쉬프트 레지스터들은 제1 내지 제4 클럭 신호(C1 내지 C4)가 로우 상태에서 하이 상태로 바뀔 때 동시에 인터 클럭 신호(Inter_CLK)를 일정기간동안 공급하여 제60 및 제61 PMOS 트랜지스터(T60, T61)를 턴-온 시킴으로써 인터 클럭 신호(Inter_CLK)가 공급되는 일정기간동안 출력 신호들을 이격시킬 수 있게 된다. 이에 따라, 출력 신호들의 오버랩(Overlap)을 방지하여 화질이 저하되는 것을 방지할 수 있게 된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 쉬프트 레지스터 및 레벨 쉬프터를 내장한 쉬프트 레지스터들은 제1 내지 제4 클럭 신호가 로우 상태에서 하이 상태로 바뀔 때 동시에 인터 클럭 신호를 일정기간동안 공급하여 출력 시점을 지연시킴으로써 출력 신호들의 오버랩을 방지하여 화질이 저하되는 것을 방지할 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

제1 및 제2 공급 전압과 위상 지연된 제1 내지 제4 제어 신호들에 의해 입력 신호를 쉬프트시켜 각각의 출력 신호와 다음 단의 입력 신호로 공급하는 다수개의 스테이지들로 이루어진 쉬프트 레지스터에 있어서,

상기 스테이지들 각각은,

입력 신호 공급 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 경로를 갖는 제1 내지 제3 트랜지스터를 이용하여 그들 사이의 제1 노드에 상기 입력 신호 및 제1 공급 전압을 선택적으로 공급하는 제1 제어부와;

상기 제2 공급 전압 입력 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 경로를 갖는 제4 및 제5 트랜지스터를 이용하여 그들 사이의 제2 노드에 상기 제2 및 제1 공급 전압을 선택적으로 공급하는 제2 제어부와;

상기 제1 내지 제4 제어 신호들 중 어느 하나의 제어 신호의 입력 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 경로를 갖는 제6 및 제7 트랜지스터를 이용하여 그들 사이의 상기 스테이지의 출력 라인에 상기 특정 제어 신호와 상기 제1 공급 전압을 상기 출력 신호로 선택적으로 공급하는 출력 버퍼부와;

상기 제1 내지 제4 제어 신호들과 듀티비가 상이한 제5 제어 신호에 따라 상기 스테이지의 출력 라인에서 출력되는 출력 신호의 특정 전압 상태를 지연시키기 위한 제8 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 2.

제 1 항에 있어서,

상기 제1 및 제2 트랜지스터는 상기 입력 신호 공급 라인과 상기 제1 노드 사이의 도전 경로와, 그 도전 경로를 상기 입력 신호와 제1 제어 신호 각각에 따라 제어하는 제어 전극을 각각 갖고,

상기 제3 트랜지스터는 제1 노드와 제1 공급 전압 입력 사이의 도전 경로와, 그 도전 경로를 제2 노드의 전압에 따라 제어하는 제어 전극을 갖는 것을 특징으로 하는 쉬프트 레지스터.

청구항 3.

제 2 항에 있어서,

상기 제4 트랜지스터는 상기 제2 공급 전압 입력 라인과 상기 제2 노드 사이의 도전 경로와, 그 도전 경로를 제2 제어 신호에 따라 제어하는 제어 전극을 갖고,

상기 제5 트랜지스터는 상기 제2 노드와 상기 제1 공급 전압 입력 라인 사이의 도전 경로와, 그 도전 경로를 제1 제어 신호에 따라 제어하는 제어 전극을 갖는 것을 특징으로 하는 쉬프트 레지스터.

청구항 4.

제 3 항에 있어서,

상기 제6 트랜지스터는 제3 제어 신호 입력 라인과 상기 스테이지의 출력 라인 사이의 도전 경로와, 그 도전 경로를 상기 제1 노드의 전압에 따라 제어하는 제어 전극을 갖고,

제7 트랜지스터는 상기 스테이지의 출력 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 경로와, 그 도전 경로를 상기 제2 노드의 전압에 따라 제어하는 제어 전극을 갖는 것을 특징으로 하는 쉬프트 레지스터.

청구항 5.

제 4 항에 있어서,

상기 제6 트랜지스터는 그의 게이트 전극의 부트스트래핑을 위하여 그 게이트 전극과 상기 스테이지의 출력 라인 사이에 접속된 캐패시터를 추가로 구비하는 특징으로 하는 쉬프트 레지스터.

청구항 6.

제 2 항에 있어서,

상기 제3 트랜지스터는 상기 제2 노드에 게이트 전극이 공통으로 접속된 듀얼 게이트 트랜지스터를 포함하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 7.

제 3 항에 있어서,

상기 제5 트랜지스터는 상기 제1 제어 신호에 게이트 전극이 공통으로 접속된 듀얼 게이트 트랜지스터를 포함하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 8.

제 1 항에 있어서,

상기 제8 트랜지스터는 상기 제5 제어신호의 제어에 의해 상기 스테이지의 출력 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 경로가 형성되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 9.

제 8 항에 있어서,

상기 제5 제어신호는 상기 제1 내지 제4 제어신호보다 듀티폭이 작은 것을 특징으로 하는 쉬프트 레지스터.

청구항 10.

제 1 항에 있어서,

상기 스테이지는 동일 채널 타입의 트랜지스터로 구성된 것을 특징으로 하는 쉬프트 레지스터.

청구항 11.

제 1 항에 있어서,

상기 스테이지는 PMOS 트랜지스터로 구성된 것을 특징으로 하는 쉬프트 레지스터.

청구항 12.

제 1 항에 있어서,

상기 제1 공급 전압 보다 상기 제2 공급 전압이 큰 것을 특징으로 하는 쉬프트 레지스터.

청구항 13.

제 12 항에 있어서,

상기 제1 공급 전압은 부극성 전압인 것을 특징으로 하는 쉬프트 레지스터.

청구항 14.

제 6 항에 있어서,

상기 제1 내지 제3 제어 신호로는 서로 위상이 다르면서 동일한 주기로 특정 전압 상태를 갖는 제1 내지 제4 클럭 신호들 중 3개의 클럭 신호가 공급되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 15.

제 14 항에 있어서,

상기 제3 제어 신호는 상기 제1 제어 신호보다 한 클럭만큼 위상 지연된 형태를 갖고, 상기 제2 제어 신호는 상기 제3 제어 신호보다 두 클럭만큼 위상 지연된 형태를 갖는 것을 특징으로 하는 쉬프트 레지스터.

청구항 16.

제 14 항에 있어서,

상기 입력 신호는 상기 제1 제어 신호와 동위상을 갖는 부분을 포함하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 17.

제 1 항 내지 제16 항 중 어느 한 항에 있어서,

상기 쉬프트 레지스터는 표시 장치의 스캔 라인들을 구동하는 스캔 드라이버와 표시 장치의 데이터 라인들을 구동하는 데이터 드라이버 중 적어도 하나의 드라이버에 적용되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 18.

종속적으로 접속되고 입력 단자를 통해 입력되는 스타트 펄스를 쉬프트시켜 순차적으로 쉬프트 펄스를 출력하는 다수의 스테이지들과, 상기 스테이지들 각각으로부터 공급되는 쉬프트 펄스의 전압 레벨을 레벨 쉬프팅시켜 출력하는 다수의 레벨 쉬프터들을 구비하는 레벨 쉬프터를 내장한 쉬프트 레지스터에 있어서,

상기 스테이지 각각은,

제1 및 제2 노드의 전압에 따라 제1 제어 신호와 제1 공급 전압을 이용하여 상기 쉬프트 펄스를 출력하는 버퍼부와;

상기 스타트 펄스와 상기 제2 노드의 전압에 따라 상기 제1 노드의 전압을 제어하는 제1 제어부와;

상기 스타트 펄스 및 제2 제어 신호에 따라 상기 제1 및 제2 공급 전압을 이용하여 상기 제2 노드의 전압을 제어하는 제2 제어부를 구비하고,

상기 레벨 쉬프트들 각각은,

상기 제1 노드의 전압과 제3 제어 신호에 따라 제3 공급 전압과 상기 제1 공급 전압을 이용하여 제3 노드의 전압을 제어하는 제3 제어부와;

상기 제3 노드 전압이 적어도 1단계로 부트스트래핑되게 하고, 상기 적어도 1단계로 부트스트래핑된 제3 노드의 전압과 제4 제어 신호에 따라 상기 제1 및 제3 공급 전압을 선택적으로 출력하는 출력 버퍼부와,

상기 제1 내지 제4 제어 신호들과 듀티비가 상이한 제5 제어 신호에 따라 제3 노드 및 상기 출력 버퍼부의 출력라인에서 출력되는 출력 신호의 특정 전압 상태를 지연시키기 위한 제4 제어부를 구비하는 것을 특징으로 하는 레벨 쉬프트를 내장한 쉬프트 레지스터.

청구항 19.

제 18 항에 있어서,

상기 제1 제어부는

상기 스타트 펄스 및 상기 제1 노드 사이의 도전 통로와, 그 도전 통로를 상기 스타트 펄스에 따라 제어하는 제어 전극을 가지는 제1 트랜지스터와,

상기 제1 트랜지스터의 출력 단자와 상기 제1 노드 사이의 도전 통로와, 그 도전 통로를 제3 제어 신호에 따라 제어하는 제어 전극을 가지는 제2 트랜지스터와,

상기 제1 노드와 상기 제1 공급 전압의 입력라인 사이의 도전 통로와, 그 도전 통로를 상기 제2 노드의 전압에 따라 제어하는 제어 전극을 가지는 제3 트랜지스터를 구비하는 것을 특징으로 하는 레벨 쉬프트를 내장한 쉬프트 레지스터.

청구항 20.

제 19 항에 있어서,

상기 제2 제어부는

상기 제2 공급 전압 입력 라인과 상기 제2 노드 사이의 도전 통로와, 그 도전 통로를 상기 제2 제어 신호에 따라 제어하는 제어 전극을 가지는 제4 트랜지스터와;

상기 제2 노드와 상기 제1 공급 전압 입력 라인 사이의 도전 통로와, 그 도전 통로를 상기 스타트 펄스에 따라 제어하는 제어 전극을 가지는 제5 트랜지스터를 구비하는 것을 특징으로 하는 레벨 쉬프트를 내장한 쉬프트 레지스터.

청구항 21.

제 20 항에 있어서,

상기 버퍼부는

상기 제1 제어 신호 입력 라인과 상기 스테이지의 출력 라인 사이의 도전통로와, 그 도전 통로를 상기 제1 노드의 전압에 따라 제어하는 제어 전극을 가지는 제6 트랜지스터와;

상기 스테이지의 출력 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 통로와, 그 도전 통로를 상기 제2 노드의 전압에 따라 제어하는 제어 전극을 가지는 제7 트랜지스터를 구비하는 것을 특징으로 하는 레벨 쉬프터를 내장한 쉬프트 레지스터.

청구항 22.

제 21 항에 있어서,

상기 버퍼부는

상기 제6 트랜지스터의 제어 전극과 상기 스테이지의 출력 라인 사이에 접속되어 그 제어 전극의 전압을 부트스트래핑시키기 위한 캐패시터를 추가로 구비하는 것을 특징으로 하는 레벨 쉬프터를 내장한 쉬프트 레지스터.

청구항 23.

제 21 항에 있어서,

상기 스테이지는

상기 제5 트랜지스터의 누설 전류로 인하여 상기 제2 노드의 전압왜곡을 방지하기 위한 캐패시터를 추가로 구비하는 것을 특징으로 하는 레벨 쉬프터를 내장한 쉬프트 레지스터.

청구항 24.

제 19 항에 있어서,

상기 제3 트랜지스터는 상기 제2 노드에 게이트 전극이 공통으로 접속된 듀얼 게이트 트랜지스터를 포함하는 것을 특징으로 하는 레벨 쉬프터를 내장한 쉬프트 레지스터.

청구항 25.

제 20 항에 있어서,

상기 제5 트랜지스터는 상기 제3 노드에 게이트 전극이 공통으로 접속된 듀얼 게이트 트랜지스터를 포함하는 것을 특징으로 하는 레벨 쉬프터를 내장한 쉬프트 레지스터.

청구항 26.

제 21 항에 있어서,

상기 제3 제어부는

상기 제3 공급 전압의 입력 라인과 상기 제3 노드 사이의 도전 경로와, 그 도전 경로를 상기 스테이지의 출력 신호에 따라 제어하는 제어 전극을 갖는 제8 트랜지스터와;

상기 제3 노드와 제1 공급 전압의 입력 라인 사이의 도전 경로와, 그 도전 경로를 상기 제3 제어 신호에 따라 제어하는 제어 전극을 갖는 제9 및 제10 트랜지스터를 구비하는 것을 특징으로 하는 레벨 쉬프터를 내장한 쉬프트 레지스터.

청구항 27.

제 18 항에 있어서,

상기 출력 버퍼부는

상기 제3 공급 전압 입력 라인과 상기 제3 노드 사이의 도전 경로와, 그 도전 경로를 상기 제3 노드의 전압에 따라 제어하는 제어 전극을 갖는 제11 트랜지스터와;

상기 레벨 쉬프터의 출력 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 경로와, 그 도전 경로를 상기 제4 제어 신호에 따라 제어하는 제어 전극을 갖는 제12 트랜지스터를 구비하는 것을 특징으로 하는 레벨 쉬프터를 내장한 쉬프트 레지스터.

청구항 28.

제 27 항에 있어서,

상기 레벨 쉬프터는

상기 제3 노드 및 레벨 쉬프터의 출력 라인 사이의 도전 경로와, 그 도전 경로를 상기 제4 제어 신호에 따라 제어하는 제13 트랜지스터와;

상기 레벨 쉬프터의 출력 라인 및 제1 공급 전압 입력 라인 사이의 도전 경로와, 그 도전 경로를 상기 제3 제어 신호에 따라 제어하는 제14 트랜지스터와;

상기 제3 및 레벨 쉬프터의 출력 라인 사이의 도전 경로와, 그 도전 경로를 상기 제2 노드의 전압에 따라 제어하는 제15 트랜지스터와;

상기 레벨 쉬프터의 출력 라인과 상기 제1 공급 전압 입력 라인 사이의 도전 경로와, 그 도전 경로를 상기 제2 노드의 전압에 따라 제어하는 제16 트랜지스터를 추가로 구비하는 것을 특징으로 하는 레벨 쉬프터를 내장한 쉬프트 레지스터.

청구항 29.

제 28 항에 있어서,

상기 레벨 쉬프터는

상기 제3 공급 전압의 입력 라인과 상기 제8 트랜지스터 사이에 다이오드형으로 접속된 제17 트랜지스터를 추가로 구비하는 것을 특징으로 하는 레벨 쉬프터를 내장한 쉬프트 레지스터.

청구항 30.

제 27 항에 있어서,

상기 출력 버퍼부는

상기 1단 부트스트래핑을 위하여 상기 제3 노드와 상기 레벨 쉬프터의 출력 라인 사이에 직렬로 연결된 캐패시터를 구비하는 것을 특징으로 하는 레벨 쉬프터를 내장한 쉬프트 레지스터.

청구항 31.

제 26 항에 있어서,

상기 제8 트랜지스터는 상기 제1 노드에 게이트 전극이 공통으로 접속된 듀얼 게이트 트랜지스터를 포함하는 것을 특징으로 하는 레벨 쉬프터를 내장한 쉬프트 레지스터.

청구항 32.

제 21 항에 있어서,

상기 제4 제어부는,

상기 제1 공급 전압 입력 라인과 상기 제3 노드 사이의 도전 통로와, 그 도전 통로를 상기 제5 제어 신호에 따라 제어하는 제어 전극을 가지는 제17 트랜지스터와;

상기 제1 공급 전압 입력 라인과 상기 레벨 쉬프터의 출력 라인 사이의 도전 통로와, 그 도전 통로를 상기 제5 제어 신호에 따라 제어하는 제어 전극을 가지는 제18 트랜지스터를 구비하는 것을 특징으로 하는 레벨 쉬프터를 내장한 쉬프트 레지스터.

청구항 33.

제 32 항에 있어서,

상기 제5 제어신호는 상기 제1 내지 제4 제어신호보다 듀티폭이 작은 것을 특징으로 하는 레벨 쉬프터를 내장한 쉬프트 레지스터.

청구항 34.

제 18 항에 있어서,

상기 스테이지들과 레벨 쉬프터들은 동일타입 채널의 박막트랜지스터들로만 구성되는 것을 특징으로 하는 레벨 쉬프터를 내장한 쉬프트 레지스터.

청구항 35.

제 11 항에 있어서,

상기 제1 내지 제3 공급전압은 제3 < 제2 < 제1의 크기 관계를 갖는 특징으로 하는 레벨 쉬프터를 내장한 쉬프트 레지스터.

청구항 36.

제 35 항에 있어서,

상기 제3 공급 전압은 부극성 전압인 것을 특징으로 하는 레벨 쉬프터를 내장한 쉬프트 레지스터.

청구항 37.

제 18 항에 있어서,

상기 제1 내지 제4 제어 신호는 제1, 제4, 제2, 제3 순으로 위상 지연된 특정 전압 상태를 갖고,

상기 제3 제어 신호는 상기 스타트 펄스와 동위상을 갖는 것을 특징으로 하는 레벨 쉬프터를 내장한 쉬프트 레지스터.

청구항 38.

제 18 항에 있어서,

상기 스테이지들과 레벨 쉬프터들은 P 채널의 박막트랜지스터들로만 구성되는 것을 특징으로 하는 레벨 쉬프터를 내장한 쉬프트 레지스터.

청구항 39.

제 18 항에 있어서,

상기 레벨 쉬프터는

상기 쉬프트 펄스의 최저 전압 레벨을 상기 제3 공급 전압으로 다운시켜 출력하는 것을 특징으로 하는 레벨 쉬프터를 내장한 쉬프트 레지스터.

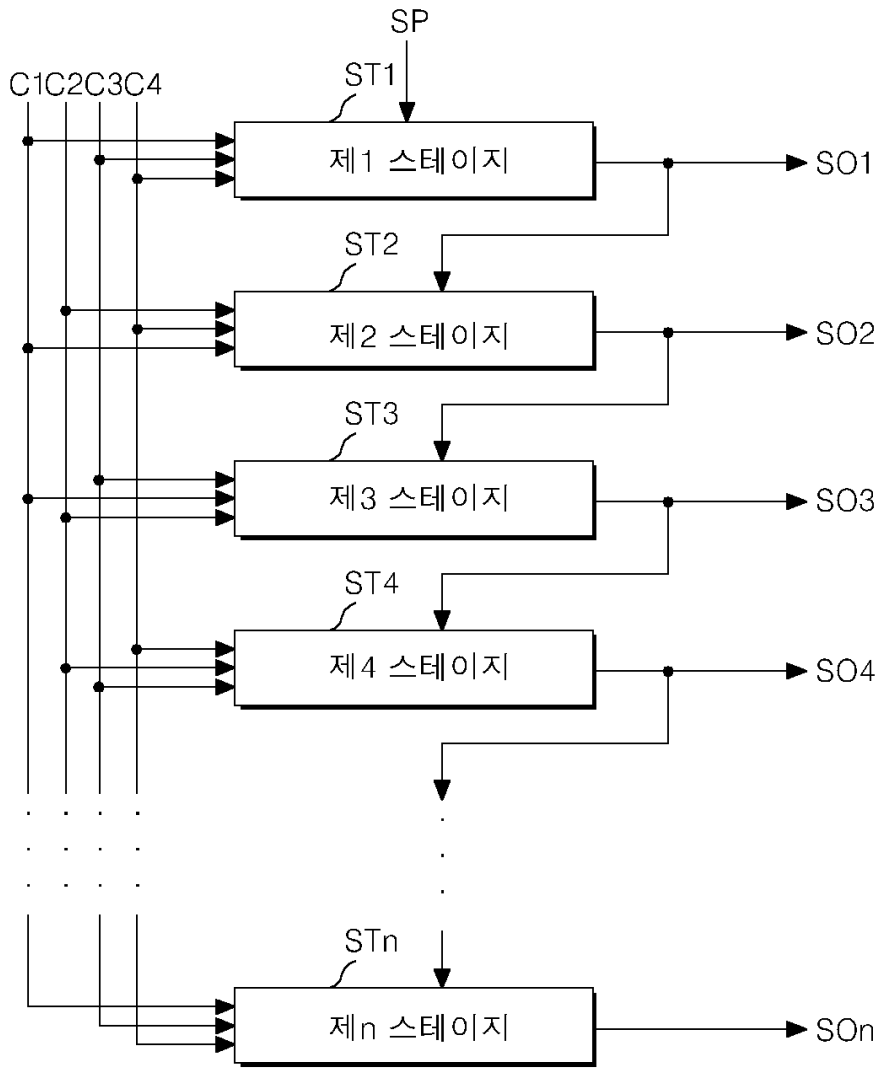
청구항 40.

제 18 항에 있어서,

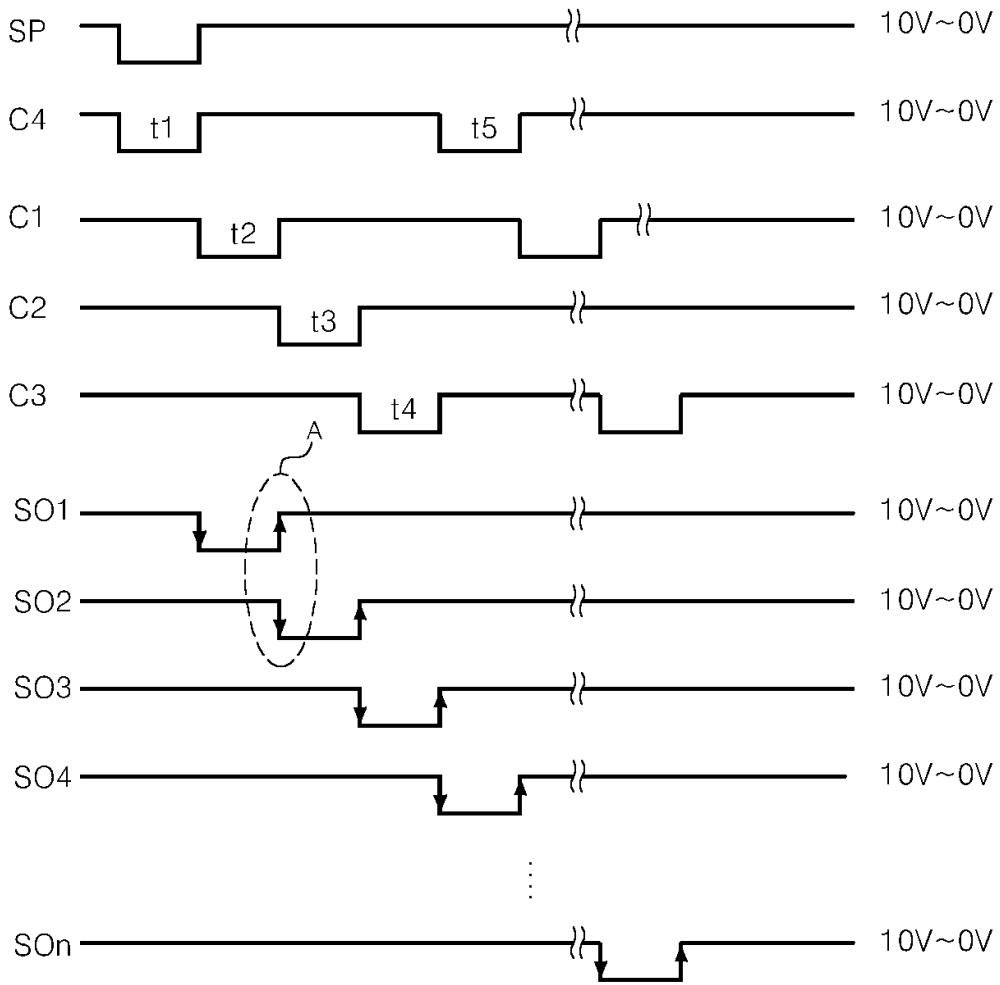
상기 쉬프트 레지스터는 표시 장치의 스캔 라인들을 구동하는 스캔 드라이버와 표시 장치의 데이터 라인들을 구동하는 데이터 드라이버 중 적어도 하나의 드라이버에 적용되는 것을 특징으로 하는 레벨 쉬프터를 내장한 쉬프트 레지스터.

도면

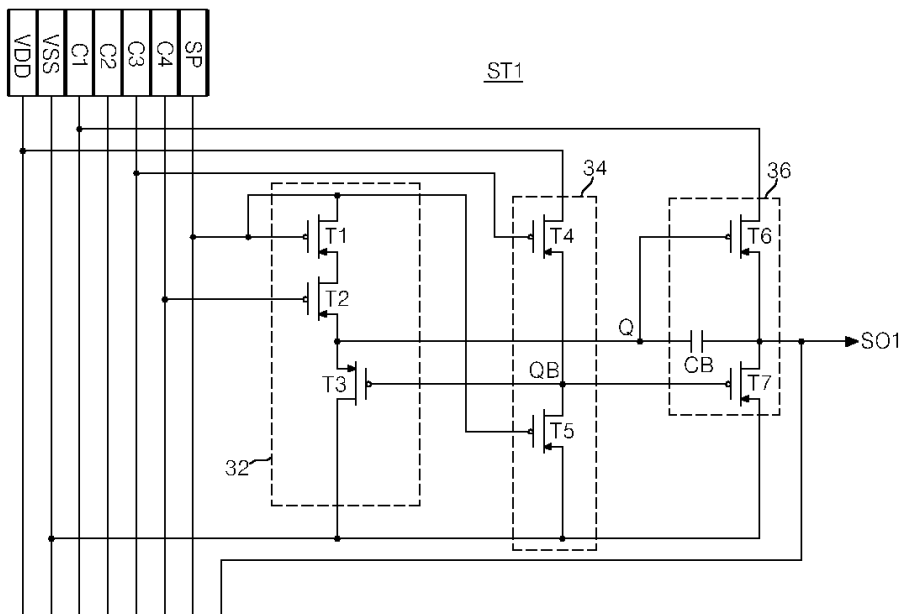
도면1



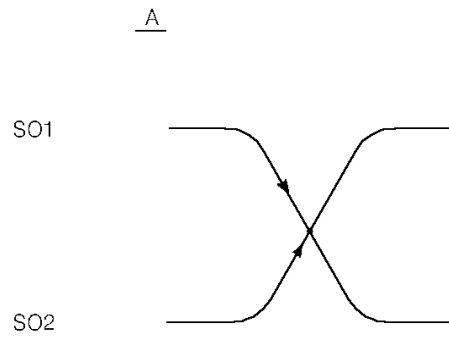
도면2



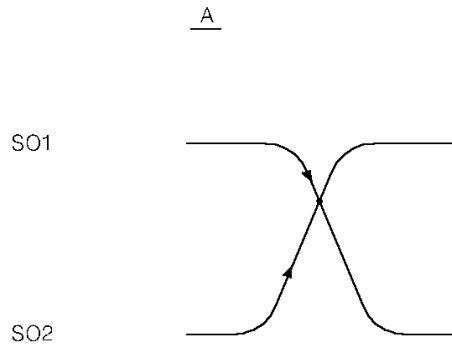
도면3



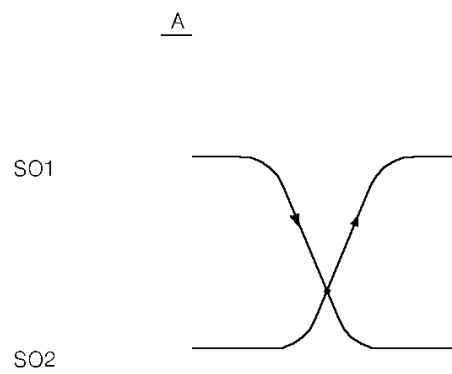
도면4a



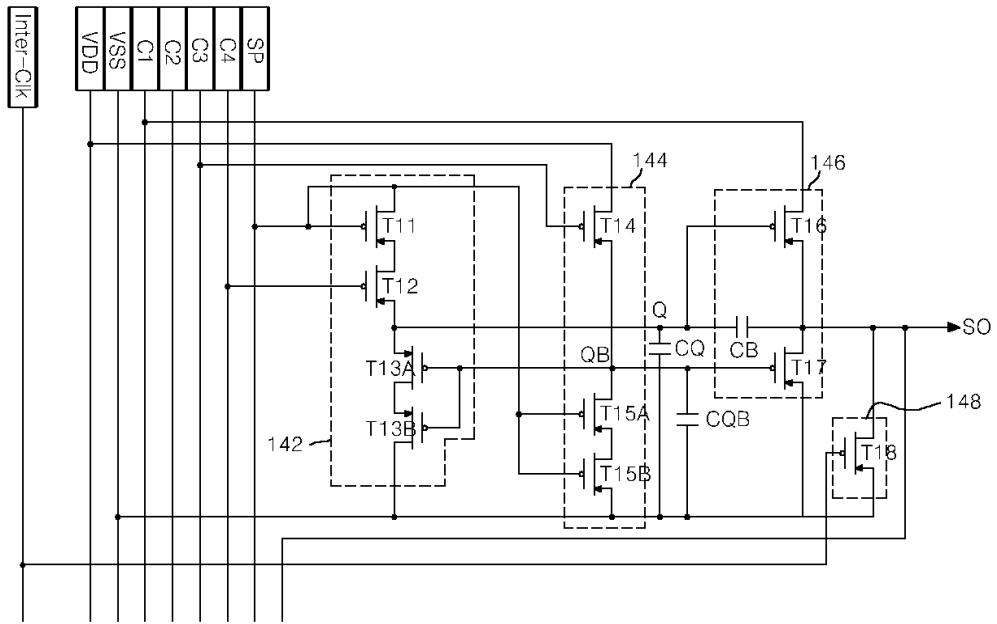
도면4b



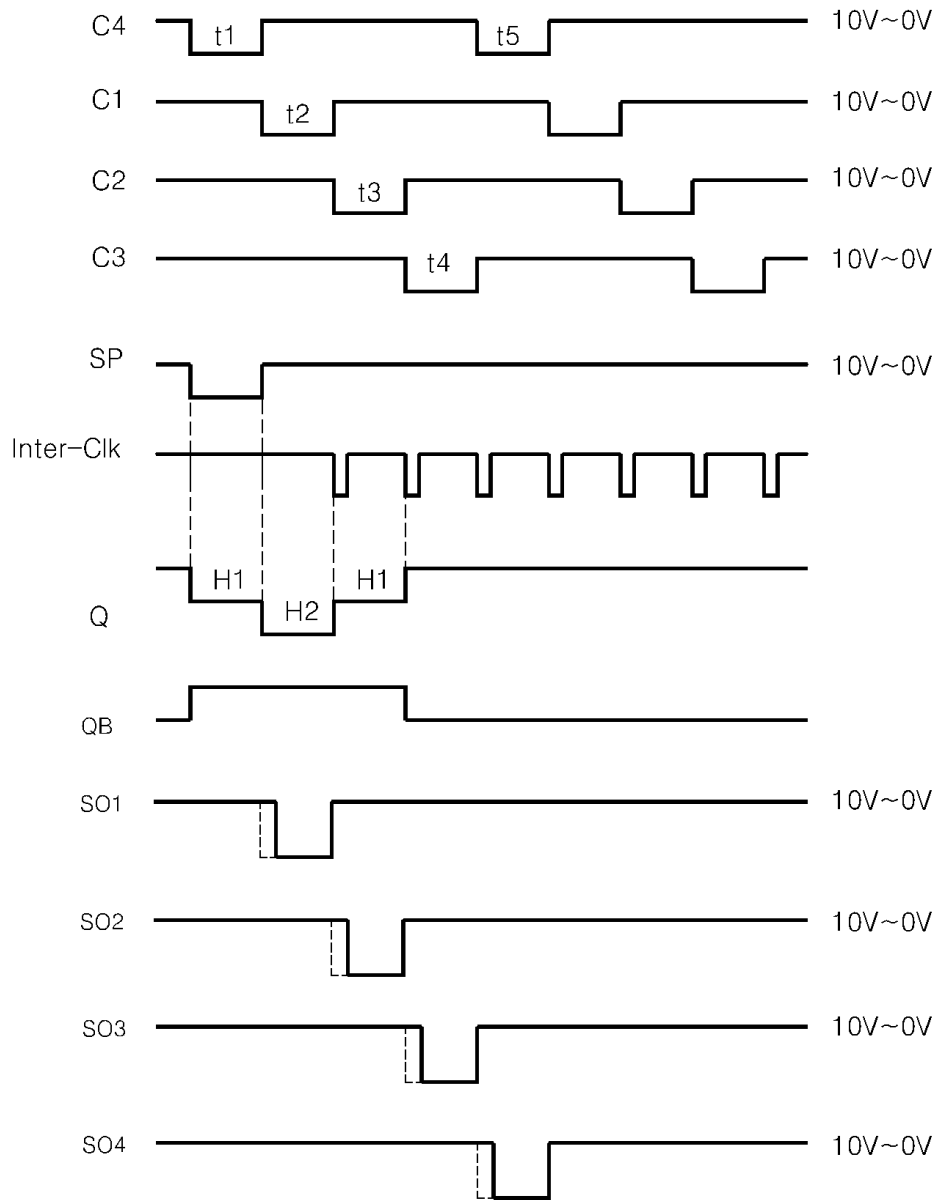
도면4c



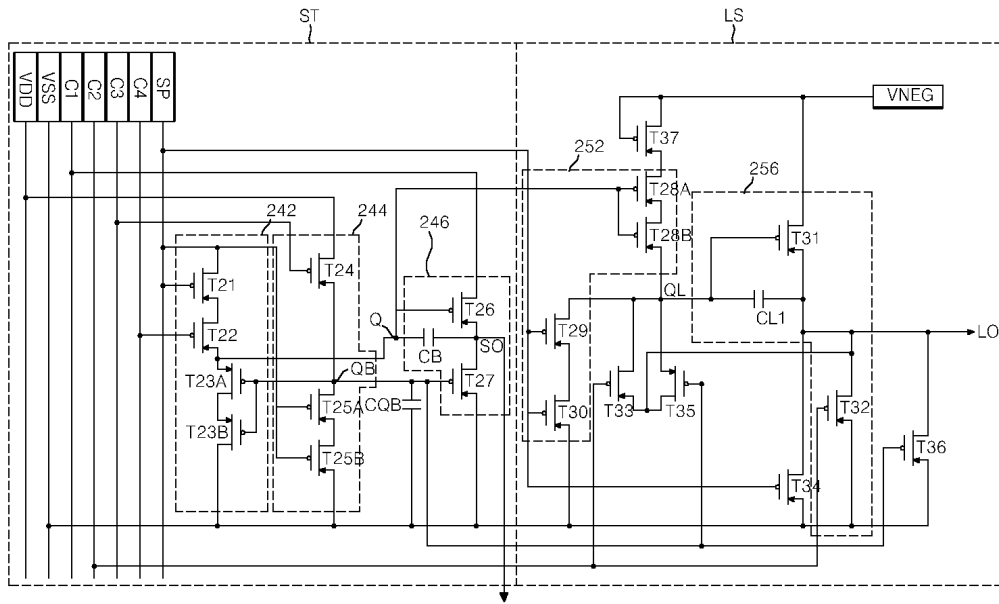
도면5



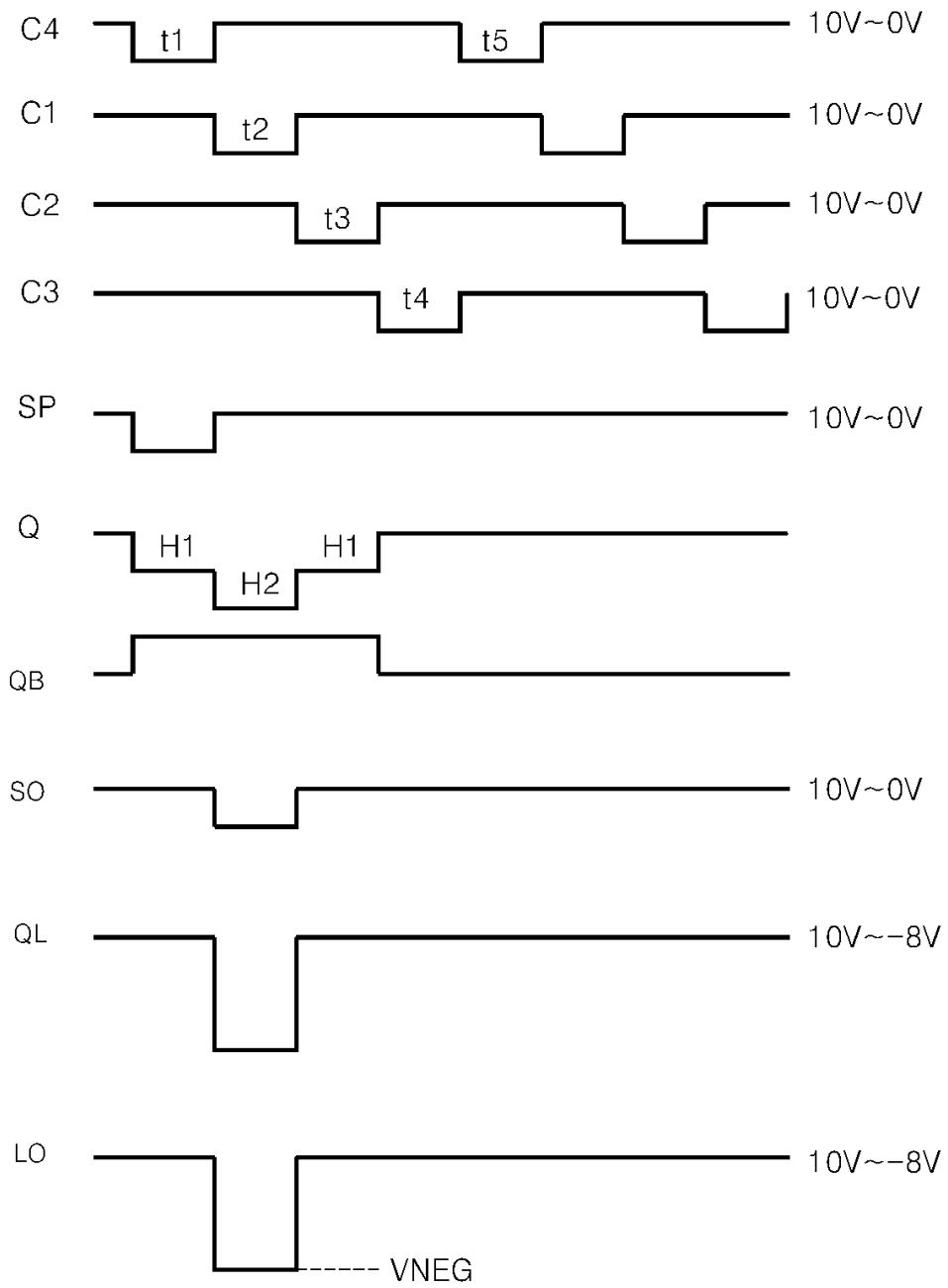
도면6



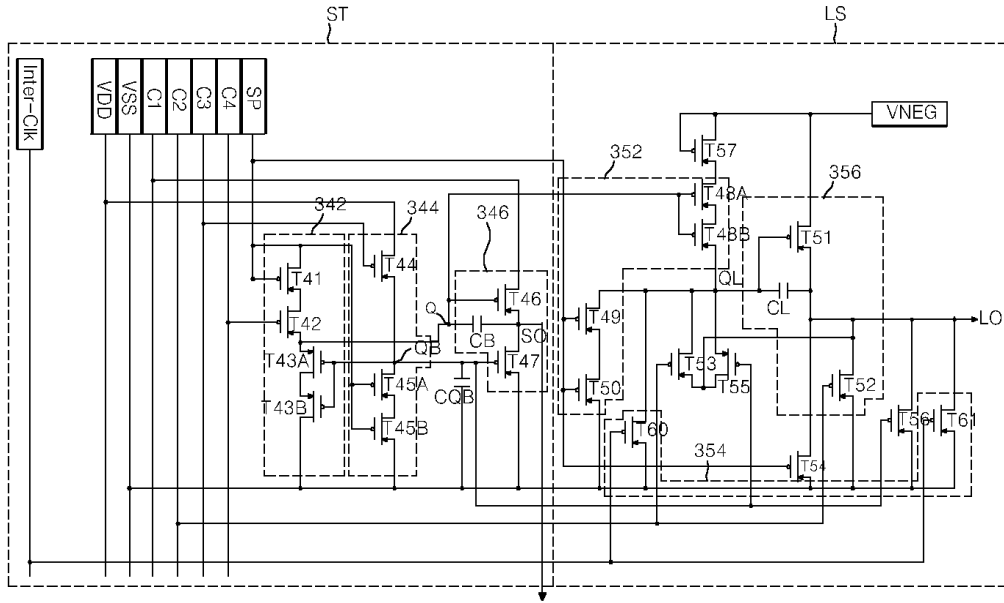
도면7



도면8



도면9



도면10

