



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년12월21일
 (11) 등록번호 10-0788024
 (24) 등록일자 2007년12월14일

(51) Int. Cl.
G09G 3/28 (2006.01)
 (21) 출원번호 10-2003-0042377
 (22) 출원일자 2003년06월27일
 심사청구일자 2005년07월01일
 (65) 공개번호 10-2004-0002764
 (43) 공개일자 2004년01월07일
 (30) 우선권주장
 60/392,518 2002년06월28일 미국(US)
 (56) 선행기술조사문헌
 KR20010000984 A
 (뒷면에 계속)

(73) 특허권자
마쓰시타 일렉트릭 인더스트리얼 코우., 엘티디.
 일본국 571 오사까 카도마시 오아자 카도마 1006
 (72) 발명자
마코트, 로버트쥬.
 미국, 뉴욕12561, 뉴펠즈, 34로라드라이브
 (74) 대리인
정홍식

전체 청구항 수 : 총 34 항

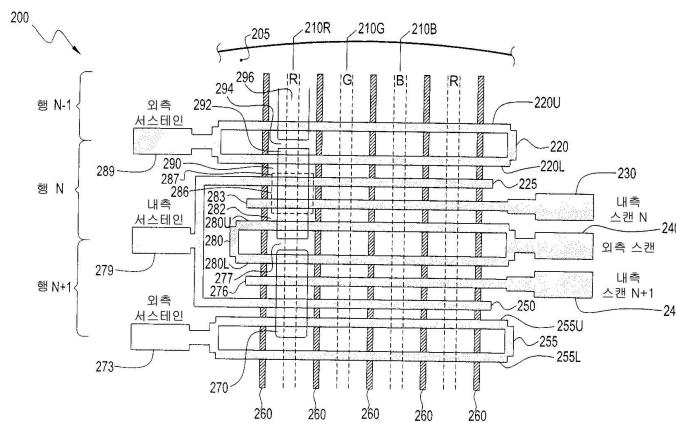
심사관 : 정재헌

(54) 스플릿 전극을 구비한 플라즈마 디스플레이

(57) 요약

플라즈마 디스플레이 패널 내의 픽셀의 전극을 제어하는 방법이 제공된다. 이 방법은 픽셀의 제1 전극이 관련된(involved) 어드레싱 방전 중에 그 픽셀의 제1 전극에 제1 전압을 인가하는 단계, 및 픽셀의 제2 전극에 제2 전압을 인가하는 단계를 포함한다. 제1 전압과 제2 전압은 어드레싱 방전이 제2 전극으로 확장하는 것을 억제하는 관계를 갖는다.

대표도 - 도2



(56) 선행기술조사문헌

KR20010073681 A

KR20010076098 A

KR20010104080 A

KR20020040261 A

특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

플라즈마 디스플레이 패널 내의 픽셀의 전극들을 제어하는 방법으로서,

상기 픽셀의 내측 스캔 전극과 서스테인 전극 사이의 어드레싱 방전 중에 상기 픽셀의 상기 내측 스캔 전극에 제1 전압을 인가하는 단계; 및

상기 픽셀의 외측 스캔 전극에 제2 전압을 인가하는 단계;를 포함하며,

상기 제2 전압은 상기 제1 전압 보다 크고, 따라서 상기 어드레싱 방전이 상기 외측 스캔 전극으로 확장되는 것을 억제하는, 방법.

청구항 11

제10항에 있어서,

상기 내측 스캔 전극이 상기 어드레싱 방전을 위하여 셋업되는 주기에서 상기 내측 스캔 전극에 제1 크기의 제1 전압 파형을 인가하는 단계; 및

상기 주기에서 상기 외측 스캔 전극에 제2 크기의 제2 전압 파형을 인가하는 단계;를 더 포함하며,

상기 제2 크기가 상기 제1 크기보다 더 작고, 따라서 셋업 방전이 상기 외측 스캔 전극으로 확장되는 것을 억제하는, 방법.

청구항 12

제10항에 있어서,

상기 서스테인 전극은 내측 서스테인 전극이고,

상기 픽셀은 외측 서스테인 전극을 더 포함하고, 그리고

상기 방법은, 상기 어드레싱 방전 중에, 상기 외측 서스테인 전극에, 상기 내측 서스테인 전극에 인가되는 전압보다 작고, 따라서 상기 어드레싱 방전이 상기 외측 서스테인 전극으로 확장하는 것을 억제하는 전압을 인가하는 단계;를 더 포함하는 방법.

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

제10항에 있어서,

상기 어드레싱 방전 후에,

상기 내측 스캔 전극에 제1 크기의 전압을 인가하는 단계; 그리고 동시에

상기 외측 스캔 전극에 제2 크기의 전압을 인가하는 단계;를 더 포함하며,

상기 제2 크기가 상기 제1 크기보다 더 크고, 따라서 상기 내측 스캔 전극이 관련된 서스테인 방전이 상기 외측 스캔 전극으로 확장될 수 있게 하는 방법.

청구항 17

플라즈마 디스플레이 패널 내의 픽셀의 전극들을 제어하는 방법으로서,

상기 픽셀의 내측 서스테인 전극과 스캔 전극 사이의 어드레싱 방전 중에 상기 픽셀의 내측 서스테인 전극에 전압을 인가하는 단계; 및

상기 픽셀의 외측 서스테인 전극에 전압을 인가하는 단계;를 포함하며,

상기 외측 서스테인 전극에 인가되는 상기 전압은 상기 내측 서스테인 전극에 인가되는 상기 전압보다 작고, 따라서 상기 어드레싱 방전이 상기 외측 서스테인 전극으로 확장되는 것을 억제하는, 방법.

청구항 18

제17항에 있어서,

상기 스캔 전극은 내측 스캔 전극이고,

상기 픽셀은 외측 스캔 전극을 더 포함하고, 그리고

상기 방법은, 상기 어드레싱 방전 중에, 상기 외측 스캔 전극에, 상기 내측 스캔 전극에 인가되는 전압보다 크고, 따라서 상기 어드레싱 방전이 상기 외측 스캔 전극으로 확장하는 것을 억제하는 전압을 인가하는 단계;를 더 포함하는 방법.

청구항 19

제17항에 있어서,

상기 어드레싱 방전 후에,

상기 내측 서스테인 전극에 제1 크기의 전압을 인가하는 단계; 그리고 동시에 제2 크기의 전압을 상기 외측 서스테인 전극에 인가하는 단계;를 더 포함하고, 상기 제2크기는 상기 제1크기보다 크고, 따라서 상기 내측 서스테인 전극이 관련된 서스테이닝 방전이 상기 외측 서스테인 전극으로 확장할 수 있도록 하는, 방법.

청구항 20

삭제

청구항 21

플라즈마 디스플레이 패널 내의 픽셀의 내측 스캔 전극과 상기 픽셀의 서스테인 전극 사이의 어드레싱 방전 중에 상기 픽셀의 상기 내측 스캔 전극에 제1 전압을 인가하기 위한 회로; 및 상기 픽셀의 외측 스캔 전극에 제2 전압을 인가하는 회로;를 포함하며, 상기 제2 전압은 상기 제1 전압보다 크고, 따라서 상기 어드레싱 방전이 상기 외측 스캔 전극으로 확장하는 것을 억제하는, 장치.

청구항 22

삭제

청구항 23

삭제

청구항 24

플라즈마 디스플레이 패널로서, 내측 스캔 전극, 외측 스캔 전극 및 서스테인 전극으로 구성되는 픽셀; 및 (a) 상기 내측 스캔 전극과 상기 서스테인 전극 사이의 어드레싱 방전 중에 상기 내측 스캔 전극에 제1 전압을 인가하고, 그리고 (b) 상기 외측 스캔 전극에는 제2 전압을 인가하는 회로;를 포함하며, 상기 제2 전압은 상기 제1 전압보다 크고, 따라서 상기 어드레싱 방전이 상기 외측 스캔 전극으로 확장하는 것을 억제하는, 플라즈마 디스플레이 패널.

청구항 25

삭제

청구항 26

삭제

청구항 27

제24항에 있어서, 상기 회로는 또한, 상기 내측 스캔 전극이 상기 어드레싱 방전을 위하여 셋업되는 주기에서 상기 내측 스캔 전극에 제1 크기의 제1 전압 파형을 인가하고, 그리고 상기 주기에서 상기 외측 스캔 전극에 제2 크기의 제2 전압 파형을 인가하며, 상기 제2 크기는 상기 제1 크기보다 작고, 따라서 셋업 방전이 상기 외측 스캔 전극으로 확장되는 것을 억제하는, 플라즈마 디스플레이 패널.

청구항 28

제24항에 있어서,
 상기 회로는 또한,
 상기 어드레싱 방전 후에 제1 크기의 전압을 상기 내측 스캔 전극에 인가함과 동시에,
 상기 외측 스캔 전극에 제2 크기의 전압을 인가하며,
 상기 제2 크기는 상기 제1 크기보다 크고, 따라서 상기 내측 스캔 전극이 관련된 서스테이닝 방전이 상기 외측 스캔 전극으로 확장될 수 있게 하는, 플라즈마 디스플레이 패널.

청구항 29

삭제

청구항 30

제24항에 있어서,
 상기 외측 스캔 전극은 상기 픽셀의 외주에 위치되는 플라즈마 디스플레이 패널.

청구항 31

제24항에 있어서,
 상기 외측 스캔 전극은 루프로서 형성되어 있고, 또한 인접한 픽셀을 위한 전극으로서 작동하는 플라즈마 디스플레이 패널.

청구항 32

제31항에 있어서,
 상기 루프는 상기 픽셀과 상기 인접한 픽셀 사이에 픽셀간 갭을 제공하는 내부 영역을 구비하는 플라즈마 디스플레이 패널.

청구항 33

제24항에 있어서,
 픽셀간 갭 내에 위치되는 콘트라스트 증진 바(contrast enhancement bar)를 더 포함하는 플라즈마 디스플레이 패널.

청구항 34

제24항에 있어서,
 상기 내측 스캔 전극 및 외측 스캔 전극 중 적어도 하나는 개구형 전극(apertured electrode)인 플라즈마 디스플레이 패널.

청구항 35

제24항에 있어서,
 상기 내측 스캔 전극 및 상기 외측 스캔 전극 중 적어도 하나는 도전성 투명 영역(electrically conductive transparent region)을 포함하는 플라즈마 디스플레이 패널.

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

청구항 53

삭제

청구항 54

삭제

청구항 55

삭제

청구항 56

삭제

청구항 57

삭제

청구항 58

삭제

청구항 59

삭제

청구항 60

삭제

청구항 61

삭제

청구항 62

삭제

청구항 63

삭제

청구항 64

삭제

청구항 65

삭제

청구항 66

삭제

청구항 67

삭제

청구항 68

제10항에 있어서,

상기 서스테인 전극은 내측 서스테인 전극이고,

상기 픽셀은 외측 서스테인 전극을 더 포함하고, 그리고

상기 방법은, 상기 어드레싱 방전 후,

상기 내측 서스테인 전극에 제1 크기의 전압을 인가하는 단계; 그리고 동시에

상기 외측 서스테인 전극에 제2 크기의 전압을 인가하는 단계;를 더 포함하며,

상기 제2 크기가 상기 제1 크기보다 더 크고, 따라서 상기 내측 서스테인 전극이 관련된 서스테인 방전이 상기 외측 서스테인 전극으로 확장될 수 있게 하는, 방법.

청구항 69

제17항에 있어서,

상기 스캔 전극은 내측 스캔 전극이고,

상기 픽셀은 외측 스캔 전극을 더 포함하고, 그리고

상기 방법은,

상기 내측 스캔 전극이 상기 어드레싱 방전을 위하여 셋업되는 주기에서 상기 내측 스캔 전극에 제1 크기의 제1 전압 파형을 인가하는 단계; 및

상기 주기에서 상기 외측 스캔 전극에 제2 크기의 제2 전압 파형을 인가하는 단계;를 더 포함하며,

상기 제2 크기가 상기 제1 크기보다 더 작고, 따라서 셋업 방전이 상기 외측 스캔 전극으로 확장되는 것을 억제하는, 방법.

청구항 70

제17항에 있어서,

상기 스캔 전극은 내측 스캔 전극이고,

상기 픽셀은 외측 스캔 전극을 더 포함하고, 그리고

상기 방법은, 상기 어드레싱 방전 후에,

상기 내측 스캔 전극에 제1 크기의 전압을 인가하는 단계; 그리고 동시에

제2 크기의 전압을 상기 외측 스캔 전극에 인가하는 단계;를 더 포함하고,

상기 제2크기는 상기 제1크기보다 크고, 따라서 상기 내측 스캔 전극이 관련된 서스테인 방전이 상기 외측 스캔 전극으로 확장할 수 있도록 하는, 방법.

청구항 71

디스플레이 패널 내의 픽셀의 내측 서스테인 전극과 상기 픽셀의 스캔 전극 사이의 어드레싱 방전 중에 상기 픽셀의 상기 내측 서스테인 전극에 전압을 인가하는 회로; 및

상기 픽셀의 외측 서스테인 전극에 전압을 인가하는 회로;를 포함하며,

상기 외측 서스테인 전극으로의 상기 전압은 상기 내측 서스테인 전극으로의 상기 전압보다 크고, 따라서 상기 어드레싱 방전이 상기 외측 서스테인 전극으로 확장하는 것을 억제하는, 장치.

청구항 72

제24항에 있어서,

상기 서스테인 전극은 내측 서스테인 전극이고,

상기 픽셀은 외측 서스테인 전극을 더 포함하고, 그리고

상기 회로는 또한, 상기 어드레싱 방전 중에, 상기 외측 서스테인 전극에, 상기 내측 서스테인 전극에 인가되는 전압보다 작고, 따라서 상기 어드레싱 방전이 상기 외측 서스테인 전극으로 확장하는 것을 억제하는 전압을 인가하는, 플라즈마 디스플레이 패널.

청구항 73

제24항에 있어서,
 상기 서스테인 전극은 내측 서스테인 전극이고,
 상기 픽셀은 외측 서스테인 전극을 더 포함하고, 그리고
 상기 회로는 또한, 상기 어드레싱 방전 후에,
 상기 내측 서스테인 전극에 제1 크기의 전압을 인가하고; 그리고 동시에
 제2 크기의 전압을 상기 외측 서스테인 전극에 인가하고,
 상기 제2크기는 상기 제1크기보다 크고, 따라서 상기 내측 서스테인 전극이 관련된 서스테이닝 방전이 상기 외
 측 서스테인 전극으로 확장할 수 있도록 하는, 플라즈마 디스플레이 패널.

청구항 74

플라즈마 디스플레이 패널로서,
 내측 서스테인 전극, 외측 서스테인 전극 및 스캔 전극으로 구성되는 픽셀; 및
 (a) 상기 내측 서스테인 전극과 상기 스캔 전극 사이의 어드레싱 방전 중에 상기 내측 서스테인 전극에 제1 전
 압을 인가하고, 그리고
 (b) 상기 외측 서스테인 전극에는 제2 전압을 인가하는 회로;를 포함하며,
 상기 제2 전압은 상기 제1 전압보다 작고, 따라서 상기 어드레싱 방전이 상기 외측 서스테인 전극으로 확장하는
 것을 억제하는, 플라즈마 디스플레이 패널.

청구항 75

제74항에 있어서,
 상기 스캔 전극은 내측 스캔 전극이고,
 상기 픽셀은 외측 스캔 전극을 더 포함하고, 그리고
 상기 회로는 또한,
 상기 내측 스캔 전극이 상기 어드레싱 방전을 위하여 셋업되는 주기에서 상기 내측 스캔 전극에 제1 크기의 제1
 전압 파형을 인가하고;
 상기 주기에서 상기 외측 스캔 전극에 제2 크기의 제2 전압 파형을 인가하며,
 상기 제2 크기가 상기 제1 크기보다 작고, 따라서 셋업 방전이 상기 외측 스캔 전극으로 확장되는 것을 억제하
 는, 플라즈마 디스플레이 패널.

청구항 76

제74항에 있어서,
 상기 스캔 전극은 내측 스캔 전극이고,
 상기 픽셀은 외측 스캔 전극을 더 포함하고, 그리고
 상기 회로는, 상기 어드레싱 방전 중에, 상기 외측 스캔 전극에, 상기 내측 스캔 전극에 인가되는 전압보다 크
 고, 따라서 상기 어드레싱 방전이 상기 외측 스캔 전극으로 확장하는 것을 억제하는 전압을 인가하는, 플라즈마
 디스플레이 패널.

청구항 77

제74항에 있어서,
 상기 회로는 또한,

상기 어드레싱 방전 후에, 상기 내측 서스테인 전극에 제1 크기의 전압을 인가하고; 그리고 동시에 제2 크기의 전압을 상기 외측 서스테인 전극에 인가하고,
 상기 제2 크기는 상기 제1 크기보다 크고, 따라서 상기 내측 서스테인 전극이 관련된 서스테인 방전이 상기 외측 서스테인 전극으로 확장할 수 있도록 하는, 플라즈마 디스플레이 패널.

청구항 78

제74항에 있어서,
 상기 스캔 전극은 내측 스캔 전극이고,
 상기 픽셀은 외측 스캔 전극을 더 포함하고, 그리고
 상기 회로는 또한, 상기 어드레싱 방전 후에,
 상기 내측 스캔 전극에 제1 크기의 전압을 인가하고; 그리고 동시에 제2 크기의 전압을 상기 외측 스캔 전극에 인가하고,
 상기 제2 크기는 상기 제1 크기보다 크고, 따라서 상기 내측 스캔 전극이 관련된 서스테인 방전이 상기 외측 스캔 전극으로 확장할 수 있도록 하는, 플라즈마 디스플레이 패널.

청구항 79

제74항에 있어서,
 상기 외측 서스테인 전극은 상기 픽셀의 외주에 위치되는 플라즈마 디스플레이 패널.

청구항 80

제74항에 있어서,
 상기 외측 서스테인 전극은 루프로서 형성되어 있고, 또한 인접한 픽셀을 위한 전극으로서 작동하는 플라즈마 디스플레이 패널.

청구항 81

제80항에 있어서,
 상기 루프는 상기 픽셀과 상기 인접한 픽셀 사이에 픽셀간 갭을 제공하는 내부 영역을 구비하는 플라즈마 디스플레이 패널.

청구항 82

제74항에 있어서,
 픽셀간 갭 내에 위치되는 콘트라스트 증진 바(contrast enhancement bar)를 더 포함하는 플라즈마 디스플레이 패널.

청구항 83

제74항에 있어서,
 상기 내측 서스테인 전극 및 외측 서스테인 전극 중 적어도 하나는 개구형 전극(apertured electrode)인 플라즈마 디스플레이 패널.

청구항 84

제74항에 있어서,
 상기 내측 서스테인 전극 및 상기 외측 서스테인 전극 중 적어도 하나는 도전성 투명 영역(electrically conductive transparent region)을 포함하는 플라즈마 디스플레이 패널.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <18> 본 발명은 플라즈마 디스플레이 패널에 관한 것으로서, 보다 구체적으로 말하자면, 픽셀 사이의 수직 방향 누화(vertical crosstalk)를 최소화하고 휘도를 향상시키는 픽셀 구조에 관한 것이다.
- <19> 컬러 플라즈마 디스플레이 패널(PDP)는 당해 기술 분야에서 잘 알려져 있다. 픽셀의 서스테인 전극과 스캔 전극 사이에서의 가스 플라즈마 방전에 따라 패널 내의 형광체(phosphors)가 가시광을 방출한다. 어드레싱 주기(addressing period) 동안, 서스테인 전극은 일반적으로 공통 전위로 구동되는 반면, 스캔 전극들은 개별적으로 선택된다. 전극은 전면판의 내부 표면 위에 있으므로 생성된 빛은 전극을 통과해야 한다. 투명 전극, 예컨대 인듐 주석 산화물(ITO)이 이용되는 경우, 빛은 전극을 간단히 통과한다. 별법으로, 빛이 전극 내의 개방된 개구들을 통과할 수 있는 불투과성의 개구형 전극(non-transparent apertured electrode)을 고려할 수도 있다.
- <20> 마코트(Marcotte) 명의의 미국 특허 제6,118,214호(이하, "214호 특허"라 함)에는 AC 컬러 PDP가 개시되어 있는데, 여기에서는 전면판에 개구형 전극이 채용된다. 보다 구체적으로 말하자면, AC PDP는 서스테인 버스(sustain bus)에 연결되는 수평의 개구형 서스테인 전극 쌍들을 포함한다. 독립적인 개구형 스캔 전극 쌍들은 공통 서스테인 전극 쌍들과 중첩된다. 개구형 전극들은 일반적으로 은 또는 크롬-구리-크롬으로 이루어지는 박막 적층체(film stack)와 같은 불투명 금속 전극 재료를 사용하여 제조된다.
- <21> 수평 방향으로 인접한 픽셀 사이의 픽셀간 갭에 콘트라스트 증진 바(contrast enhancement bar)가 수평으로 배치되어 형광체의 빛 반사율을 저하시킨다. 이들 콘트라스트 증진 바는 불투명한데, 이들 콘트라스트 증진 바는 도전성이어도 좋고 비도전성이어도 좋다. 콘트라스트 증진 바의 추가적인 설명에 대해서는 마코트 명의의 미국 특허 제5,998,935호를 참조한다.
- <22> 전극들은 처리 공정 중에 유전체층과 마그네슘 산화물(MgO)층에 의하여 피복된다. 후면판이 수직 방향 배리어 리브(barrier rib)와 복수의 수직 방향 컬럼 도체(column conductors)를 지지한다. 개별적인 컬럼 도체는 적, 녹, 청의 형광체로 피복되어, 경우에 따라서는 완전한 컬러 디스플레이를 얻을 수 있게 한다. 전면판과 후면판은 함께 밀봉되고, 이들 사이의 공간에는 방전 가능한 가스가 충전된다.
- <23> 픽셀은 전극들의 교차부에 있는 영역이다. 예를 들면, 픽셀은 전면판상의 서스테인 전극 및 인접 스캔 전극과 후면판의 적, 녹, 청을 위한 3개의 컬럼 전극(column electrode)과의 교차부에 형성된다. 서브 픽셀(sub-pixel) 또는 서브 픽셀 구역이라 함은 개별적인 적, 녹, 청의 컬럼 전극과 전면판의 스캔/서스테인 전극 쌍과의 교차부를 말한다.
- <24> PDP 동작 전압 및 전력은 인접한 서스테인 전극과 스캔 전극 사이의 공간(이하, "서스테인 갭"이라 함)과, 개구형 전극을 형성하는 라인들의 선포 및 전극들의 전체 폭에 의하여 제어된다. 서스테인 전극과 스캔 전극은 일반적으로 비교적 좁은 서스테인 갭과 비교적 넓은 픽셀간 갭을 제공하도록 배치된다.
- <25> 교번 서스테인 방전(alternating discharging discharges)은 서스테인 갭에서 형성되어 수직 방향으로 퍼진다. 이러한 방전은 양극으로 하전된 애노드 전극을 분기시키는 양극 컬럼 영역(positive column region)을 형성하고, 음극 글로 영역(negative glow region)이 음극으로 하전된 캐소드 전극을 가로질러 표류한다. 개구형 전극의 경우, 라인들의 선포와 간격은 빛의 투과를 최대화하고 방전 전압 균일성을 최대화하도록 평형된다. 예를 들면, 선포를 40 내지 60 마이크로(micron)으로 최소화하고, 수평 방향 라인들 간격을 서스테인 갭 치수(예컨대, 100 마이크로)보다 작거나 근사한 거리로 하면 이러한 평형이 달성된다. 쌍을 이룬 전극 구조에 있어서, 픽셀간 갭의 각 측부에 있는 전극은 전위가 같고, 따라서 픽셀간 갭은 플라즈마 방전이 퍼져서 인접한 픽셀의 ON 또는 OFF 상태를 교란시키는 것을 방지할 만큼 충분히 커야 한다.
- <26> 개구형 전극의 전체 폭과, 선포, 라인 간격 및 전극 위의 유전체 유리 두께가 조합되어, 방전 전력, 따라서 휘도를 제어하는 픽셀의 방전 용량을 결정한다. 주어진 방전 전력, 따라서 각 방전 휘도를 위하여, 패널에 대한 전체적인 휘도 조건을 충족시키도록 소정 시간 내의 방전 회수가 선택된다.
- <27> 쌍을 이룬 전면판 전극 구조는 전극간 용량이 감소되어 각 서스테인 펄스의 전극간 용량의 충방전으로부터 초래

되는 전력 소산을 감소시키는 장점을 갖는다. 그러나, 동일한 전위로 구동되는 픽셀간 갭의 양측의 전극으로부터 초래되는 수직 방향 누화의 가능성이 있다. 수직 방향 누화는 방전 영역에서의 방전이 수직 방향에 인접한, 즉 인접한 픽셀의 방전 구역 내로 퍼져서 인접한 픽셀의 ON 또는 OFF 상태에 영향을 주는 경우에 발생한다. '214호 특허는 수직 방향의 픽셀간 절연(pixel to pixel isolation)을 증진시키는 데 도움이 되도록 비교적 큰 픽셀간 갭을 이용하고 있다. 후면판의 배리어 리브는 수평 방향으로 픽셀을 절연시키지만 수직 방향으로 절연시키지 않는다는 것을 유의하라.

<28> 수직 방향 누화의 가능성은 각 행이 순차적으로 어드레스되어 필요한 서브 픽셀들이 ON 상태에 있게 되는 어드레스 주기 동안이 가장 크다. 어드레싱 방전에 있어서, 선택된 스캔 전극과 데이터 전극 사이에 플라즈마 방전이 형성되며, 방전의 양극 컬럼은 후면판의 데이터 전극을 따라 서스테인 전극으로 퍼진다. 인접한 전극이 동일한 전위인 경우, 양극 컬럼이 픽셀 갭을 가로질러 인접한 서브 픽셀의 서스테인 전극상의 전하를 공핍시킬 수 있다. 콘트라스트 증진 바가 존재하더라도 이러한 어드레스 누화 메커니즘에는 거의 영향이 없는 것으로 나타났다.

발명이 이루고자 하는 기술적 과제

<29> 본 발명은 플라즈마 디스플레이 패널용의 픽셀 구조에 관한 것이다. 픽셀의 전극은 픽셀간의 수직 방향 누화를 최소화하고 증대된 휘도를 제공하도록 제어된다.

발명의 구성 및 작용

<30> 플라즈마 디스플레이 패널 내의 픽셀의 전극들을 제어하는 방법이 제공된다. 이 방법은 그 픽셀의 제1 전극이 관련된 어드레싱 방전중에 그 픽셀의 제1 전극에 제1 전압을 인가하는 단계와, 그 픽셀의 제2 전극에 제2 전압을 인가하는 단계를 포함한다. 제1 전압과 제2 전압은 어드레싱 방전이 제2 전극으로 확장하는 것을 억제하는 관계를 갖는다.

<31> 플라즈마 디스플레이 패널 내의 픽셀의 전극들을 제어하는 다른 한 가지 방법은 그 픽셀의 스플릿 전극 쌍의 제1 전극에 제1 전압을 인가하는 단계와, 상기 스플릿 전극 쌍의 제2 전극에 상기 제1 전압과는 독립적으로 제2 전압을 인가하는 단계를 포함한다.

<32> 플라즈마 디스플레이 패널 내의 픽셀의 전극들을 제어하는 다른 한 가지 방법은 픽셀의 내측 스캔 전극과 서스테인 전극 사이의 어드레싱 방전 중에 그 픽셀의 내측 스캔 전극에 제1 전압을 인가하는 단계와, 그 픽셀의 외측 스캔 전극에 제2 전압을 인가하는 단계를 포함한다. 제1 전압과 제2 전압은 어드레싱 방전이 외측 스캔 전극으로 확장되는 것을 억제하는 관계를 갖는다.

<33> 플라즈마 디스플레이 패널 내의 픽셀의 전극들을 제어하는 또 다른 한 가지 방법은 픽셀의 내측 서스테인 전극과 스캔 전극 사이의 어드레싱 방전 중에 그 픽셀의 내측 서스테인 전극에 전압을 인가하는 단계와, 그 픽셀의 외측 서스테인 전극에 전압을 인가하는 단계를 포함한다. 내측 서스테인 전극에 인가되는 전압과 외측 서스테인 전극에 인가되는 전압은 어드레싱 방전이 외측 서스테인 전극으로 확장되는 것을 억제하는 관계를 갖는다.

<34> 플라즈마 디스플레이 패널 내의 픽셀의 전극들을 제어하는 또 다른 한 가지 방법은 (a) 픽셀의 외측 서스테인 전극에 전압 파형을 인가하는 단계와, (b) 픽셀의 내측 서스테인 전극에 전압 파형을 인가하는 단계와, (c) 픽셀의 내측 스캔 전극에 전압 파형을 인가하는 단계와, (d) 픽셀의 외측 스캔 전극에 전압 파형을 인가하는 단계를 포함한다. 외측 서스테인 전극에 인가되는 전압 파형, 내측 서스테인 전극에 인가되는 전압 파형, 내측 스캔 전극에 인가되는 전압 파형 및 외측 스캔 전극에 인가되는 전압 파형은, (i) 내측 서스테인 전극과 내측 스캔 전극이 관련된 어드레싱 방전이 외측 서스테인 전극 및 외측 스캔 전극으로 확장되는 것을 억제하고, (ii) 내측 서스테인 전극과 내측 스캔 전극이 관련된 서스테인 방전(sustaining discharge)이 외측 서스테인 전극 및 외측 스캔 전극으로 확장될 수 있게 하는 관계를 갖는다.

<35> 본 발명의 한 가지 실시예는 플라즈마 디스플레이 패널 내의 픽셀의 제1 전극이 관련된 어드레싱 방전 중에 그 픽셀의 제1 전극에 제1 전압을 인가하기 위한 회로와, 그 픽셀의 제2 전극에 제2 전압을 인가하는 회로를 포함하는 장치이다. 제1 전압과 제2 전압은 어드레싱 방전이 제2 전극으로 확장하는 것을 억제하는 관계를 갖는다.

<36> 다른 한 가지 장치는 플라즈마 디스플레이 패널 내의 픽셀의 스플릿 전극 쌍의 제1 전극에 제1 전압을 인가하는 회로와, 상기 스플릿 전극 쌍의 제2 전극에 제2 전압을 인가하는 회로를 포함한다. 상기 제1 전압을 인가하는

회로와 상기 제2 전압을 인가하는 회로는 상기 제1 전극과 제2 전극을 상호 독립적으로 제어한다.

- <37> 또 다른 장치는 (a) 픽셀의 외측 서스테인 전극에 전압 파형을 인가하는 회로와, (b) 픽셀의 내측 서스테인 전극에 전압 파형을 인가하는 회로와, (c) 픽셀의 내측 스캔 전극에 전압 파형을 인가하는 회로와, (d) 픽셀의 외측 스캔 전극에 전압 파형을 인가하는 회로를 포함한다. 외측 서스테인 전극에 인가되는 전압 파형, 내측 서스테인 전극에 인가되는 전압 파형, 내측 스캔 전극에 인가되는 전압 파형 및 외측 스캔 전극에 인가되는 전압 파형은, (i) 내측 서스테인 전극과 내측 스캔 전극이 관련된 어드레싱 방전이 외측 서스테인 전극 및 내측 스캔 전극으로 확장되는 것을 억제하고, (ii) 내측 서스테인 전극과 내측 스캔 전극이 관련된 서스테이닝 방전 (sustaining discharge)이 외측 서스테인 전극 및 외측 스캔 전극으로 확장될 수 있게 하는 관계를 갖는다.
- <38> 본 발명의 다른 한 가지 실시예는 플라즈마 디스플레이 패널이다. 이 플라즈마 디스플레이 패널은 제1 전극 및 제2 전극으로 구성되는 스플릿 전극을 구비하는 픽셀과, (a) 제1 전극이 관련된 방전중에는 제1 전극에 제1 전압을 인가하고, (b) 제2 전극에는 제2 전압을 인가하는 회로를 포함한다. 제1 전압과 제2 전압은 방전이 제2 전극으로 확장하는가 여부에 영향을 주는 관계를 갖는다.
- <39> 다른 한 가지 디스플레이 패널은 제1 전극 및 제2 전극으로 구성되는 스플릿 전극을 구비하는 픽셀과, 상기 제1 전극 및 제2 전극에 제1 전압과 제2 전압을 상호 독립적으로 인가하기 위한 제어를 포함한다.
- <40> 또 다른 한 가지 디스플레이 패널은 내측 서스테인 전극, 외측 서스테인 전극, 내측 스캔 전극 및 외측 스캔 전극을 구비한 픽셀과, 상기 내측 서스테인 전극, 외측 서스테인 전극, 내측 스캔 전극 및 외측 스캔 전극 각각에 상호 독립적으로 전압을 인가하기 위한 제어를 포함한다.
- <41> 픽셀 사이의 수직 방향 누화를 제거하거나 억제하면, 픽셀간 갭의 크기를 최소화하여 픽셀 크기를 최소화함으로써 휘도를 증대시킬 수 있다.
- <42> 도 1은 PDP(100)의 일부, 특히 제1 전극(115), 제2 전극(120) 및 데이터 전극(110)의 교차부에 배치되는 픽셀(105)을 보여주고 있다. 제어기(130)는 제1 전극(115) 및 제2 전극(120)에 전압을 인가하여 제1 전극(115)과 제2 전극(120)을 상호 독립적으로 제어한다. 제1 전압과 제2 전압은 제1 전극(115)이 관련된 방전이 제2 전극(120)으로 확장하는지 여부에 영향을 미친다. 제1 전극(115)과 제2 전극(120)은 스플릿 전극으로도 작동할 수 있다.
- <43> 어드레싱 주기 동안, 데이터 전극(110)과 제1 전극(115) 사이에서 어드레싱 방전이 시작된다. 어드레스 방전 동안, 제어기(130)는 제1 전극(115)에는 제1 전압을, 그리고 제2 전극(120)에는 제2 전압을 인가한다. 제1 전압과 제2 전압은 어드레싱 방전이 제2 전극(120)으로 확장하는 것을 억제하는 관계를 갖는다.
- <44> 제2 전극(120)은 픽셀(105)의 외주에 있으므로, 제1 전극(115)이 내측 전극으로 간주될 수 있고, 제2 전극(120)은 외측 전극으로 간주될 수 있다. 제2 전극(120)이 외측 스캔 전극으로 작용하는 경우 제1 전극(115)은 내측 스캔 전극으로서 작용할 수 있는데, 그러한 배치는 스플릿 스캔 전극으로 간주된다. 유사하게, 제2 전극(120)이 외측 서스테인 전극으로 작용하는 경우, 제1 전극(115)은 내측 서스테인 전극으로 작용할 수 있는데, 그러한 배치도 유사하게 스플릿 서스테인 전극으로 간주된다.
- <45> 픽셀(125)은 수직 방향으로 픽셀(105)에 인접해 있다. 어드레싱 방전이 제2 전극(120)으로 확장되는 것이 억제됨에 따라, 어드레싱 방전은 픽셀(125)로 확장되는 것도 또한 억제된다. 그러므로, 픽셀(105)로부터 픽셀(125)로의 누화가 억제된다.
- <46> 픽셀은 개별적으로 어드레스 가능한 화소이다. 본 명세서에서, "서브 픽셀"이라는 용어는 개별적으로 어드레스 가능한 적, 녹, 청 픽셀을 의미한다. 서브 픽셀은 개별적으로 어드레스 가능하므로, 그것도 또한 픽셀의 형태이다. 그러므로, "픽셀"이라는 용어는 일반적으로 (a) 개별적인 색상의 서브 픽셀 또는 (b) 그룹을 이루는 적 서브 픽셀, 녹 서브 픽셀 및 청 서브 픽셀을 의미할 수 있다.
- <47> 제1 전극(115)이 관련된 서스테이닝 방전 동안, 제어기(130)는 제1 전극(115)에 전압을 인가하고, 제2 전극(120)에 전압을 인가하여, 서스테이닝 방전이 제2 전극(120)으로 확장되게 한다.
- <48> 도 1에는 도시되어 있지 않지만, 제1 전극(115)과 제2 전극(120)은 스플릿 전극 쌍의 2개의 전극이어도 좋다. 또한, 픽셀(105)은 2개의 스플릿 전극 쌍, 즉 스플릿 서스테인 전극과 스플릿 스캔 전극을 구비하도록 구성되어도 좋다. 스플릿 서스테인 전극은 외측 서스테인 전극과 내측 서스테인 전극으로 구성된다. 스플릿 스캔 전극은 내측 스캔 전극과 외측 스캔 전극으로 구성된다.

- <49> 교번 서스테인 방전시, 외측 스캔 전극 또는 외측 서스테인 전극에 다른 한 가지 전압이 인가되는 동안, 내측 스캔 전극 또는 내측 서스테인 전극에 전압이 인가된다. 외측 스캔 전극 또는 외측 서스테인 전극에 인가되는 전압이 외측 스캔 전극 또는 외측 서스테인 전극을 효과적으로 방전시키기 위한 최소 필요 전압 이상으로 상승됨에 따라, 방전 전압이 상승되어 추가적인 휘도를 얻을 수 있다.
- <50> 도 2는 스플릿 전극으로 구성된 PDP(200)의 일부를 나타낸다. 아울러, 아래에서 설명되겠지만, PDP(200)의 전극 중 일부는 또한 루프 전극(loop electrode)로서 구성된다. 루프 전극은 픽셀간 갭에 의하여 분리된 2개의 인접한 픽셀 방전 구역을 동작시킨다. 루프 전극과 관련한 또 다른 정보에 대해서는 마코트 명의의 미국 특허 제 5,852,347호를 보라. 아울러, 절연된 또는 비전도성의 콘트라스트 증진 바를 루프 전극 내에 배치하여 빛의 반사율을 감소시킬 수 있다.
- <51> PDP(200)는 외측 서스테인 전극 단자(289, 273), 내측 서스테인 전극 단자(279), 내측 스캔 전극 단자(230, 245) 및 외측 스캔 전극 단자(240)를 포함한다. 외측 서스테인 전극 단자(289)는 외측 서스테인 전극(220)에 연결된다. 내측 서스테인 전극 단자(279)는 내측 서스테인 전극(225, 250)에 연결된다. 내측 스캔 전극 단자(230)는 내측 스캔 전극(283)에 연결된다. 외측 스캔 전극 단자(240)는 외측 스캔 전극(280)에 연결된다. 내측 스캔 전극 단자(245)는 내측 스캔 전극(276)에 연결된다. 외측 서스테인 전극 단자(273)는 외측 서스테인 전극(255)에 연결된다.
- <52> 외측 서스테인 전극(220)은 상부(220U)와 하부(220L)를 구비한 루프 전극으로서 구성된다. 상부(220U)는 서브 픽셀(296)을 동작시키고, 하부(220L)는 서브 픽셀(292)을 동작시킨다. 외측 서스테인 전극(220)은 상부(220U)와 하부(220L) 사이에 상기 서브 픽셀(296, 292) 사이의 픽셀간 갭(294)을 제공한다.
- <53> 외측 스캔 전극(280)은 상부(280U)와 하부(280L)를 구비한 루프 전극으로 구성된다. 상부(280U)는 서브 픽셀(292)을 동작시키고, 하부(280L)는 서브 픽셀(270)을 동작시킨다. 외측 스캔 전극(280)은 상부(280U)와 하부(280L) 사이에 서브 픽셀(292, 270) 사이의 픽셀간 갭(277)을 제공하는 내측 영역을 구비한다.
- <54> 외측 서스테인 전극(255)은 상부(255U) 및 하부(255L)를 구비하는 루프 전극으로 구성된다. 상부(255U)는 서브 픽셀(270)을 동작시키고 하부(255L)는 인접한 서브 픽셀(도시되지 않음)을 동작시킨다.
- <55> PDP(200)는 또한 각각 적, 녹, 청 형광체가 피복되어 있는 데이터 전극(210R, 210G, 210B)과 수직 배리어 리브(260)를 구비하는 후면판(205)을 포함한다. 배리어 리브(260)는 전면판(도 2에는 도시되어 있지 않음)과 후면판(205) 사이의 기판 갭을 유지시키고, 또한 데이터 전극(210R, 210G, 210B)을 상호 분리시킨다.
- <56> 후면판(205)은 픽셀 세퍼레이터들(pixel separators)(도시되지 않음)이 있거나 없는 상태로 제작될 수 있다. 수평 픽셀 세퍼레이터들은 전면판의 픽셀간 갭(294, 277) 내에 중심이 정렬되어 수직 방향으로 인접한 픽셀 구역 사이의 방전 누화를 방지한다. 부가되는 휘도를 위하여 외측 스캔 또는 서스테인 전극 전압이 상승됨에 따라, 그러한 픽셀 세퍼레이터들이 유리해지고 있다.
- <57> 서브 픽셀(292)은 데이터 전극(210R)과, 외측 서스테인 전극의 하부(220L)와, 내측 서스테인 전극(225)과, 내측 스캔 전극(283) 및 외측 스캔 전극의 상부(280U)의 교차부에 배치된다. 서브 픽셀(292)은 임의로 N 행으로 지시되어 있는 행 내에 있다. 그것은 또한 외측 서스테인 전극의 하부(220L)와 내측 서스테인 전극(225) 사이의 갭(290)과, 내측 스캔 전극(283)과 외측 스캔 전극의 상부(280U) 사이의 갭(282)을 또한 포함한다.
- <58> 서브 픽셀(270)은 서브 픽셀(292)에 인접하여 N+1 행 내에 있다. 픽셀(270)은 데이터 전극(210R)과, 외측 스캔 전극의 하부(280L)과, 내측 스캔 전극(276)과, 내측 스캔 전극(276)과 내측 서스테인 전극(250) 및 외측 서스테인 전극의 상부(280U)의 교차부에 배치된다.
- <59> 단지 일부만이 도 2에 도시되어 있는 서브 픽셀(296)은 서브 픽셀(292)에 인접하여 N-1 행에 있다. 서브 픽셀(296)은 데이터 전극(210R)과 외측 서스테인 전극의 상부(220U)를 포함하는 교차부에 배치된다는 것을 유의하라.
- <60> 외측 서스테인 전극의 하부(220L)와 내측 서스테인 전극(225)은 집합적으로 스플릿 서스테인 전극이라 불린다. 마찬가지로, 내측 스캔 전극(283)과 외측 스캔 전극의 상부(280U)는 집합적으로 스플릿 스캔 전극이라 불린다. 그러면, 갭들(290, 282)은 스플릿 전극 갭이라 불린다.
- <61> 외측 서스테인 전극의 하부(220L)는 서브 픽셀(292)의 상부 외주에 있으며, 외측 스캔 전극의 상부(280U)는 서브 픽셀(292)의 하부 외주에 있다. 어드레싱 주기 동안, 외측 서스테인 전극(220)이 전기적으로 구동되어 서브 픽셀(292)과 서브 픽셀(296) 사이의 수직 방향 누화를 억제한다. 유사하게, 어드레싱 동안 외측 스캔 전극

(280)이 구동되어 서브 픽셀(292)와 서브 픽셀(270) 사이의 누화를 억제하고, 바람직하기로는 방지한다. 그 결과, 어드레싱 방전은 내측 전극 영역(287)으로 한정되어 전체 서브 픽셀(292)을 방전시키는 것에 비하여 어드레싱 방전 전류를 감소시킨다. 서브 픽셀(292)의 교번 서스테인 방전 동안, 외측 스캔 전극(280)이 구동되어 방전이 내측 스캔 전극(283)을 지나 확장되게 하고 외측 스캔 전극의 상부(280U)를 방전시킨다. 픽셀간 갭(277)이 수직 방향 누화를 방지하는 크기이고, 및/또는 배리어 리브(260)의 제조시에 수평 방향 세퍼레이터들이 픽셀간 갭(277)의 중심에 포함된다. 유사하게, 외측 서스테인 전극(220)이 구동되어 방전이 내측 서스테인 전극(225)을 지나서 확장되게 하고 외측 서스테인 전극의 하부(220L)를 방전시킨다. 픽셀간 갭(294)은 수직 방향 누화를 방지하는 크기이고, 및/또는 배리어 리브(260)의 제조시에 수평 방향 세퍼레이터들이 픽셀간 갭(294)의 중심에 포함된다.

<62> 도 3은 도 2의 전극을 구동하기 위한 한 세트의 전압 파형의 그래프이다. 예를 들면, 외측 서스테인 파형(305)은 외측 서스테인 전극(220)을 구동하고, 내측 서스테인 파형(310)은 내측 서스테인 전극(225)을 구동하며, 내측 스캔 파형(315)은 내측 스캔 전극(283)을 구동하고, 외측 스캔 파형(320)은 외측 스캔 전극(280)을 구동하며, X 데이터 파형(325)은 데이터 전극(210R)을 구동한다. 도 3의 수평축은 시간을 나타내고 수직축은 전압을 나타내지만, 수평축이든 수직축이든 실적으로 도시된 것은 아니다.

<63> 플라즈마 디스플레이는 60Hz 디스플레이 프레임을 8 내지 12 개의 펄스 폭 변조 서브 필드(pulse width modulated sub-fields)로 분할한다. 각 서브 필드는 각 픽셀의 적절한 휘도를 얻는 데 필요한 빛의 일부를 발생시킨다. 각 서브 필드는 셋업 주기, 어드레싱 주기 및 서스테인 주기로 분할된다. 서스테인 주기는 복수의 서스테인 사이클로 더 분할된다. 도 3의 파형은 하나의 그러한 서브 필드에 적용되며, 도 3의 좌측은 선행 서브 필드의 서스테인 주기의 끝부를 보여준다.

<64> 기존의 서브 필드는 어떤 ON 상태의 서브 픽셀들을 OFF 상태로 리셋하는 셋업 주기로 시작하고, 가스 및 MgO 표면에 프라이밍(priming)을 제공하여 후속 어드레싱을 허용한다. 그 목적은 각 서브 픽셀을 가스의 점화 전압(firing voltage)에 매우 근접한 전압에 두기 위함이다. 예를 들면, 서브 픽셀(292)을 셋업하는 경우, 시간 t5-t15 동안 약한 방전이 발생되며, 패널 내에서, 내측 스캔 전극(283)상의 전압에 대한, 데이터 전극(210R)과 내측 서스테인 전극(225) 사이의 결과적인 전압이 가스 혼합물의 점화 전압이다.

<65> 각 픽셀이 셋업된 후, 어드레싱 주기가 시작된다. 어드레싱 주기에, 각 행은 N 행에 대하여 t25-t30에서 내측 스캔 파형(315)상에 도시된 바와 같은 행 선택 펄스(row select pulse)를 매개로 하여 순차적으로 선택될 수도 있다. 동시적이라면, 데이터 전압, 예컨대 X 데이터 파형상의 시간 t25의 펄스가 서브 픽셀 데이터 전극에 인가되며, 그러면 어드레싱 방전이 발생하여 서브 픽셀을 ON 상태로 셋팅한다.

<66> 내측 스캔 파형(315)상에는 시간 t25에 행 선택 펄스가 존재하여 N 행, 즉 스캔 전극(283)이 배치되는 행을 선택한다. N+1 행에 있는 내측 스캔 전극(276)에 대한 행의 선택은 t25와 다른 시간에 적용되게 된다는 것을 유의하라. 또한, 내측 스캔 파형(315)과 외측 스캔 파형(320)은 시간 t25에서의 행 선택 펄스를 제외하고는 상호 동일하다는 것도 유의하라. 또한, 어드레싱 주기 동안, 그리고 특히 t20에서 t35까지의 시간 간격 동안, 외측 서스테인 파형(305)은 전압 Viso에 있는 반면, 내측 서스테인 파형(310)은 전압 Ve에 있는데, 여기에서 Viso는 Ve 미만이다.

<67> X 데이터 파형(325)은 시간 t25에서 양극 진행 데이터 펄스(positive going data pulse)를 갖는다. 시간 t25에서의 내측 스캔 파형(315)상의 행 선택 펄스와 동시에 발생하는 이 데이터 펄스는 서스테인 갭(286)에서 어드레싱 방전을 시작하여 서브 픽셀(292)을 ON 시킨다. 어드레싱 방전은 데이터 전극(210R)과 내측 스캔 전극(283) 사이에서 형성된다. 어드레스 방전 시작이 시작된 후에, 방전의 양극 컬럼(positive column)은 서스테인 갭(286)을 가로질러 내측 서스테인 전극(225)까지 퍼진다.

<68> 어드레싱 주기 동안, 외측 서스테인 전극(220)은 내측 서스테인 전극(225)(Ve)에 관하여 음극으로 Viso로 구동되기 때문에, 어드레스 방전은 갭(290)을 가로질러 외측 서스테인 전극의 하부(220L)로는 진행하지 않게 된다. 유사하게, 외측 스캔 전극(280)은 행 탈선택 전압(row de-select voltage)인 전압 Vscan에 대하여 양극으로 구동되기 때문에, 어드레스 방전이 갭(282)을 가로질러 외측 스캔 전극의 상부(280U)로 진행하는 것이 방지된다. 방전 전류는 방전 전극 면적에 비례하는데, 어드레싱 영역(287)이 서브 픽셀(292)의 내측 서스테인 전극(225)과 내측 스캔 전극(283) 사이의 영역이기 때문에 어드레싱 방전 전류는 크게 감소된다.

<69> 서브 픽셀은 어드레싱된 후 서스테인 주기에서 반복적으로 방전되어 필요한 휘도를 발생시킨다.

<70> 서스테인 주기에서, 서브 픽셀(292)이 어드레싱 주기 동안 어드레싱되면, 즉 시간 t25에서 어드레싱 방전이 시

작되면, 서스테인 갭(286)에서 복수의 서스테인 방전이 발생된다. 서스테인 주기에서 발생하는 서스테인 방전 회수는 서브 픽셀(292)에 대하여 필요한 휘도와 관련된다. 각 서브 픽셀은 대개 서스테인 주기 내에서 다른 수의 서스테인 펄스를 갖는다.

<71> 서스테인 주기에서, 외측 서스테인 파형(305)과 내측 서스테인 파형(310)은 상호 동일하며, 내측 스캔 파형(315)과 외측 스캔 파형(320)은 상호 동일하다. 따라서, 서스테인 주기를 논할 때에는 편의상, (a) 외측 및 내측 서스테인 파형(305, 306)을 집합적으로 서스테인 파형이라 부르고, (b) 내측 및 외측 스캔 파형(315, 320)을 집합적으로 스캔 파형이라 부른다. 전압 V_s 의 펄스가 외측 및 내측 서스테인 전극(220, 225)에 인가되는데, 이들 펄스는 내측 및 외측 스캔 전극(283, 280)에 인가되는 전압 V_s 의 펄스와 교번되어 서브 픽셀(292)을 반복적으로 방전시킨다.

<72> 제1 서스테인 방전은 시간 t_{42} 내지 t_{45} 사이에서 발생한다. 시간 t_{40} 및 t_{42} 에서, 서스테인 파형과 스캔 파형 전압의 극성은 어드레싱 주기에 관하여 상호 역전되며, 따라서 제1 서스테인 방전은 스캔 전극으로부터 서스테인 전극을 향하여 전류 흐름을 발생시킨다. 시간 t_{42} 내지 시간 t_{45} 사이에서, 서스테인 방전은 서스테인 갭(286)에서 형성되어, 양극 컬럼이 내측 스캔 전극(283), 갭(282) 및 외측 스캔 전극의 상부(280U)를 가로질러 퍼진다. 즉, 서스테인 주기 동안, 서스테인 방전은 외측 스캔 전극의 상부(280U)까지 확장하도록 허용된다. 스캔 파형은 내측 스캔 전극(283)과 외측 스캔 전극(280)에 높은 서스테인 전압 V_{s1} 을 제공하여, 양극 컬럼에 앰플 전압(ample voltage)을 제공함으로써, 갭(282)을 가로질러 신속하게 퍼진다. 그 결과, 갭(282)은 서스테인 갭(286)보다 더 넓을 수 있다. 천천히 이동하는 음극 글로는 더 큰 양극 컬럼으로 인하여 확장함에 따라 내측 서스테인 전극(225), 갭(290) 및 외측 서스테인 전극의 하부(220L)으로 퍼진다.

<73> 그러한 실시예는 40 내지 100 마이크로미터의 선폭과 60 내지 120 마이크로미터의 서스테인 갭 및 스플릿 전극 갭으로 동작될 수 있다. 빛이 불투명한 전극 주위를 통과해야 하므로, 라인의 선폭은 더 좁고 라인 사이의 공간은 더 큰 것이 유리하다.

<74> 도 4는 PDP(200)의 것과 유사한 PDP(400)의 부분을 보여주는 도면으로서, 여기에서는 전극(220L, 225, 283, 280U) 대신에 각각 불투명한 개구형 전극(415, 430, 450, 440)이 존재한다. 각 개구형 전극은, 예컨대 개구(425)를 포위하는 2개의 불투명한 수평 라인(예컨대, 420, 435)을 포함한다. PDP(200)와 유사하게, 개구형 외측 서스테인 전극과 개구형 외측 스캔 전극은 픽셀갭(410, 445)에 관하여 루프를 이루고 있다. 그러한 구조에 있어서, 각 개구형 전극은 그것의 개구가 지나치게 크지 않다면 중실형(中實形) 전극으로서 거동하게 된다. 40 마이크로미터의 전형적인 전극의 선폭과 80 마이크로미터의 개구가 그러한 특성을 제공한다. 결국, 개구(425)의 간격과 동일한 갭(455)을 만드는 것이 유리하다. 이들 개구, 예컨대 개구(425) 내에 단락 바(shorting bar)(도시되지 않음)가 배치되어 포토리소그래피에 의한 개방 결함부를 우회할 수 있다. 예를 들면, 마코트 명의의 미국 특허 제6,411,035호를 참고하라.

<75> PDP(400)의 개구형 전극을 형성하는 2개의 수평 라인, 예컨대 라인(420, 435)의 구조를 변형시켜, 외측의 개구형 전극, 예컨대 전극(415 또는 440), 또는 내측 개구형 전극, 예컨대 전극(430 또는 450) 내의 수평 라인 및 개구의 수를 변화시킴으로써, 어드레싱 방전 용량 대 서스테인 방전 용량의 비를 제어할 수 있다. 예를 들면, 도 2에서 처럼 내측 스캔 전극과 내측 서스테인 전극, 예컨대 내측 서스테인 전극(225)과 내측 스캔 전극(283)을 위하여 단일한 수평 전극 라인을 구현할 수 있는 한편, 3개 이상의 라인을 구현하여 외측의 개구형 전극(415, 440)을 넓힐 수 있다.

<76> PDP(400)의 개구형 전극 구조로 인하여, PDP(200)의 것보다 더 큰 픽셀을 만들 수 있다. 동작 특성이 수평 라인의 선폭과 간격에 의하여 결정되기 때문에, 수평 라인의 선폭과 이들 수평 라인 사이의 간격, 또는 수평 라인 및 이들 라인 사이의 공간의 개수를 증대시키면, 픽셀 크기를 확대시킬 수 있다. 픽셀 크기가 확대됨에 따라, 방전이 확실하게 각 서브 픽셀의 외연까지 확장하도록 하기 위해서는 일반적으로 서스테인 펄스 전압을 상승시켜야 한다.

<77> 도 5는 PDP(500)의 일부의 실시예를 도시하는데, 여기에서는 전극이 도전성 투명 영역, 즉 투명 전극을 포함한다. PDP(500)는 외측 서스테인 전극(512)과, 내측 서스테인 전극(525)과, 내측 스캔 전극(555)과, 외측 스캔 전극(545)의 교차부에 서브 픽셀(505)을 갖는다. 외측 서스테인 전극(512)은 불투명한 금속 루프 전극(510)과 중첩된 투명 전극(515)으로 구성된다. 내측 서스테인 전극(525)은 금속 버스 전극(520)과 중첩된 투명 전극(530)으로 구성된다. 내측 스캔 전극(555)은 금속 버스 전극(550)과 중첩된 투명 전극(535)으로 구성된다. 외측 스캔 전극(545)은 불투명한 금속 루프 전극(542)의 일부와 중첩되는 투명 전극(540)으로 구성된다.

- <78> 이러한 전극의 구조, 즉 금속 전극과 중첩된 투명 전극은 높은 휘도와 탁월한 휘도 균일성을 제공한다. 높은 휘도는 높은 방전 용량에 기인한다. 방전 용량이 높으면, 큰 방전이 훨씬 과도하게 퍼져 수직 방향 누화를 일으키기가 훨씬 쉽다. 나아가, 높은 용량은 높은 어드레싱 방전 전류에 의하여 초래되는 전압 강하로 인하여 어드레싱 동작 여유를 감소시킨다. 따라서, 내측 서스테인 전극(525)과 내측 스캔 전극(555)상에서는, 투명 전극(530, 535)의 투명 도전체의 폭이 감소되거나 제거되어 어드레스 전류를 감소시킬 수 있으며, 외측 서스테인 전극(512)과 외측 스캔 전극(545)상에서는 투명 전극(515, 540)의 폭이 확대되어 증대된 서스테인 방전 전력을 공급할 수 있다.
- <79> 도 6은 3개의 전극 구조를 갖는 서브 픽셀을 구비한 PDP의 일부를 나타낸다. PDP(600)는 수직 방향 배리어 리브(635)와, 각각 적, 녹, 청 형광체가 도포된 데이터 전극(610R, 610G, 610B)이 마련된 후면판(605)을 포함한다. PDP(600)는 또한 서스테인 전극(617)과, 내측 스캔 전극(668) 및 외측 스캔 전극(662)을 포함한다.
- <80> 서스테인 전극(617)은 금속 전극(615)과 중첩된 투명 전극(620)으로 구성된다. 내측 스캔 전극(668)은 금속 전극(665)과 중첩된 투명 전극(625)으로 구성된다. 외측 스캔 전극(662)은 금속 전극(660)과 중첩된 투명 전극(630)으로 구성된다. 금속 전극 재료는 불투명한 금속 도전체이다.
- <81> 서브 픽셀(675)은 데이터 전극(610R), 서스테인 전극(617), 내측 스캔 전극(668) 및 외측 스캔 전극(662)의 교차부의 영역에 있다. 서브 픽셀(675)은 N 행에 있으며, N+1 행에 있는 서브 픽셀(650)과 수직 방향으로 인접해 있다. 외측 스캔 전극(680)은 N-1 행을 위한 것이다. 서스테인 전극, 내측 스캔 전극(645) 및 외측 스캔 전극(640)은 N+1 행을 위한 것이다. 픽셀간 갭(655)은 서브 픽셀(675, 650) 사이에 위치한다.
- <82> 서브 픽셀(675)은 서스테인 전극(617)과 내측 스캔 전극(668) 사이에 배치된 서스테인 갭(670)을 포함한다. 외측 스캔 전극(662)은 서브 픽셀(675)의 외주에 있으며, 따라서 이 외측 스캔 전극(662)은 픽셀간 갭(655)보다 더 넓다. 외측 스캔 전극(662)은 전기적으로 구동되어 서브 픽셀(675)로부터 서브 픽셀(650)의 수직 방향 누화를 억제한다.
- <83> 내측 스캔 전극(668)이 관련된 어드레싱 방전 동안, 내측 스캔 전극(668)에는 제1 전압이 인가되고, 외측 스캔 전극(662)에는 제2 전압이 인가된다. 제1 전압과 제2 전압에 대하여 적절한 레벨을 선택함으로써, 후면판(605)과 내측 스캔 전극(668) 사이에서 형성되는 어드레싱 방전이 외측 스캔 전극(662)으로 확장되는 것이 억제된다. 양극 컬럼은 서스테인 전극(617)을 신속하게 포위하는 반면, 음극 글로는 내측 스캔 전극(668)으로 제한되게 된다.
- <84> 어드레싱 전류는 내측 스캔 전극(668)에 의하여 제한된다. 외측 스캔 전극(662)은 방전 내에 감싸여 있지 않기 때문에, 전류가 제한된다. PDP(600)는 투명 전극(620)의 면적이 더 넓기 때문에, PDP(500)보다 개선된 휘도를 제공하며, 금속 버스 전극(520)에 의하여 초래되는 것보다 더 적은 광차폐 현상(light shading)을 제공한다.
- <85> PDP(600)이 서스테인 전극(617), 내측 스캔 전극(668) 및 외측 스캔 전극(662)으로 구성되는 것으로 도시되어 있지만, 수직 방향 누화를 억제하는 개념은 또한 내측 및 외측 서스테인 전극에도 채용될 수 있다. 예를 들면, 서스테인 전극(617)은 어드레싱 방전 전류를 더욱 제한하기 위하여 상호 독립적으로 제어되는 내측 서스테인 전극과 외측 서스테인 전극으로 대체될 수 있다. 그러므로, 서스테인 전극과 스캔 전극 중 어느 것 또는 양자 모두는 외측 전극과 내측 전극으로 구성될 수 있다.
- <86> 도 7은 도 3의 과형을 발생시키는 회로의 블록 다이어그램이다. 회로(700)는 다시 외측 서스테인 전극, 내측 서스테인 전극, 내측 스캔 전극 및 외측 스캔 전극을 상호 독립적으로 제어하기 위한 보다 작은 회로들로 구성된다. 회로(700)는 서스테인측 과형 발생기(705)와 스캔측 과형 발생기(710)를 포함한다.
- <87> 서스테인측 과형 발생기(705)는 내측 서스테인 과형(310)의 소스로서 작용하는 서스테인 과형을 발생시킨다. 서스테인측 과형 발생기(705)로부터의 서스테인 과형은 또한 스위치(710)로 전달되어 외측 서스테인 과형(305)의 소스로서 작용한다.
- <88> 스캔측 과형 발생기(710)는 스캔 과형을 발생시킨다. 이 스캔 과형은 스캔 라인들, 예컨대 스캔 라인 1 내지 스캔 라인 480의 행들을 구동하는 행 드라이버(row drivers)(715)에 제공되며, 따라서 N 행을 위한 내측 스캔 과형(315)의 소스(source)로서 작용한다. 스캔측 과형 발생기(710)로부터의 스캔 과형은 또한 스위치로 전달되어 외측 스캔 과형(320)의 소스로서 작용한다.
- <89> 각 스위치(701, 702)는 위치 A 또는 위치 B에 설정될 수 있다. 도 7에서, 스위치(701, 702)는, 외측 서스테인 전극과 외측 스캔 전극을 제어하는 전압을 제공하여 어드레싱 방전을 제한하도록 어드레싱 주기, 예컨대 도 3의

시간 t20 내지 t40 동안 이들 스위치가 접속됨에 따라, 위치 A에 도시되어 있다. 서스테인층에 대하여 설명하면, 서스테인 전극은 서스테인층 파형 발생기(705)로부터 직접 구동된다. 절연 전압 Viso는, 예를 들어 서스테인층 파형 발생기(705)의 출력 전압 아래의 50 내지 100 볼트로 부동하는(floating) 비접지 전압이다.

- <90> 스캔층에서, 행 드라이버(715)는 어드레싱 주기 동안 각 행을 스캔하는 토렘 폴 출력 행 드라이버(totem pole output row driver)이다. 단자(230, 245)를 통해서 개별적인 내측 스캔 전극에 접속되는 각 디스플레이 행(display row)을 위한 별도의 출력이 존재한다. 어드레싱 주기 동안, 스캔층 파형 발생기(710)는 70 내지 170 볼트의 전압 Vscan을 발생시킨다. 행 드라이버(715) 내의 토렘 폴 출력 중 하이(high) 측과 외측 스캔 전극은 스위치(702)의 공통 지점에 접속되는데, 이는 스캔층 파형 발생기(710)의 출력에 대하여 양극의 전압을 제공한다. 이 양극 전압은 어드레싱 주기 동안 행의 탈선택 레벨을 제공한다.
- <91> 어드레싱 주기 동안, 각 내측 스캔 전극은 순차적으로 0 V까지 하향 펄스화되어 선택된 행의 어드레싱을 가능하게 한다. 그 후, 각 어드레싱 방전은 X 데이터 전극이 50 내지 70 볼트로 구동되는 각 픽셀 구역에서 형성된다.
- <92> 어드레싱 주기 이외의 시간 주기 동안, 스위치(701, 702)는 위치 B에 설정되며, 따라서 외측 서스테인 전극은 서스테인층 파형 발생기(705)로부터 직접 구동되고, 외측 스캔 전극은 스캔층 파형 발생기(710)로부터 직접 구동된다.
- <93> 진술한 각 실시예는 주어진 라인상의 모든 픽셀이 어드레스될 때 발생하는 피크 어드레싱 방전 전류를 강하시키고, 따라서 행 드라이버(715)의 전류 조건을 완화시킨다. 또한, 서스테인 주기 동안 발생하는 서스테이닝 방전 전류는 외측 스캔 전극으로부터 스위치(702)를 통해서 행 드라이버(715) 주위로(통과하지 않음) 채널링된다. 각 내측 스캔 전극으로부터의 서스테인 전류는 행 드라이버(715)의 토렘 폴 출력의 보다 낮은 트랜지스터를 통해서 흐르게 된다. 실제, 각 스위치(701, 702)는 금속 산화물 반도체 트랜지스터(MOSFET) 또는 절연 게이트 바이폴라 트랜지스터(IGBT)와 같은 한 쌍의 고전류 트랜지스터를 사용한다.
- <94> 스캔 전극과 서스테인 전극이 스플릿 전극(즉, 내측 스캔 전극과 외측 스캔 전극, 그리고 내측 서스테인 전극과 외측 서스테인 전극)으로 구성되는 경우, 동작 특성을 더욱 개선시키기 위하여 스플릿 전극 구조를 사용하기 위하여, 교번 구동 기술(alternate driving technique)을 고려할 수도 있다.
- <95> 제1 구동 기술은 암막 스크린 콘트라스트 비(dark screen contrast ratio)를 개선시킨다. 약한 셋업 방전을 발생시키는 셋업 전압 파형에 의하여 발생된 배경 글로 광(background glow light)은 각 서브 픽셀 구역의 중앙 영역으로 수용된다. 그러한 셋업 전압 파형은 더 낮은 셋업 전압으로 외측 전극을 구동하는 반면, 선행 전압 레벨은 셋업 방전이 각 서브 픽셀의 외측 영역으로 확장하는 것을 억제하기 위하여 내측 전극을 구동하는 데 사용된다. 셋업 방전 면적을 감소시키면 셋업 방전광이 감소되고, 따라서 암막 스크린 콘트라스트 비가 개선된다.
- <96> 제2 구동 기술은 서스테인 시간 주기에 적용된다. 각 스플릿 전극 쌍의 외측 전극들은 방전을 각 서브 픽셀 구역의 외측 한계까지 끌어들이기 위하여 외측 전극에 추가적인 전압을 제공하는 서스테인 펄스 전압으로 구동된다. 이는 서스테인 전압 자체가 감소될 수 있게 하여, 서스테인 시감도(sustain luminous efficiency)를 향상시키고 또한 동작 전압 마진을 개선시킨다.
- <97> 예를 들면, 도 2는 각 스플릿 전극 쌍을 상세히 보여주고 있다. 서스테인 갭(286)은 서브 픽셀(292)의 중심에 위치하여 서스테인 전극(225)과 내측 스캔 전극(283)을 분리시킨다. 외측 스캔 전극(280)은 갭(282)에 의하여 내측 스캔 전극(283)으로부터 분리된다. 외측 서스테인 전극(220)은 갭(290)에 의하여 내측 서스테인 전극(225)으로부터 분리된다. 일반적으로, 이들 갭(290, 282)은 상호 동일한 치수가 될 것이다.
- <98> 셋업 주기 동안 행 드라이버(715)를 사용하여 상승 셋업 램프(rising setup ramp) 동안(도 3, 시간 t5 내지 시간 t10 참조) 내측 스캔 전극(283)에 전압 Vscan을 인가하는 셋업 전압 파형을 발생시키면, 개선된 암막 스크린 콘트라스트 비가 얻어진다. 외측 스캔 전극(280)을 위한 셋업 전압 파형은 이렇게 인가되는 전압을 가지지 않는데, 그 이유는 시간 t10에서의 스캔층 파형 발생기(710)는 전압 Vscan, 예컨대 90 내지 120 볼트와 동일한 크기 만큼 셋업 전압 Vw로부터 그것의 출력을 감소시키기 때문이다. 외측 스캔 전극(280)에 저하된 전압이 인가되면, 상기 상승 셋업 램프(시간 t5 내지 시간 t10) 동안 발생하는 약한 양극 저항 셋업 방전은, 보다 높은 전압이 존재하고 이 전압이 외측 스캔 전극(280)으로 확장되는 것이 억제되는 내측 스캔 전극(283)으로 수용되며, 따라서 셋업 방전에 의하여 발생하는 빛을 감소시킨다.
- <99> 보다 높은 전압이 필요한 경우, 각 스플릿 전극 쌍의 외측 전극들에 보다 높은 전압을 인가하면, 서스테이닝 방

전 특성을 최적화시킬 수 있다. 예를 들어, 약 80 마이크로미터로 비교적 좁은 서스테인 갭(286)에 존재하는 높은 전계는 비교적 낮은 초기 점화 전압을 제공한다. 그러나, 서스테인 방전이 서브 픽셀(292)를 충분히 가로질러 퍼지도록 하는데 필요한 전압은 서브 픽셀(292)의 치수와 가스 혼합물에 따라 50 내지 100 볼트 더 높을 수도 있다. 결과적으로, 단일한 서스테인 전압이 인가되어 서브 픽셀(292)을 충분히 방전시키면, 서브 픽셀(292)의 중심 영역은 과도하게 여기되는 반면 극단적인 상황에서는 불충분하게 여기된다. 내측 전극(225, 283)은 낮은 점화 전압으로 구동되고 외측 전극(220, 280)은 상대적으로 더 높은 전극으로 구동되면, 시감도 및 수명에 있어서의 개선을 이룰 수 있다.

- <100> 도 8은 PCP의 전극을 제어하는 회로(800)의 도 7과 유사한 블록 다이어그램이다. 회로(800)은 다시 전극을 제어하기 위한 더 작은 회로들로 구성된다. 아래에서 더 자세히 설명되는 도 9는 회로(800)에 의하여 발생하는 한 세트의 파형을 보여주고 있다.
- <101> 회로(800)는 스위치(801)와 스위치(802)를 구비한다. 각 스위치(801, 802)는 위치 A, B 및 C를 취한다.
- <102> 스위치(802)는 셋업 주기 동안 위치 A로 설정되어 외측 스캔 전극(280)이 스캔측 파형 발생기(710)에 의하여 직접 구동될 수 있게 한다. 어드레싱 주기 동안, 스위치(802)는 위치 B로 설정되어 외측 스캔 전극(280)에 오프셋 전압 V_{scan} 을 제공한다. 서스테인 주기 동안, 스위치(802)를 위치 C로 설정하여 각 펄스의 진폭을 외측 스캔 전극(280)으로 부스트함으로써, 추가의 오프셋 전압 V_{s3} 은 각 서스테인 펄스에 의하여 ON으로 스위칭될 수도 있다.
- <103> 회로(700)와는 대비되게, 행 드라이버(715)는 단순화를 위하여 일정하게 인가되는 전압 V_{scan} 을 갖는다. "래칭업(latching up)"은 집적 회로의 기판에서 흐르는 고전류에 의하여 초래되는 기생 조건이다. 실제의 행 드라이버 장치는, 행 드라이버(715)의 "래칭업"을 방지하기 위하여 전형적으로는 비교적 높은 전압인 V_{scan} 이 서스테인 주기 동안 제거되는 것을 필요로 할 수도 있다.
- <104> 전압 V_{scan} 과 V_{s3} 은 각각 캐패시터(C2, C3)를 통해서 스캔측 파형 발생기(710)로부터 AC 결합되어, 스캔측 파형 발생기(710)과 함께 부동하는 오프셋 전압을 제공한다. 외측 스캔 전극(280)에 인가되는 전압은 스캔측 파형 발생기(710)의 출력, 즉 전압 V_{scan} 과 스캔측 파형 발생기(710)의 출력보다 높은 추가의 전압 V_{s3} 사이에서 샌드위치될 수 있다. 유사하게, 행 드라이버(715)는 스캔측 파형 발생기(710)의 출력과 스캔측 출력 발생기(710)의 출력보다 높은 전압 V_{scan} 사이에서 각 행을 독립적으로 스위칭시킬 수 있다.
- <105> 스위치(801)는 셋업 주기 동안 위치 A로 설정되어 외측 전극(220)이 서스테인측 파형 발생기(705)에 의하여 직접 구동될 수 있게 한다. 어드레싱 주기 동안, 스위치(801)는 위치 B로 설정되어 AC 결합 절연 전압 V_{iso} 을 제공함으로써 수직 방향 누화를 억제한다. 서스테인 주기 동안, 스위치(801)는 위치 C로 설정되어 AC 결합 전압 V_{s3} 이 각 서스테인측 펄스와 동시에 외측 서스테인 전극(220)에 인가될 수 있게 함으로써 각 펄스에 추가적인 진폭을 제공한다.
- <106> 도 9는 회로(800)에 의하여 발생된 한 세트의 전압 파형의 도 3과 유사한 그래프이다. 도 9는 외측 서스테인 파형(905), 내측 서스테인 파형(910), 내측 스캔 파형(915), 외측 스캔 파형(920), 스캔 발생기 파형(925) 및 X 데이터 파형(930)을 보여주고 있다.
- <107> 외측 서스테인 파형(905)은 외측 서스테인 전극(220)에 인가된다. 내측 서스테인 파형(910)은 내측 서스테인 전극(225)에 인가된다. 내측 스캔 파형(915)은 내측 스캔 전극(283)에 인가된다. 외측 스캔 파형(920)은 외측 스캔 전극(280)에 인가된다. 스캔 발생기 파형(925)은 스캔측 파형 발생기(710)에 의하여 발생된다. X 데이터 파형(930)은 데이터 전극(210R)에 인가된다.
- <108> 도 3에 비하여, 도 9의 스캔 파형 발생기 전압 V_w 는 75 내지 150V의 V_{scan} 전압과 같은 양만큼 강화되었다. 행 드라이버(715)는 스캔측 파형 발생기(710)를 기준으로 하고 있기 때문에, 행 드라이버(715)는 시간 간격 t_5 내지 t_{10} 동안 출력 전압 V_{scan} 으로 스위칭되어 스캔 N 파형(915)을 발생시키는데, 이 파형은 N 행을 위한 내측 스캔 전극, 즉 내측 스캔 전극 단자(283)에 인가된다. 셋업 주기, t_5 내지 t_{20} 동안, 스위치(802)가 위치 A에 설정되어, 외측 스캔 전극(280)은 스캔 발생기 파형(925)과 동일한 외측 스캔 파형(920)으로 구동된다.
- <109> 시간 t_5 에서, 행 드라이버(715)는 캐패시터(C2)를 통해서 스캔측 파형 발생기(710)의 출력을 기준으로 하는 전압 V_{scan} 까지 높게 구동된다. 행 드라이버(715)는 스캔측 파형 발생기(710)을 기준으로 하고 있고, 스캔 발생기 파형(925)은 시간 t_5 에서 램프되기 때문에, 내측 스캔 파형(915)은 V_{scan} 볼트의 오프셋으로 상기 램프를 추종한다. 완만한 램프는 V_w+V_{scan} 에 접근하는 전압과 결합되어 약한 비쇄도형 양극 저항 방전(weak non-avalanching positive resistance discharge)을 발생시키는데, 내측 스캔 전극(283)은 데이터 전극(210R) 및

내측 서스테인 전극(225) 양자 모두로 방전한다. 이러한 방전은 디스플레이의 배경 글로 휘도의 첫 절반을 형성한다. 내측 스캔 전극(283)은 이러한 방전을 소싱하기 때문에, 외측 스캔 전극(280) 상에서의 외측 스캔 파형(920)으로부터의 더 낮은 전압 램프는 방전하지 않으며, 따라서 방전되는 물리적 영역의 치수를 감소시킴으로써 배경 글로 휘도를 감소시킨다.

<110> 내측 스캔 파형(915)를 참조하면, 시간 t10에서, 행 드라이버(715)의 출력은 스캔측 파형 발생기(710)의 출력과 동일한, 로우 레벨(low level)로 스위칭된다(스캔 발생기 파형(925) 참조). 시간 t10 내지 시간 t15 동안 스캔 발생기 파형(925)이 램프 다운됨에 따라, 내측 스캔 파형(915)이 추종하게 된다. 셋업 주기 동안, 스위치(802)가 위치 A로 설정되고, 따라서 외측 스캔 파형(920)도 또한 램프 다운된다는 것을 상기하라. 셋업 전압 파형의 전압이 램프 다운됨에 따라 늦은 양극 저항 셋업 방전(slow positive resistance setup discharge)이 다시 발생하게 되는데, 이 시간은 데이터 전극(210R)과 내측 서스테인 전극(225)에 의하여 소싱된다. 외측 서스테인 전극(220)과 외측 스캔 전극(280)은 시간 t5와 시간 t10 사이의 상승하는 램프의 셋업 방전(rising ramp's setup discharge)에 포함되지 않았으므로, 이들 전극은 시간 t10과 시간 t15 사이의 경사 하강 동안 방전할 충분한 벽 전하(wall charge)를 가지고 있지 않으며, 따라서 셋업 방전이 외측 스캔 전극(280) 및 외측 서스테인 전극(220)으로 확장하는 것이 억제된다. 이로써 하강하는 램프에 의하여 발생하는 빛이 감소되는데, 이는 배경 글로 휘도(background glow's intensity)의 나머지 절반(second half)에 기여한다. 외측 스캔 전극(280)은 내측 스캔 전극(283)상의 셋업 방전에 영향을 미치지 않기 위하여 두 가지 램프 모두를 추종한다.

<111> 시간 t20에서, 어드레싱 주기가 시작하는데, 내측 스캔 파형(915)을 참조하면, 행 드라이버(715)는 하이(high)로 스위칭하여 내측 스캔 전극(283)이 레벨 Vscan으로 되게 한다. 스위치(802)는 어드레싱 주기 동안 위치 B로 설정되며, 따라서, 외측 스캔 파형(920)을 참조하면, 외측 스캔 전극(280)도 또한 전압 Vscan으로 구동된다. 그러므로, 외측 스캔 전극(280)은 어드레싱 방전으로부터 배제된다.

<112> 시간 t20과 t35 사이에서, 각 행은 그것의 각 스캔 전극상의 로 고잉 펄스(low going pulse)에 의하여 개별적으로 선택된다. 예컨대, 내측 스캔 파형(915)을 참조하면, 시간 t25에서 시작하는 로 고잉 펄스는 N행, 즉 서브 픽셀(292)을 포함하는 행의 선택에 대응하는 것이다. 존재하는 경우, 데이터 전극(210R)상에 화상 데이터 종속 X 데이터 펄스가 부합하면, 서스테인 갭(286)에서 어드레싱 방전이 트리거된다. 어드레싱 방전은 데이터 전극(210R)과 내측 스캔 전극(283) 사이에서 형성되게 된다. 이 방전은 양극 컬럼 영역과 음극 글로 영역을 신속하게 발생시킨다. 음극 글로는 내측 스캔 전극(283)에 머무는 반면, 양극 컬럼은 서스테인 갭(286)을 가로질러 퍼져서 내측 서스테인 전극(225)을 포위한다.

<113> 또한, 외측 서스테인 파형(905)을 참고하면, 시간 t20과 t35 사이에서는 외측 서스테인 전극(220)이 절연 전압 Viso로 구동된다. 내측 서스테인 파형(910)을 참조하면, 전압 Ve가 내측 서스테인 전극(225)으로 인가된다. 전압 Viso는 전압 Ve보다 낮다. 외측 서스테인 전극(220)을 내측 서스테인 전극(225)의 전위보다 낮은 전위에 둠으로써, 어드레싱 방전의 양극 컬럼은 외측 서스테인 전극(220)을 가로질러 퍼져나가는 것이 억제된다. 어드레싱 방전을 외측 서스테인 전극(220)과 외측 스캔 전극(280) 중 어느 것 또는 양자 모두까지 확장할 수 있게 하기 보다는 내측 스캔 전극(283)과 내측 서스테인 전극(225) 사이의 더 작은 영역에 수용되게 함으로써, 어드레싱 방전 전류가 감소된다. 내측 스캔 전극(283)을 가로지른 저항 전압 강하(resistive voltage drop) 및 행 드라이버(715)의 출력 저항이 어드레싱 마진을 제한함에 따라, 어드레싱 방전 전류를 감소시키면 어드레싱 마진이 증대된다.

<114> 시간 t42 내지 시간 t45 동안, 제1 서스테인 방전이 발생하여, 서스테인 방전 전류가 스캔 전극 쌍, 즉 내측 스캔 전극(283) 및 외측 스캔 전극(280U)으로부터 서스테인 전극 쌍, 즉 외측 서스테인 전극(220L)과 내측 서스테인 전극(225)으로 소싱된다. 스캔 발생기 파형(925)를 참고로 하면, 스캔측 파형 발생기(710)는 서스테인 전압 Vs보다 더 높을 수도 있는 전압 Vs1을 발생시킨다. 스캔 발생기 파형(925)은 내측 스캔 파형(915)과 외측 스캔 파형(920) 모두를 발생시키는 반면, 내측 서스테인 파형(910)과 외측 서스테인 파형(905)은 접지(0V)로 스위칭된다. 전압 Vs1은 방전의 양극 컬럼 영역이 내측 스캔 전극(283)과 외측 스캔 전극(280) 모두를 가로질러 퍼지도록 선택된다. 도 9에는 도시되어 있지 않지만, 본 발명의 일부 실시예, 특히 갭(282)이 서스테인 갭(286)보다 큰 경우, 제1 서스테인 방전 동안 외측 스캔 전극(280)에 더 높은 전압이 인가되며, 따라서 서스테인 방전은 내측 스캔 전극(283)과 외측 스캔 전극(280) 양자 모두를 가로질러 퍼진다.

<115> 제2, 제3 및 후속 서스테인 방전이 발생하고, 서스테인측 파형 발생기(705) 및 스캔측 파형 발생기(710)는 진폭 Vs 볼트의 서스테인 펄스들을 발생시킨다. 각 서스테인 펄스 엡지와 동기하여, 스위치(801, 802)는 대응하는 외측 전극(220 또는 280)을 전속하여 전압 Vs3이 인가되게 한다. 특히 시간 t45에서, 외측 서스테인 파형

(905)은 전압 V_s3 을 외측 서스테인 전극(220)에 인가하는 한편, 내측 서스테인 파형(910)은 전압(V_s)을 내측 서스테인 전극(225)에 인가한다. 유사하게, 시간 $t60$ 에, 외측 스캔 파형(920)은 전압 V_s3 을 외측 스캔 전극(280)에 인가하는 한편, 스캔 N 파형(915)은 전압 V_s 를 내측 스캔 전극(283)에 인가하며, 내측 서스테인 전극들은 전압 V_s 로 구동되고, 외측 서스테인 전극들은 V_s+V_s3 으로 구동된다.

- <116> 서스테인닝 방전은 외측 서스테인 전극(220)과 외측 스캔 전극(280)으로 확장하도록 의도되며, 따라서 외측 전극(220, 280)에 인가되는 전압, 즉 V_s3 은 내측 전극(225, 283)에 인가되는 전압, 즉 V_s 보다 더 높다. 외측 전극(220, 280)에 이용 가능한 전압이 더 높을수록, 더 큰 스플릿 전극 갭(290, 282)이 실현될 수 있다. 예를 들면, 스플릿 전극 갭(290, 282)은 서스테인 갭(286)의 치수의 150%일 수도 있다. 그러한 실시예는 방전의 양극 컬럼 영역의 치수를 증대시키는데, 이는 더 높은 시감도를 제공하는 것으로 나타났다. 추가의 설명에 대해서는 웨버(Weber) 명의의 미국 특허 제6,184,848호를 참고하라.
- <117> 도 3 및 도 9에 도시된 파형과 도 7 및 도 8의 회로를 도 2에 도시된 PDP에 사용되는 것으로 설명하였다. 그러나, 도 3 및 도 9, 도 7 및 도 8은 도 1, 도 4 내지 도 6에도 적용될 수 있다.
- <118> 당업자에 의하여 본 발명의 여러 가지 변형 및 수정예가 안출될 수 있다는 것을 이해될 것이다. 그럼에도 불구하고, 본 발명은 첨부된 청구 범위에 포함되는 그러한 변형예, 수정예 및 변경예를 포괄하도록 의도되어 있다.

발명의 효과

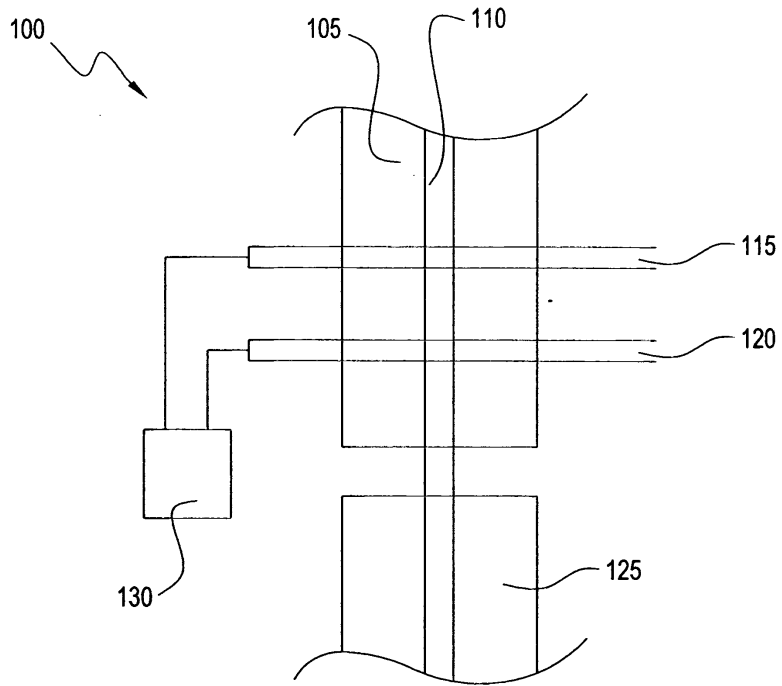
- <119> 본 발명에 따르면, 플라즈마 디스플레이 패널 내의 픽셀의 전극을 제어하여 픽셀 사이의 수직 방향 누화를 제거하거나 억제할 수 있으며, 또한 픽셀간 갭의 크기를 최소화하여 픽셀 크기를 최소화함으로써 휘도를 증대시킬 수 있다.

도면의 간단한 설명

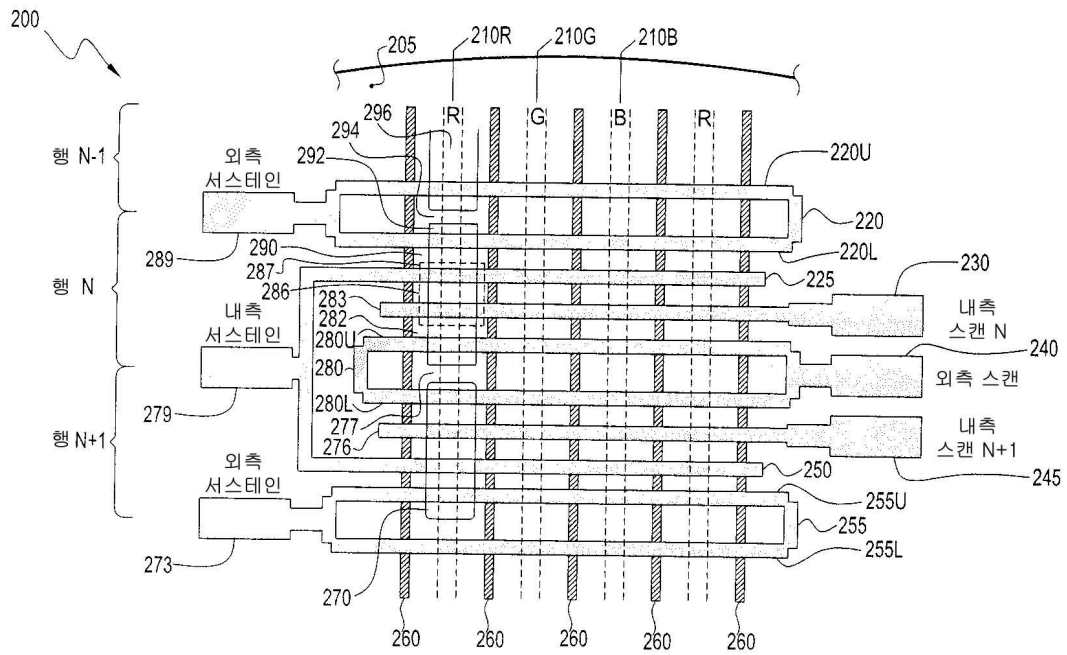
- <1> 도 1은 본 발명에 따라 구성된 픽셀의 일부를 보여주는 도면,
- <2> 도 2는 스플릿 전극으로 구성된 PDP의 일부를 보여주는 도면,
- <3> 도 3은 도 2의 전극을 구동시키는 한 세트의 전압 파형의 그래프,
- <4> 도 4는 각 단부에 단락 바가 마련된 수평 전극 라인을 구비한 스플릿 전극으로 구성되는 PDP의 일부를 보여주는 도면,
- <5> 도 6은 3-전극 구조의 서브 픽셀을 구비한 PDP의 일부를 보여주는 도면,
- <6> 도 7은 도 3의 파형을 발생시키는 회로의 블록 다이어그램,
- <7> 도 8은 PDP의 전극 제어용 회로의 블록 다이어그램, 그리고
- <8> 도 9는 도 8의 회로에 의하여 발생된 한 세트의 전압 파형의 그래프이다.
- <9> <도면의 주요 부분에 대한 부호의 설명>
- <10> 100, 200, 400, 500: PDP 105, 125: 픽셀
- <11> 110, 210R: 데이터 전극 115, 120: 전극
- <12> 205: 후면판 220, 255: 외측 서스테인 전극
- <13> 225, 250: 내측 서스테인 전극 260: 배리어 리브
- <14> 276, 283: 내측 스캔 전극 277: 픽셀간 갭
- <15> 280: 외측 스캔 전극 270, 292: 서브 픽셀
- <16> 286: 서스테인 갭 415, 440: 개구형 전극
- <17> 542: 루프 전극

도면

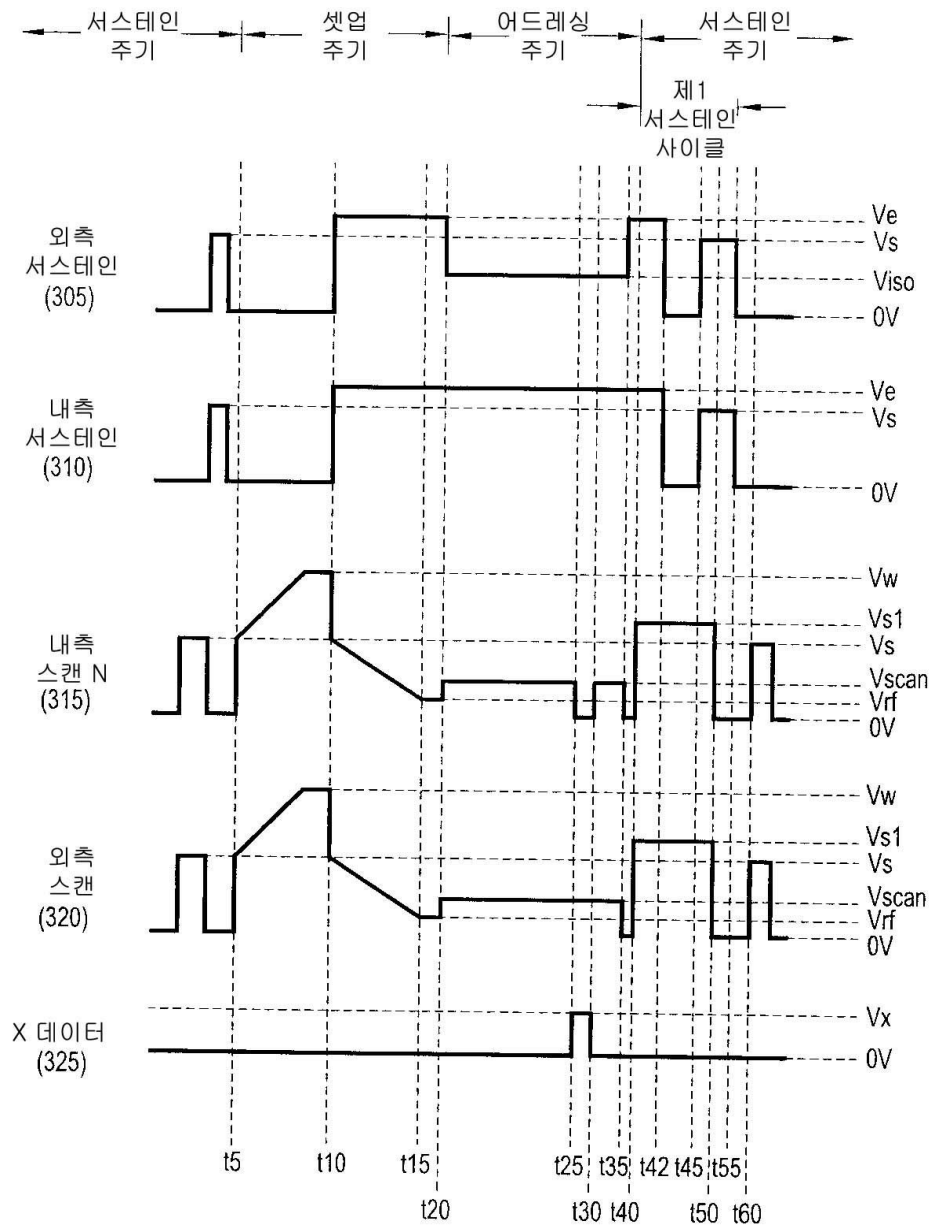
도면1



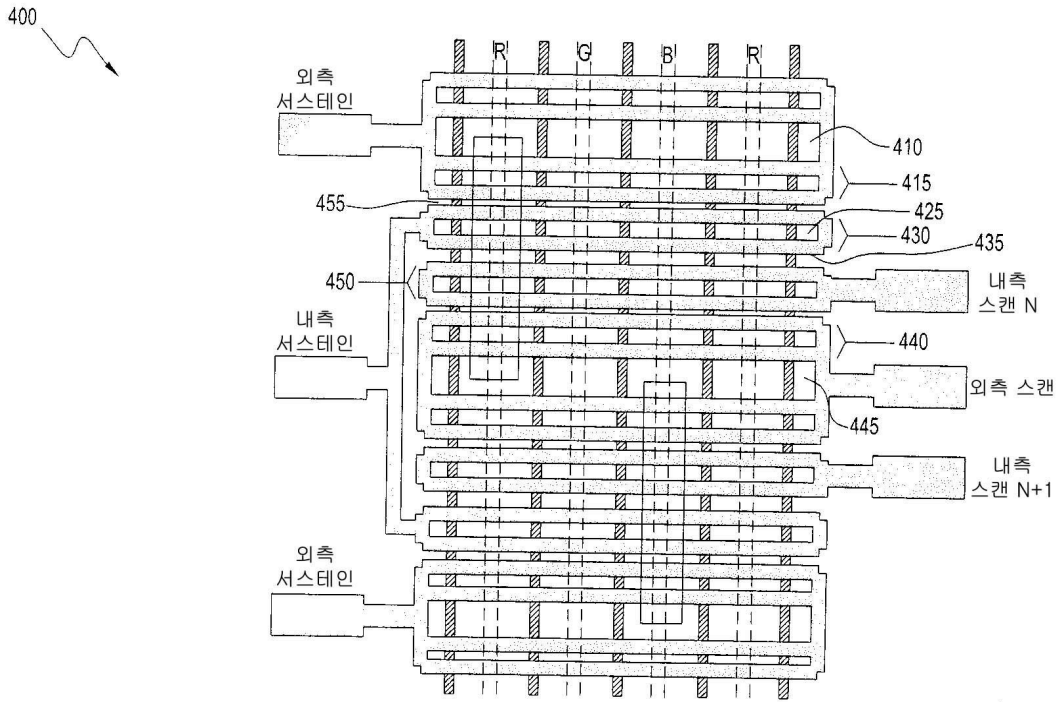
도면2



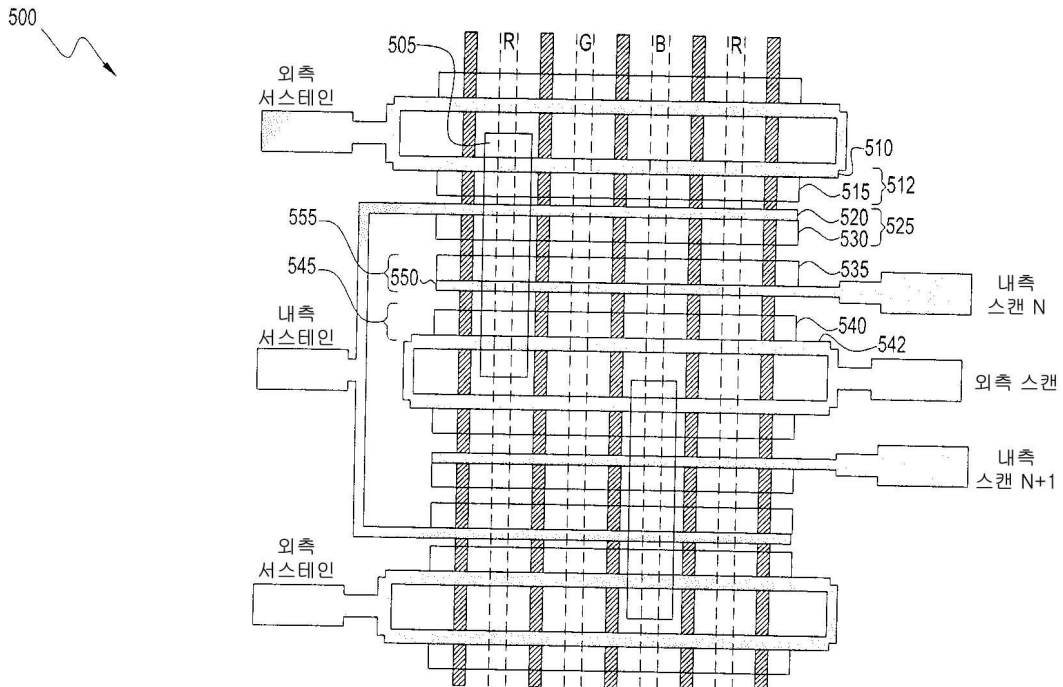
도면3



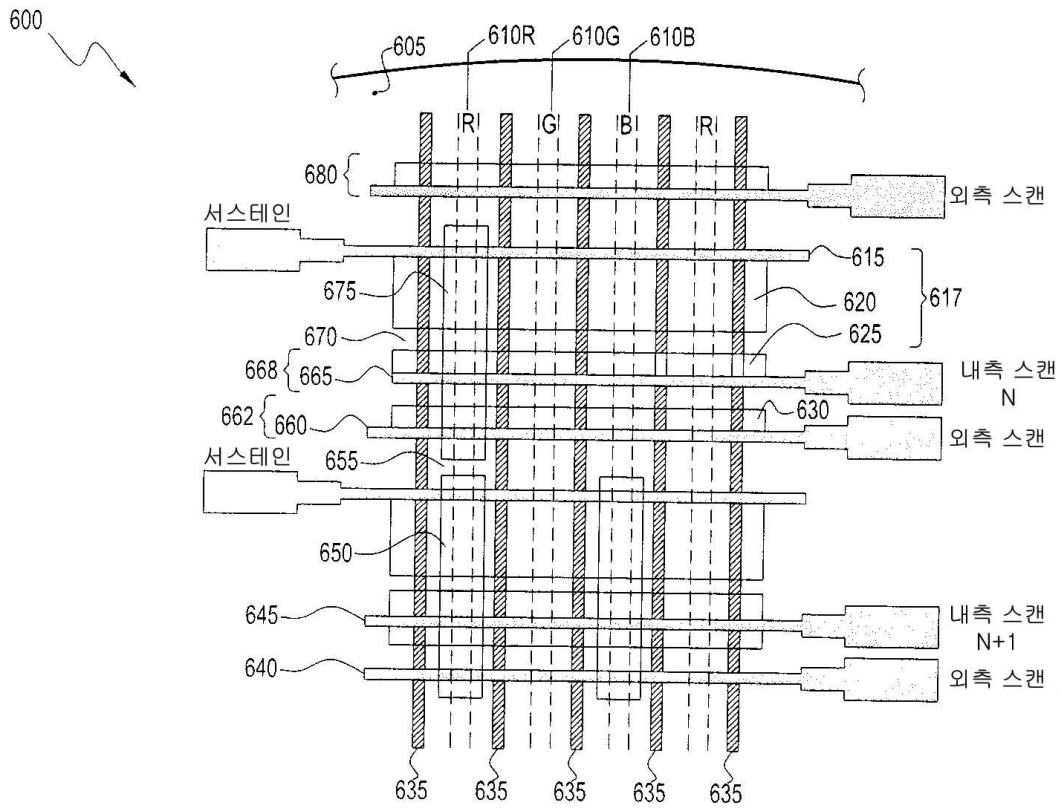
도면4



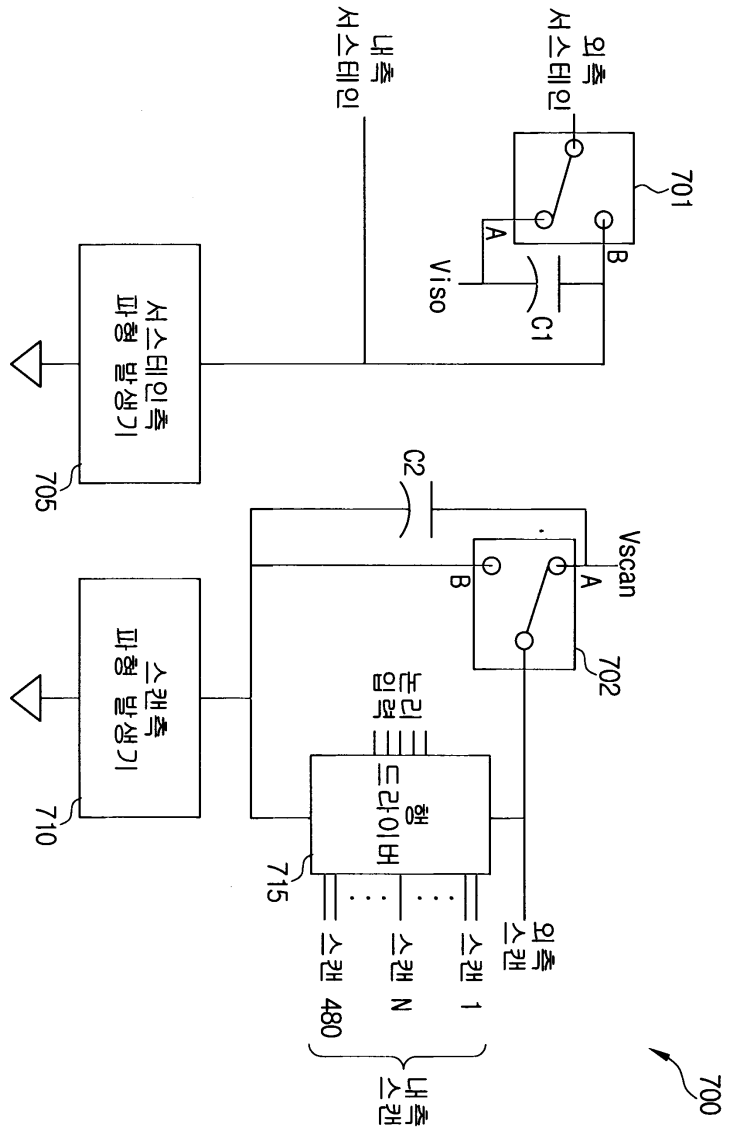
도면5



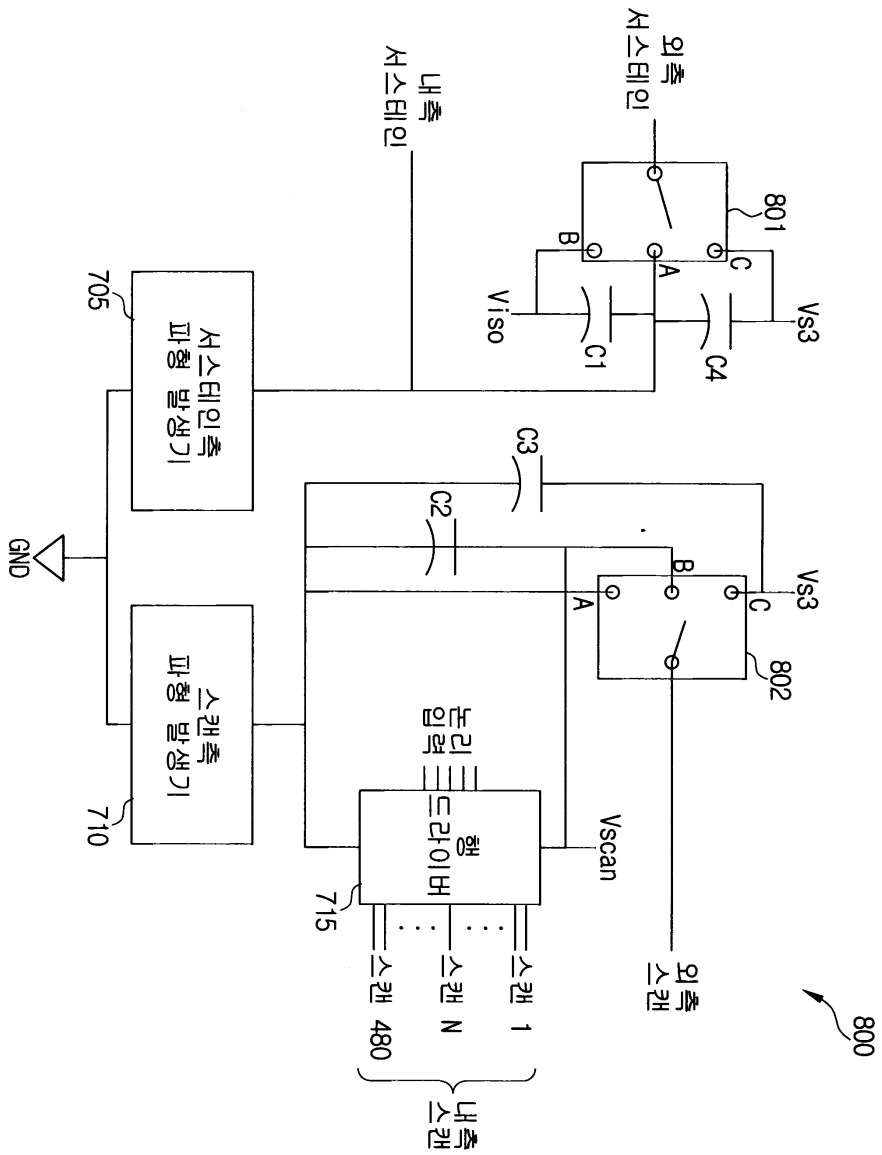
도면6



도면7



도면8



도면9

