



(12) 发明专利申请

(10) 申请公布号 CN 105162441 A

(43) 申请公布日 2015. 12. 16

(21) 申请号 201510618825. 4

(22) 申请日 2015. 09. 25

(71) 申请人 中国电子科技集团公司第二十四研究所

地址 400060 重庆市南岸区南坪花园路 14 号

(72) 发明人 徐代果 胡刚毅 李儒章 王健安 陈光炳 王育新 付东兵 刘涛

(74) 专利代理机构 北京同恒源知识产权代理有限公司 11275

代理人 赵荣之

(51) Int. Cl.

H03K 5/22(2006. 01)

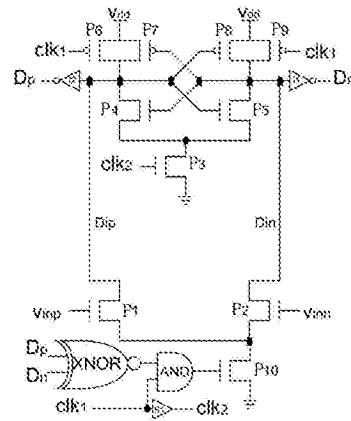
权利要求书1页 说明书5页 附图4页

(54) 发明名称

一种高速低功耗动态比较器

(57) 摘要

本发明公开了一种高速低功耗动态比较器，包括锁存器、与门、延迟单元、同或门，锁存器具有第一至第三控制端锁存器的输出分别经过反相器 I1、I2 产生第一比较器输出信号和第二比较器输出信号，第一比较器输出信号和第二比较器输出信号通过同或门产生输出信号，这个输出信号和控制信号 clk1 作为与门的输入信号，与门的输出信号控制六 NMOS 管 P10 的栅极，clk1 通过延迟单元产生其延迟信号 clk2，clk2 输入到锁存器的第三控制端。本发明将比较器输出信号 Dp 和 Dn 通过同或门 XNOR 产生输出信号，这个输出信号和控制信号 clk1 经过与门，产生 NMOS 管 P10 的控制信号，解决了传统结构中的静态功耗问题。



1. 一种高速低功耗动态比较器,其特征在于:包括第一 NMOS 管 (P1)、第二 NMOS 管 (P2)、第六 NMOS 管 (P10)、延迟单元 (B1)、第一反向器 (I1)、第二反向器 (I2)、同或门 (XNOR)、与门 (AND) 和锁存器,所述锁存器包括第一控制端、第二控制端、第三控制端、第一输出端、第二输出端和电源端;所述第一 NMOS 管 (P1) 的栅极接第一输入信号,第二 NMOS 管 (P2) 的栅极接第二输入信号,所述第一 NMOS 管 (P1) 的源极、第二 NMOS 管 (P2) 的源极分别与第六 NMOS 管 (P10) 的漏极连接,第六 NMOS 管 (P10) 的源极接地;所述第一 NMOS 管 (P1) 的漏极分别与第二反向器 (I2) 的输入端、锁存器的第二输出端连接;所述第二 NMOS 管 (P2) 的漏极分别与第一反向器 (I1) 的输入端、锁存器的第一输出端连接;所述第一反向器 (I1) 的输出端与同或门 (XNOR) 的其中一个输入端连接,所述第二反向器 (I2) 的输出端与同或门的另一个输入端连接,所述同或门的输出端与与门的其中一个输入端连接,延迟单元 (B1) 的输入端与与门的另一个输入端连接,与门的输出端与第六 NMOS 管 (P10) 的栅极连接;所述延迟单元 (B1) 的输出端与第三控制端连接,所述延迟单元的输入端分别与第一控制端、第二控制端连接,所述电源端接 Vdd。

2. 根据权利要求 1 所述的高速低功耗动态比较器,其特征在于:所述锁存器包括第三 NMOS 管 (P3)、第四 NMOS 管 (P4)、第五 NMOS 管 (P5)、第一 PMOS 管 (P6)、第二 PMOS 管 (P7)、第三 PMOS 管 (P8) 和第四 PMOS 管 (P9),所述第一 NMOS 管 (P1) 的漏极分别与第四 NMOS 管的漏极 (P4)、第一 PMOS 管的漏极 (P6)、第二 PMOS 管的漏极 (P7)、第五 NMOS 管 (P5) 的栅极、第三 PMOS 管 (P8) 的栅极连接,所述第二 NMOS 管 (P2) 的漏极分别与第五 NMOS 管 (P5) 的漏极、第三 PMOS 管 (P8) 的漏极、第四 PMOS 管 (P9) 的漏极、第四 NMOS 管 (P4) 的栅极、第二 PMOS 管 (P7) 的栅极连接,所述第一 PMOS 管 (P6) 的源极、第二 PMOS 管 (P7) 的源极、第三 PMOS 管 (P8) 的源极、第四 PMOS 管 (P9) 的源极分别与 Vdd 连接;所述第一 PMOS 管 (P6) 的栅极、第四 PMOS 管 (P9) 栅极分别与延迟单元 (B1) 的输入端连接,延迟单元 (B1) 的输出端与第三 NMOS 管 (P3) 的栅极连接,第三 NMOS 管 (P3) 的漏极分别与第四 NMOS 管 (P4) 的源极、第五 NMOS 管 (P5) 的源极连接,第三 NMOS 管 (P3) 的源极接地。

一种高速低功耗动态比较器

技术领域

[0001] 本发明属于模拟或数模混合集成电路技术领域,具体涉及一种高速低功耗动态比较器。

背景技术

[0002] 近年来,随着集成电路制造技术的不断发展,CMOS 器件的特征尺寸不断减小,集成电路的工作电压也不断降低,在深亚微米工艺下,模数转换器的工作速度得到了极大的提高,同时,功耗进一步降低。但是,作为模数转换器的核心组成部分,比较器的性能成了高速低功耗设计的瓶颈。传统的几种比较器结构,很难同时满足速度、功耗和低电源电压等要求。

发明内容

[0003] 鉴于此,本发明提供一种高速低功耗动态比较器,在实现比较器能够高速工作的情况下,仍然保持很低的静态功耗,同时,随着电源电压的降低,本发明提出的比较器结构相对于上述传统结构,仍然保持较快的比较速度。

[0004] 为达到上述目的,本发明提供如下技术方案:一种高速低功耗动态比较器,包括第一 NMOS 管、第二 NMOS 管、第六 NMOS 管、延迟单元、第一反向器、第二反向器、同或门、与门和锁存器,所述锁存器包括第一控制端、第二控制端、第三控制端、第一输出端、第二输出端和电源端;所述第一 NMOS 管的栅极接第一输入信号,第二 NMOS 管的栅极接第二输入信号,所述第一 NMOS 管的源极、第二 NMOS 管的源极分别与第六 NMOS 管的漏极连接,第六 NMOS 管的源极接地;所述第一 NMOS 管的漏极分别与第二反向器的输入端、锁存器的第二输出端连接;所述第二 NMOS 管的漏极分别与第一反向器的输入端、锁存器的第一输出端连接;所述第一反向器的输出端与同或门的其中一个输入端连接,所述第二反向器的输出端与同或门的另一个输入端连接,所述同或门的输出端与与门的其中一个输入端连接,延迟单元的输入端与与门的另一个输入端连接,与门的输出端与第六 NMOS 管的栅极连接;所述延迟单元的输出端与第三控制端连接,所述延迟单元的输入端分别与第一控制端、第二控制端连接,所述电源端接 Vdd。

[0005] 进一步,所述锁存器包括第三 NMOS 管、第四 NMOS 管、第五 NMOS 管、第一 PMOS 管、第二 PMOS 管、第三 PMOS 管和第四 PMOS 管,所述第一 NMOS 管的漏极分别与第四 NMOS 管的漏极、第一 PMOS 管的漏极、第二 PMOS 管的漏极、第五 NMOS 管的栅极、第三 PMOS 管的栅极连接,所述第二 NMOS 管的漏极分别与第五 NMOS 管的漏极、第三 PMOS 管的漏极、第四 PMOS 管的漏极、第四 NMOS 管的栅极、第二 PMOS 管的栅极连接,所述第一 PMOS 管的源极、第二 PMOS 管的源极、第三 PMOS 管的源极、第四 PMOS 管的源极分别与 Vdd 连接;所述第一 PMOS 管的栅极、第四 PMOS 管栅极分别与延迟单元的输入端连接,延迟单元的输出端与第三 NMOS 管的栅极连接,第三 NMOS 管的漏极分别与第四 NMOS 管的源极、第五 NMOS 管的源极连接,第三 NMOS 管的源极接地。

[0006] 由于采用了以上技术方案,本发明具有以下有益技术效果:

[0007] 1、将输入管的输出端 Dip/Din 分别连接在 NMOS 管 P4、P5 的漏极,同时接 PMOS 管 P7、P8 的漏极,充分发挥这种锁存器结构的高速优势。

[0008] 2、将比较器输出信号 Dp 和 Dn 通过同或门 XNOR 产生输出信号,这个输出信号和控制信号 c1k1 经过与门,产生 NMOS 管 P10 的控制信号,解决了传统结构中的静态功耗问题。

[0009] 3、实现本发明结构简单,和传统结构相比,没有明显增加面积,但同时达到了高速和低功耗的目的。

附图说明

[0010] 为了使本发明的目的、技术方案和优点更加清楚,下面将结合附图对本发明作进一步的详细描述,其中:

[0011] 图 1 为高速低失调动态比较器结构原理图;

[0012] 图 2 为高速低噪声动态比较器结构原理图;

[0013] 图 3 为低功耗动态比较器结构原理图;

[0014] 图 4 为高速低功耗动态比较器结构原理图;

[0015] 图 5 为比较器比较时间随输入信号变化对比图;

[0016] 图 6 为比较器功耗随共模电压变化对比图;

[0017] 图 7 为比较器比较时间随电源电压变化对比图。

具体实施方式

[0018] 以下将结合附图,对本发明的优选实施例进行详细的描述;应当理解,优选实施例仅为了说明本发明,而不是为了限制本发明的保护范围。

[0019] 为了更详细的理解本发明的技术方案,先来分析几种传统结构比较器的工作原理和优缺点。

[0020] 图 1 示出了一种高速低失调动态比较器结构原理图(简称结构[1]),当控制信号 c1k1 为低电平时, c1k2 作为 c1k1 的延迟信号也为低电平, NMOS 管 M7/M8/M15 处于关断状态, PMOS 管 M11/M14 导通,通过反相器 I1/I2,比较器输出信号 Dp 和 Dn 为低电平,比较器处于复位状态;当 c1k1/c1k2 变为高电平后, NMOS 管 M7/M8/M15 导通,由 NMOS 管 M9/M10 和 PMOS 管 M12/M13 构成的锁存器迅速将 Tip 和 Tin 的电压差放大,并进入锁存状态。结构[1]的优点是采用了反相器输入结构,和普通的 NMOS 输入结构相比,失调和噪声较小。但是,缺点在于,输入级反相器的输出端 Tip 和 Tin 连接在锁存结构 M9/M10 的源极,所以,在锁存结构建立正反馈的初期,只有 M9 和 M10 在工作, M12 和 M13 没有工作,这种锁存原理并不能最大程度发挥锁存结构的优点,使得比较器速度较慢;同时,由于输入级采用了反相器输入结构,使得这种结构在锁存状态下,输入级仍然有静态电流,所以存在静态功耗。

[0021] 图 2 示出了一种高速低噪声动态比较器结构原理图(简称结构[2]),当控制信号 c1k1 为低电平时, NMOS 管 M3 关断, NMOS 管 M10 导通, PMOS 管 M6/M9 导通,通过反相器 I1/I2,比较器输出信号 Dp 和 Dn 为低电平,比较器处于复位状态;当 c1k1 变为高电平后, M10 关断, M3 导通,由 NMOS 管 M4/M5 和 PMOS 管 M7/M8 构成的锁存器迅速将 Bip 和 Bin 的电压差放大,并进入锁存状态。需要注意的是,图 2 中输入级的输出端 Bip 和 Bin 分别与 M4 和 M5

的漏极相连,所以,在锁存结构建立正反馈的初期,M4/M5 和 M7/M8 会同时工作,这种锁存原理最大程度发挥了锁存结构的优点,使得比较器能够快速的进入锁存状态。但是,图 2 所示比较器的缺点也是明显的,由于在复位状态 M10、M6 和 M9 同时导通,导致这种结构存在一个很大的静态功耗。

[0022] 图 3 示出了一种低功耗动态比较器结构原理图(简称结构[3]),当控制信号 clk1 为低电平时,clk2 作为 clk1 的延迟信号也为低电平,NMOS 管 M3/M4/M11 都关断,PMOS 管 M7/M10 导通,通过反相器 I1/I2,比较器输出信号 Dp 和 Dn 为低电平,比较器处于复位状态。当 clk1 变为高电平后,clk2 会保持一段时间的低电平,此时 M11 导通,M3/M4 保持关断,Aip 和 Ain 出现电压差,输入管 M1/M2 处于饱和状态,有助于噪声的抑制;随后,clk2 也变为高电平,由 NMOS 管 M5/M6 和 PMOS 管 M8/M9 构成的锁存器迅速将 Aip 和 Ain 的电压差放大,并进入锁存状态。图 3 所示结构的优点是等效输入噪声较小,在复位和锁存状态都没有静态功耗,但缺点和图 1 所示结构相似,比较器速度较低。

[0023] 本发明提出的高速低功耗动态比较器结构原理图如图 4 所示,

[0024] 该高速低功耗动态比较器,包括第一 NMOS 管 P1、第二 NMOS 管 P2、第六 NMOS 管 P10、延迟单元 B1、第一反向器 I1、第二反向器 I2、同或门 XNOR、与门 AND 和锁存器,所述锁存器包括第一控制端、第二控制端、第三控制端、第一输出端(输出第一输出信号)、第二输出端(输出第二输出信号)和电源端;所述第一 NMOS 管 P1 的栅极接第一输入信号(Vinp),第二 NMOS 管 P2 的栅极接第二输入信号(Vinn),所述第一 NMOS 管 P1 的源极、第二 NMOS 管 P2 的源极分别与第六 NMOS 管 P10 的漏极连接,第六 NMOS 管 P10 的源极接地;所述第一 NMOS 管 P1 的漏极分别与第二反向器 I2 的输入端、锁存器的第二输出端连接;所述第二 NMOS 管 P2 的漏极分别与第一反向器 I1 的输入端、锁存器的第一输出端连接;所述第一反向器 I1 的输出端与同或门 XNOR 的其中一个输入端连接,所述第二反向器 I2 的输出端与同或门的另一个输入端连接,所述同或门的输出端与与门的其中一个输入端连接,延迟单元 B1 的输入端与与门的另一个输入端连接,与门的输出端与第六 NMOS 管 P10 的栅极连接;所述延迟单元 B1 的输出端与第三控制端连接,所述延迟单元的输入端分别与第一控制端、第二控制端连接,所述电源端接 Vdd。

[0025] 所述锁存器包括第三 NMOS 管 P3、第四 NMOS 管 P4、第五 NMOS 管 P5、第一 PMOS 管 P6、第二 PMOS 管 P7、第三 PMOS 管 P8 和第四 PMOS 管 P9,所述第一 NMOS 管 P1 的漏极分别与第四 NMOS 管的漏极 P4、第一 PMOS 管的漏极 P6、第二 PMOS 管的漏极 P7、第五 NMOS 管 P5 的栅极、第三 PMOS 管 P8 的栅极连接,所述第二 NMOS 管 P2 的漏极分别与第五 NMOS 管 P5 的漏极、第三 PMOS 管 P8 的漏极、第四 PMOS 管 P9 的漏极、第四 NMOS 管 P4 的栅极、第二 PMOS 管 P7 的栅极连接,所述第一 PMOS 管 P6 的源极、第二 PMOS 管 P7 的源极、第三 PMOS 管 P8 的源极、第四 PMOS 管 P9 的源极分别与 Vdd 连接;所述第一 PMOS 管 P6 的栅极、第四 PMOS 管 P9 栅极分别与延迟单元 B1 的输入端连接,延迟单元 B1 的输出端与第三 NMOS 管 P3 的栅极连接,第三 NMOS 管 P3 的漏极分别与第四 NMOS 管 P4 的源极、第五 NMOS 管 P5 的源极连接,第三 NMOS 管 P3 的源极接地。

[0026] 在本实施例中,第一 PMOS 管和第四 PMOS 管为上拉 PMOS 管,第三 NMOS 管和第六 NMOS 管为下拉 NMOS 管

[0027] 在本实施例中,锁存器的第一输出信号经过第一反相器 I1 产生输出信号 Dp,锁存

器的第二输出信号经过第二反向器 I2 产生输出信号和 Dn, Dp 和 Dn 通过同或门 XNOR 产生输出信号, 这个输出信号和控制信号 clk1 作为与门 AND 的输入信号, 与门 AND 的输出信号控制 P10 的栅极, clk1 通过延迟单元 B1 产生其延迟信号 clk2。

[0028] 图 4 所示比较器有两个工作状态, 一个是复位状态, 一个是锁存状态。当比较器处于复位状态时, 控制信号 clk1 和 clk2 为低电平, NMOS 管 P3 和 P10 都关断, PMOS 管 P6、P9 导通, 将第一 NMOS 管 P1 产生的信号 Dip 和第二 NMOS 管 P2 产生的信号 Din 上拉到电源电压 Vdd, 通过反相器 I1、I2, 比较器输出信号 Dp 和 Dn 为低电平; 当比较器进入锁存状态时, 控制信号 clk1 变为高电平, clk2 作为 clk1 的延迟信号, 暂时保持为低电平, 此时, P10 导通, P3 仍然关闭, Dip 和 Din 开始出现电压差, P1、P2 处于饱和状态, 有助于抑制比较器等效输入噪声, 经过一定延迟后, 控制信号 clk2 也变为高电平, Dip 之间 Din 的电压差使得 P6、P7 和 P8、P9 构成的锁存器结构迅速进入锁存状态, 完成比较, 从而达到高速工作的目的。此时, 比较器输出信号 Dp 和 Dn 一个为高电平, 另一个为低电平, 它们通过同或门 XNOR 关闭 P10, 使得比较器在复位和锁存状态下, 都没有静态功耗, 从而达到低功耗的目的, 通过上述分析, 这种结构同时达到了高速并且低功耗的目的。

[0029] 另一方面, 随着电源电压的降低, 本发明提出的比较器结构, 相对于上述传统结构而言, 其高速的优势更加明显。原因在于, 本发明结构相对于图 2 和图 3 所示结构, 节省了一个锁存器结构中 NMOS 管的源漏电压差 V_{DS} , 使得在低电源电压应用场合, 本发明提出的结构更具速度优势。

[0030] 为了进一步验证本发明的上述优点, 在 65nmCMOS 工艺下, 对上述各种结构进行了仔细的设计, 对于上述四种结构采用相同的输入 / 输出管尺寸, 锁存器结构也采用相同的尺寸, 负载电容都取 15fF。

[0031] 时钟频率为 1.8GHz, 电源电压为 1.2V, 共模电压取 0.6V, 当 $|Dp-Dn| = 0.6V$ 时, 认为比较器完成比较。上述四种结构比较器的比较时间随输入差分信号 ΔVin 变化而变化的对比曲线如图 5 所示。

[0032] 时钟频率为 1.8GHz, 电源电压为 1.2V, 当 $|Dp-Dn| = 0.6V$ 时, 认为比较器完成比较。上述四种结构比较器的功耗随共模电压 V_{cm} 变化而变化的对比曲线如图 6 所示。

[0033] 时钟频率为 0.4GHz, 输入差分电压 ΔVin 为 50mV, 当 $|Dp-Dn| = 0.5V_{dd}$ 时, 认为比较器完成比较。上述四种结构比较器的比较时间随电源电压 Vdd 变化而变化的对比曲线如图 7 所示。

[0034] 比较器其他几种指标的仿真结果对比如下表所示, 从表中可以看出, 本发明和传统的几种结构相比, 其他几种指标处于中等水平。

[0035]

	[1]	[2]	[3]	Proposed
Delay sensitivity, ps/dec	76	55	81	55
Input-referred noise, μV	363	435	379	398
Offset, mV	5.1	6.3	5.4	5.8
Power consumption @ $\Delta Vin=1mV$, mW	0.344	0.551	0.288	0.252

[0036] 表中【1】【2】【3】分别代表图 1、图 2、图 3, proposed 为本发明。

[0037] 从上述仿真结果可以看出,本发明所提出的高速低功耗比较器结构和传统的几种结构相比,速度至少提高 30%,功耗至少降低 15%。

[0038] 以上所述仅为本发明的优选实施例,并不用于限制本发明,显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

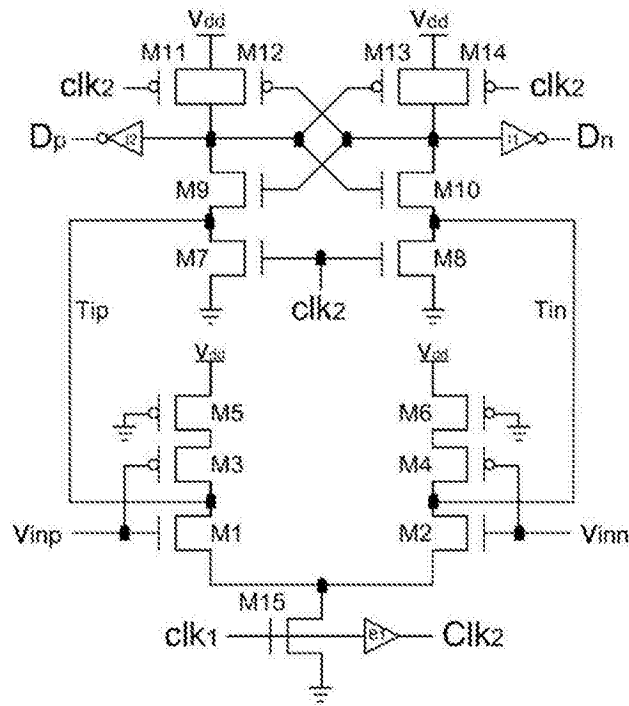


图 1

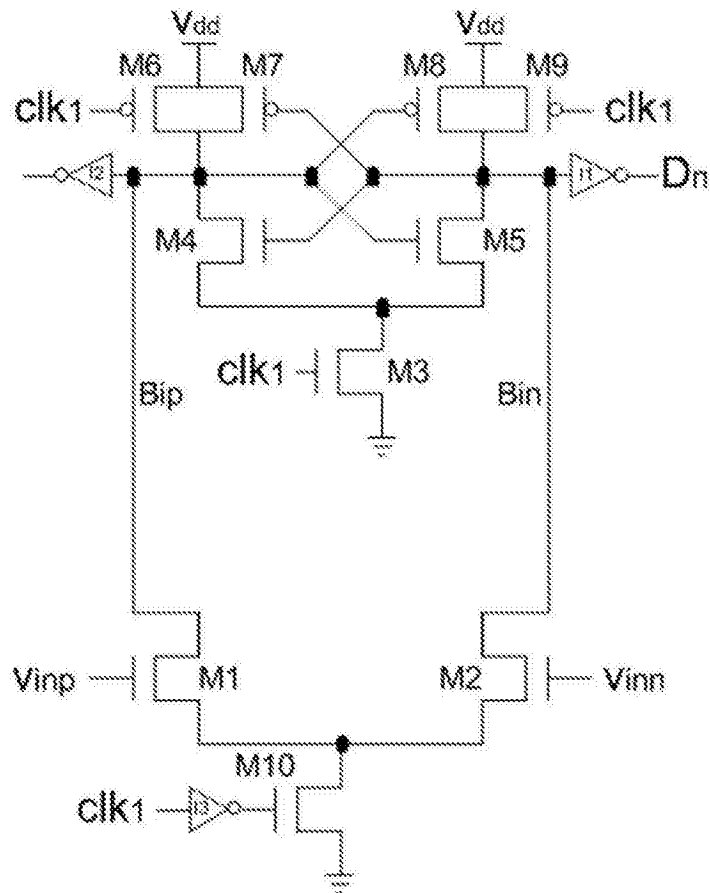


图 2

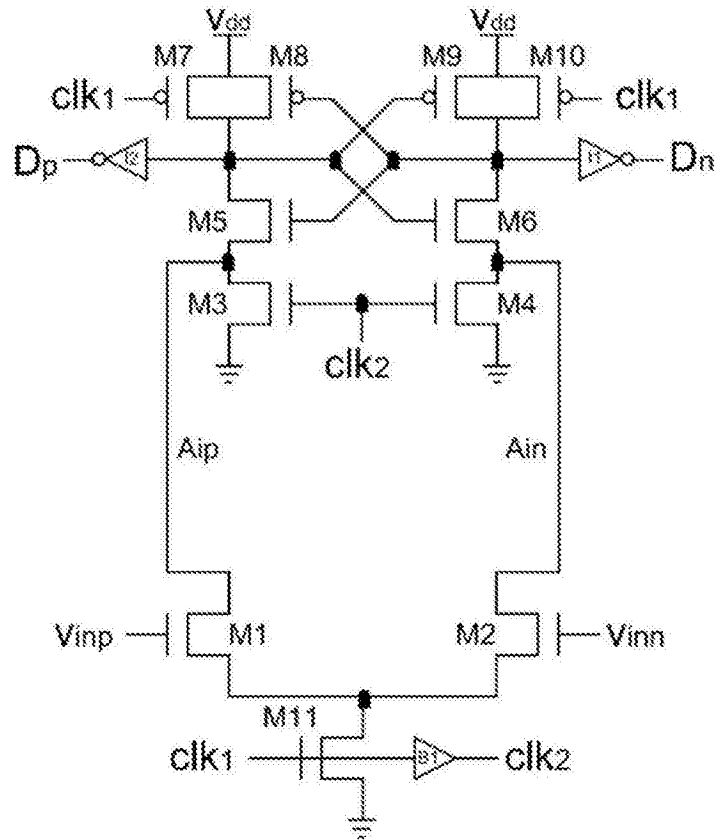


图 3

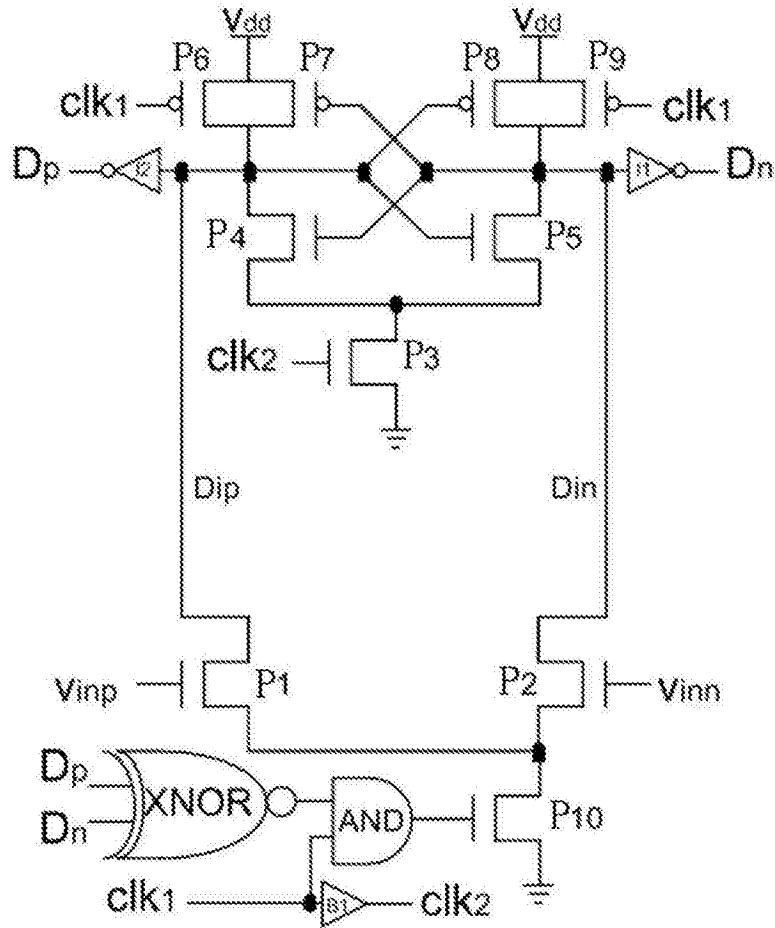


图 4

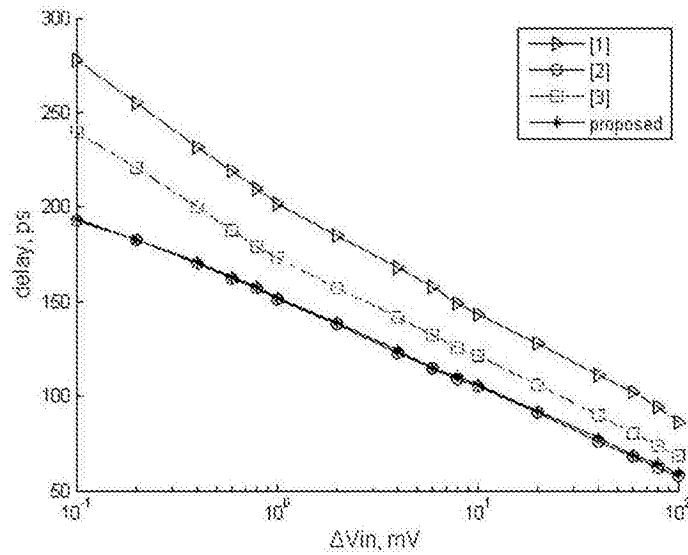


图 5

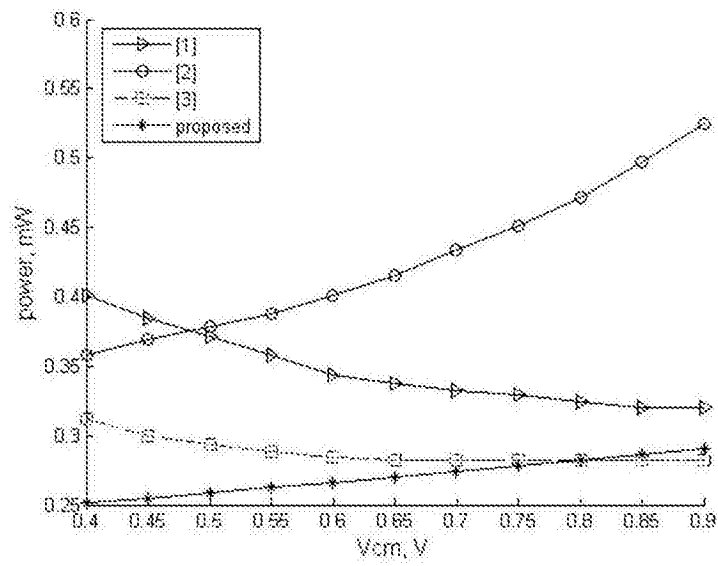


图 6

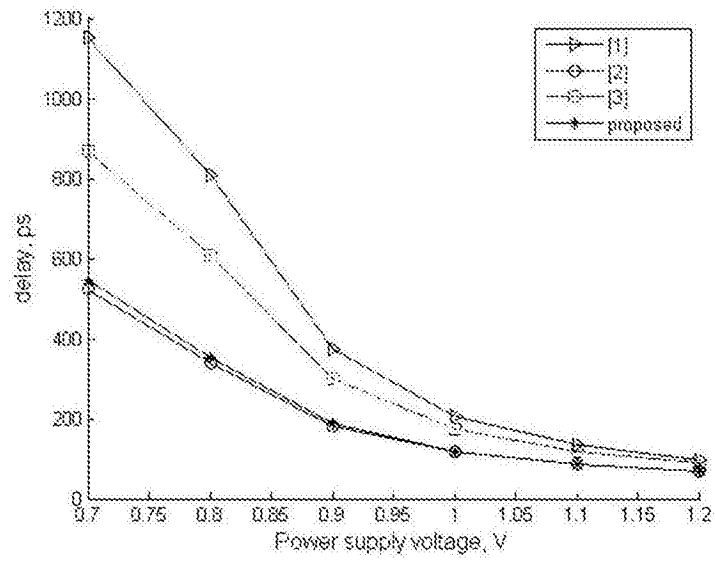


图 7