



(10) **DE 10 2013 214 224 B4** 2021.04.22

(12)

Patentschrift

(21) Aktenzeichen: **10 2013 214 224.2**
(22) Anmeldetag: **19.07.2013**
(43) Offenlegungstag: **23.01.2014**
(45) Veröffentlichungstag
der Patenterteilung: **22.04.2021**

(51) Int Cl.: **H02M 1/08 (2006.01)**
H02M 3/155 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
13/553,097 19.07.2012 US

(73) Patentinhaber:
Infineon Technologies Austria AG, Villach, AT

(74) Vertreter:
Westphal, Mussnug & Partner Patentanwälte mit beschränkter Berufshaftung, 81541 München, DE

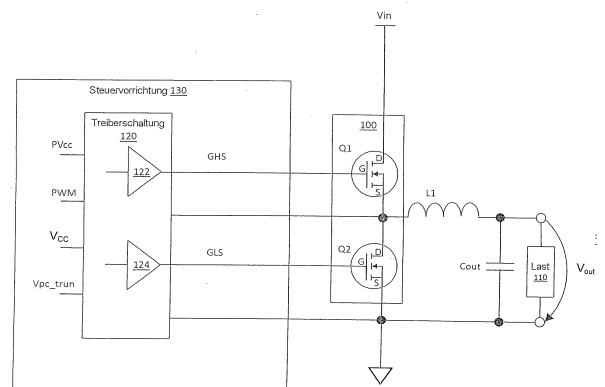
(72) Erfinder:
Ejury, Jens A., San Jose, Calif., US

(56) Ermittelter Stand der Technik:
US 2010 / 0 072 967 A1

TRESCASES, O.; WEN, Y.: A survey of light-load efficiency improvement techniques for low-power dc-dc converters. In: Power Electronics and ECCE Asia (ICPE & ECCE), 2011 IEEE 8th International Conference on, 2011, S. 326-333.

(54) Bezeichnung: **Ladungswiedergewinnung in Leistungswandler-Treiberstufen**

(57) Hauptanspruch: Leistungswandler, der aufweist:
einen ersten Transistor (Q1), der dazu ausgebildet ist, Strom zu einer Last zu leiten, wenn er eingeschaltet ist;
einen zweiten Transistor (Q2), der dazu ausgebildet ist, Induktorstrom im Freilauf fließen zu lassen oder Strom von der Last aufzunehmen, wenn er eingeschaltet ist; und
eine Treiberschaltung (120), die dazu ausgebildet ist, während einer ersten Periode (P1) den ersten Transistor (Q1) einzuschalten und den zweiten Transistor (Q2) auszuschalten, während einer dritten Periode (P3) nach der ersten Periode (P1) den ersten Transistor (Q1) auszuschalten und den zweiten Transistor (Q2) einzuschalten und während einer zweiten Periode (P2) zwischen der ersten und dritten Periode (P1, P3) ein Gate (G) des ersten Transistors (Q1) an ein Gate (G) des zweiten Transistors (Q2) anzuschließen, wenn die Gates (G) der ersten und zweiten Transistoren (Q1, Q2) floten.



Beschreibung**ZUSAMMENFASSUNG****TECHNISCHES GEBIET**

[0001] Die vorliegende Anmeldung betrifft Leistungswandler-Treiberstufen, insbesondere eine Ladungswiedergewinnung in Leistungswandler-Treiberstufen.

ALLGEMEINER STAND DER TECHNIK

[0002] Schaltleistungswandler (engl. switching power converters) sind aufgrund ihrer hohen Effizienz und geringen Größe bei Hochleistungsanwendungen weit verbreitet verwendet. Die Effizienz des Wandlers ist bei niederen und mittleren Leistungsebenen zunehmend wichtig. Zum Beispiel sind Abwärtswandler (engl.: buck converter) besonders gut geeignet, hohen Strom bei niederen Spannungen zu liefern, der von integrierten Hochleistungsschaltungen nach dem Stand der Technik, wie Mikroprozessoren, grafischen Prozessoren und Netzprozessoren, benötigt wird. Im Allgemeinen werden Abwärtswandler für gewöhnlich mit aktiven Komponenten wie einer Pulsbreitenmodulationssteuerung (PWM), einem Treiber, Leistungs-MOSFETs (Metalloxid-Halbleiter-Feldeffekttransistoren), und passiven Komponenten wie Induktoren, Transformatoren oder gekoppelten Induktoren, Kondensatoren und Widerständen ausgeführt.

[0003] Die meisten herkömmlichen Abwärtswandler verwenden einen direkten Antrieb zum Einschalten der MOSFETs der Leistungsstufe. Die Energie, die für den Gate-Antriebsprozess verwendet wird, wird dann für gewöhnlich gestreut. Einige herkömmliche Strategien versuchen, einen Teil der Gate-Antriebsenergie wiederzugewinnen, indem die Energie in externen Kondensatoren gespeichert wird, wodurch die Komplexität des Treibers erhöht wird, da ein zusätzlicher Stift und externe Komponenten notwendig sind. Die Speicherkapazität kann stattdessen im Treiber integriert werden, wobei dies aber die Größe und Kosten der Treiberschaltung erhöht.

[0004] Die Veröffentlichung A survey of light-load efficiency improvement techniques for low-power dcdc converters von O. Trescases, Y. Wen, in Power Electronics and ECCE Asia (ICPE & ECCE), 2011, IEEE 8th International Conference, offenbart verschiedene Verfahren zur Steigerung der Effizienz von Niederspannungs-DC-DC-Wandlern bei geringen Lasten. Eines der Verfahren ist das Capacitor-based charge recycling (CCR). Bei diesem Verfahren wird ein Teil der Gateladung eines Transistors in einem Kondensator gespeichert und später wieder verwendet. Die Druckschrift US 2010 / 0 072 967 A1 offenbart eine Steuerschaltung für einen Wandler.

[0005] Gemäß den hierin beschriebenen Ausführungsformen wird die Gate-Ladung eines High-Side-Transistors einer Leistungsstufen-Treiberschaltung wiedergewonnen und zum direkten Vorladen des Low-Side-Transistors der Treiberschaltung verwendet. Es wird kein zusätzlicher externer oder interner Kondensator zum Speichern der Gate-Ladung des High-Side-Transistors verwendet. Stattdessen wird die Gate-Kapazität des High-Side-Transistors zum direkten Vorladen des Low-Side-Transistors auf einen sicheren Pegel unter seiner Einschaltsschwelle verwendet.

[0006] Gemäß einer Ausführungsform eines Leistungswandlers umfasst der Leistungswandler einen ersten Transistor, der dazu ausgebildet ist, um Strom zu einer Last zu leiten, wenn er eingeschaltet ist, einen zweiten Transistor, der dazu ausgebildet ist, um Induktorstrom im Freilauf fließen zu lassen oder Strom von der Last aufzunehmen, wenn er eingeschaltet ist, und eine Treiberschaltung. Die Treiberschaltung ist dazu ausgebildet, während einer ersten Periode den ersten Transistor einzuschalten und den zweiten Transistor auszuschalten, während einer dritten Periode nach der ersten Periode den ersten Transistor auszuschalten und den zweiten Transistor einzuschalten und während einer zweiten Periode zwischen der ersten und dritten Periode ein Gate des ersten Transistors an ein Gate des zweiten Transistors anzuschließen, wenn die Gates der High-Side- und Low-Side-Transistoren floaten.

[0007] Gemäß einer Ausführungsform eines Verfahrens zum Betreiben eines Leistungswandlers weist das Verfahren auf: Koppeln eines High-Side-Transistors an eine Last durch einen Induktor; Koppeln eines Low-Side-Transistors an die Last durch den Induktor; Einschalten des High-Side-Transistors und Ausschalten des Low-Side-Transistors während einer ersten Periode; Ausschalten des High-Side-Transistors und Einschalten des Low-Side-Transistors während einer dritten Periode nach der ersten Periode; und Anschließen eines Gates des High-Side-Transistors an ein Gate des Low-Side-Transistors während einer zweiten Periode zwischen der ersten und dritten Periode, wenn die Gates der High-Side- und Low-Side-Transistoren floaten.

[0008] Gemäß einer anderen Ausführungsform eines Leistungswandlers weist der Leistungswandler einen High-Side-Transistor zum Koppeln an eine Last durch einen Induktor, einen Low-Side-Transistor zum Koppeln an die Last durch den Induktor und eine Treiberschaltung auf. Die Treiberschaltung ist betätigbar, um die High-Side- und Low-Side-Transistoren in verschiedenen Perioden ein- und auszuschalten, um der Last Leistung zuzuführen, und ein Gate des High-Side-Transistors an ein Gate des Low-Side-

Transistors anzuschließen, so dass Energie, die in einer Gate-zu-Source-Kapazität des High-Side-Transistors gespeichert ist, direkt zur Gate-zu-Source-Kapazität des Low-Side-Transistors während Perioden übertragen wird, in welchen die Gates der High-Side- und Low-Side-Transistoren floaten.

[0009] Gemäß einer Ausführungsform eines synchronen Abwärtswandlers weist der synchrone Abwärtswandler einen Ausgangsinduktor zum Koppeln an eine Last, einen ersten Transistor, der dazu ausgebildet ist, Strom durch den Ausgangsinduktor zur Last zu leiten, wenn er eingeschaltet ist, einen zweiten Transistor, der dazu ausgebildet ist, den Induktorstrom im Freilauf fließen zu lassen oder Strom von der Last aufzunehmen, wenn er eingeschaltet ist, und eine Treiberschaltung auf. Die Treiberschaltung ist dazu ausgebildet, während einer ersten Periode den ersten Transistor einzuschalten und den zweiten Transistor auszuschalten, während einer dritten Periode nach der ersten Periode den ersten Transistor auszuschalten und den zweiten Transistor einzuschalten und während einer zweiten Periode zwischen der ersten und dritten Periode ein Gate des ersten Transistors an ein Gate des zweiten Transistors anzuschließen, wenn die Gates der High-Side- und Low-Side-Transistoren floaten.

[0010] Gemäß einer Ausführungsform eines Leistungsstufentreibers weist der Leistungsstufentreiber einen Schaltkreis auf, der dazu ausgebildet ist, einen High-Side-Transistor und a Low-Side-Transistor in verschiedenen Perioden ein- und auszuschalten, um Leistung zu einer Last zu leiten und ein Gate des High-Side-Transistors an ein Gate des Low-Side-Transistors anzuschließen, so dass Energie, die in einer Gate-zu-Source-Kapazität des High-Side-Transistors gespeichert ist, während Perioden, in welchen das Gate des High-Side-Transistors floatet und die Gate-zu-Source-Spannung des Low-Side-Transistors unter der Schwellenspannung des Low-Side-Transistors liegt, direkt zum Low-Side-Transistor überführt wird.

[0011] Für Fachleute werden beim Lesen der folgenden ausführlichen Beschreibung und Betrachtung der beiliegenden Zeichnungen zusätzliche Merkmale und Vorteile offensichtlich.

Figurenliste

[0012] Die Elemente der Zeichnungen sind nicht notwendigerweise maßstabgetreu. Gleiche Bezugszeichen bezeichnen entsprechende gleiche Teile. Die Merkmale der verschiedenen dargestellten Ausführungsformen können kombiniert werden, sofern sie sich nicht gegenseitig ausschließen. Ausführungsformen sind in den Zeichnungen dargestellt und in der folgenden Beschreibung ausführlich beschrieben.

Fig. 1 zeigt ein Blockdiagramm eines Leistungswandlers mit Ladungswiedergewinnung.

Fig. 2 zeigt ein weiteres Blockdiagramm eines Leistungswandlers mit Ladungswiedergewinnung.

Fig. 3 zeigt ein Signalzeitdiagramm für einen Leistungswandler mit Ladungswiedergewinnung.

Fig. 4 zeigt ein Flussdiagramm einer Ausführungsform einer Ladungswiedergewinnung für einen Leistungswandler.

AUSFÜHRLICHE BESCHREIBUNG

[0013] Die hierin beschriebenen Ausführungsformen sehen eine Ladungswiedergewinnung in Leistungswandler-Treiberstufen durch Verwenden der Gate-Ladung des High-Side-Transistors der Leistungsstufe vor, um den Low-Side-Transistor der Leistungsstufe direkt vorzuladen. Die hierin beschriebenen direkten Ladungswiedergewinnungstechniken können bei einigen Schaltreglerarchitekturen angewendet werden, einschließlich: Abwärtsregler; Abwärts/Aufwärtsregler; Push-Pull; Halbbrücke; Vollbrücke. Ein Abwärtswandler verringert eine Gleichspannung auf eine geringere Gleichspannung. Ein Abwärts-/Aufwärtswandler erzeugt eine Ausgangsspannung entgegengesetzter Polarität zum Eingang. Ein Push-Pull-Wandler ist ein Zwei-Transistor-Wandler, der bei niedrigeren Eingangsspannungen besonders effizient ist. Ein Halbbrückenwandler ist ein Zwei-Transistor-Wandler, der in vielen Offline-Anwendungen verwendet wird. Ein Vollbrückenwandler ist ein Vier-Transistor-Wandler, der für gewöhnlich in Offline-Designs verwendet wird, die sehr hohe Ausgangsleistung erzeugen können.

[0014] Für jede Art von Schaltreglerarchitektur ist ein effizienter Betrieb durch Verwendung der Gate-Kapazität des High-Side-Transistors vorgesehen, um den Low-Side-Transistor der Leistungsstufe direkt vorzuladen. Der Low-Side-Transistor wird auf einen sicheren Pegel unter seiner Einschaltswelle vorgeladen, um ein unabsichtliches Einschalten des Low-Side-Transistors zu verhindern und einen angemessenen Betrieb der Leistungsstufe zu garantieren.

[0015] Anschließend werden Ausführungsformen der direkten Ladungswiedergewinnungstechnik beschrieben, die im Zusammenhang mit einem synchronen Abwärtsleistungswandler beschrieben wird. Für Fachleute ist klar, dass die hierin beschriebenen Ausführungsformen einer direkten Ladungswiedergewinnung leicht bei anderen Schaltreglerarchitekturen mit, wenn überhaupt, geringfügigen Modifizierungen angewendet werden können. Solche Modifizierungen liegen eindeutig in der Fähigkeit eines Durchschnittsfachmanns, ohne ungebührliche Versuche durchführen zu müssen.

[0016] Fig. 1 zeigt eine Ausführungsform eines synchronen Abwärtsleistungswandlers, der eine Leistungsstufe **100** mit einem High-Side-(HS) Transistor (Q1) und einem Low-Side-(LS) Transistor (Q2) zum Koppeln an eine Last **110** durch einen Ausgangsinduktor (L1) und Kondensator (Cout) aufweist. In verschiedenen Perioden schließt der High-Side-Transistor Q1 die Last **110** schaltbar an eine Eingangsspannung (Vin) an und der Low-Side-Transistor Q2 schließt die Last **110** schaltbar an die Erde an. Als solches leitet der High-Side-Transistor Q1 Strom durch den Induktor L1 zur Last **110**, wenn er eingeschaltet ist, und der Low-Side-Transistor Q2 lässt Induktorstrom (für einen positiven Strom) im Freilauf fließen oder nimmt Strom (für einen negativen Strom) von der Last **110** über den Induktor L1 auf, wenn er eingeschaltet ist. In Fig. 1 ist eine einzelne Ausgangsphase (Q1/Q2) dargestellt, es kann aber eine beliebige Anzahl von Phasen vorgesehen sein.

[0017] Eine Treiberschaltung **120** schaltet die High-Side- und Low-Side-Transistoren Q1, Q2 in verschiedenen Perioden ein und aus, um der Last **110** Leistung zuzuführen. Zu diesem Zweck enthält die Treiberschaltung **120** einen Treiber **122, 124**, der jeden Leistungsstufentransistor Q1, Q2 mit einem entsprechenden Gate-Treibersignal (GHS, GLS) ansteuert, um an der Last **110** eine Ausgangsspannung (Vout) vorzusehen. Die Treiberschaltung **120** schließt auch das Gate (G) des High-Side-Transistors Q1 an das Gate des Low-Side-Transistors Q2 in Perioden an, in welchen beide Transistoren Q1, Q2 nicht eingeschaltet sind, so dass Energie, die in der Gate-zu-Source-Kapazität des High-Side-Transistors Q1 gespeichert ist, direkt zum Low-Side-Transistor Q2 überführt wird, wodurch der Low-Side-Transistor Q2 vorgeladen wird.

[0018] Die Treiberschaltung **120** arbeitet unter der Steuerung einer Steuervorrichtung **130** des Leistungswandlers. Die Steuervorrichtung **130** liefert Signale (PWM, Vpc_trun) und Versorgungsspannungen (PVcc, Vcc) an die Treiberschaltung **120**, um den Betrieb der Treiberschaltung **120** zu steuern. Als solches schaltet die Steuervorrichtung **130** die Transistoren Q1, Q2 der Leistungsstufe **100** über die Treiberschaltung **120** so, dass die Leistungsstufe **100** während einiger Perioden positiven Strom durch den High-Side-Transistor Q1 zur Last **110** leitet und während anderer Perioden negativen Strom von der Last **110** durch den Low-Side-Transistor Q2 abnimmt oder positiven Induktorstrom im Freilauf fließen lässt. Als solches kann der Leistungswandler in einem kontinuierlichen Leitungsmodus (Continuous Conduction Mode, CCM) arbeiten und ist in der Lage Strom aufzunehmen.

[0019] Unter mäßigen bis schweren Lastbedingungen arbeitet der Leistungswandler in einem PWM (Pulsweitenmodulations-) Modus mit festgesetzter

Frequenz. Unter leichten Lastbedingungen geht der Leistungswandler durch Modulieren der Frequenz in einen Pulsfrequenzmodulations- (PFM) Niederleistungsmodus, wodurch eine höhere Effizienz unter leichten Lastbedingungen erreicht wird. Zum Beispiel kann ein PWM-Eingangssignal zum Wandler hochohmig („tristated“) sein, um den PFM-Modus zu unterstützen. Das Tristate-Fenster wird so lange gehalten, wie der Low-Side-Transistor Q2 ausgeschaltet bleiben muss. Als Reaktion kann die Treiberschaltung **120** das Vorladen des Low-Side-Transistors Q2 sperren, wenn der Leistungswandler im PFM-Modus arbeitet, indem ein direkter Anschluss zwischen den Gates der High-Side- und Low-Side-Transistoren Q1, Q2 verhindert wird, wenn beide Transistoren Q1, Q2 nicht eingeschaltet sind.

[0020] Im Allgemeinen kann die Treiberschaltung **120** die Vorladefunktion sperren, sobald der Low-Side-Transistor am Schalten gehindert wird. Zum Beispiel kann der Leistungswandler in einem Diodenemulationsmodus konfiguriert sein, in dem der Low-Side-Transistor nicht leitet. Die Vorladefunktion kann gesperrt werden, wenn der Low-Side-Transistor am Schalten gehindert wird, z.B. wenn der Wandler im passiven Diodenemulationsmodus konfiguriert ist, wobei das Gate des Low-Side-Transistors Q2 ausgeschaltet gehalten wird. Das Vorladesperrmerkmal kann nach Wunsch ausgeschaltet oder überhaupt nicht vorgesehen sein.

[0021] Die Steuervorrichtung **130** kann auch ein Vorlade-Abbruchsignal (Vpc_trun) für die Treiberschaltung **120** vorsehen, das anzeigt, ob die vorgeladene Gate-Spannung des Low-Side-Transistors Q2 eine vorbestimmte Grenze überschreitet. Die vorbestimmte Grenze ist so eingestellt, dass die Schwellenspannung des Low-Side-Transistors Q2 nicht überschritten wird, wodurch ein unabsichtliches (frühes) Einschalten des Low-Side-Transistors Q2 verhindert wird. Die Treiberschaltung **120** trennt während der Vorladeperiode das Gate des High-Side-Transistors Q1 vom Gate des Low-Side-Transistors Q2, wenn Vpc_trun anzeigt, dass die Gate-Spannung des Low-Side-Transistors Q2 die vorbestimmte Grenze überschreitet. Die Transistor-Gates bleiben für den Rest dieser Vorladeperiode getrennt.

[0022] Fig. 2 zeigt ausführlicher eine Ausführungsform der Treiberschaltung **120**. Die Treiber **122, 124** der Treiberschaltung **120** und die Last **110** sind nur der einfachen Darstellung wegen in Fig. 2 nicht dargestellt. Der Betrieb der Treiberschaltung **120** wird anschließend unter Bezugnahme auf das Zeitsteuerungsdiagramm von Fig. 3 und das Flussdiagramm von Fig. 4 erklärt.

[0023] Die Treiberschaltung wird durch eine Versorgungsspannung (Vcc) angetrieben und enthält mehrere Schalter (S1 bis S5) zum Steuern der Be-

triebszustände der Leistungsstufen-Transistoren Q1, Q2 und eine Logik **200** zum Steuern der Schalter. Verschiedene Steuersignale (PWM, Mode, Vpc_trun), die von der Steuervorrichtung **130** erzeugt werden, werden zur Treiberschaltungslogik **200** geleitet, um die Schaltzustände zu bestimmen. Die Treiberschaltungslogik **200** erzeugt ein erstes Steuersignal (C1) zum Steuern eines ersten Schalters (S1), der das Gate des High-Side-Transistors Q1 schaltbar an eine Versorgungsspannung PVcc koppelt, um den Transistor Q1 einzuschalten. Eine Bootstrap-Diode (Dboot) und ein Bootstrap-Kondensator (Cboot) können in der Treiberschaltung **120** enthalten sein werden, um eine Ladung zum Einschalten des High-Side-Transistors Q1 vorzusehen, wenn der Schalter S1 geschlossen ist. Die Treiberschaltungslogik **200** erzeugt ein zweites Steuersignal (C2) zum Steuern eines zweiten Schalters (S2), der das Gate des High-Side-Transistors Q1 schaltbar an sein Source koppelt, um den Transistor Q1 auszuschalten, ein drittes Steuersignal (C3) zum Steuern eines dritten Schalters (S3), der schaltbar das Gate des Low-Side-Transistors Q2 an PVcc koppelt, um den Transistor Q2 einzuschalten, ein viertes Steuersignal (C4) zum Steuern eines vierten Schalters (S4), das schaltbar das Gate des Low-Side-Transistors Q2 an sein Source koppelt, um den Transistor Q2 auszuschalten, und ein fünftes Steuersignal (C5) zum Steuern eines fünften Schalters (S5), das schaltbar die Gates der High-Side- und Low-Side-Transistoren Q1, Q2 während einer besonderen Periode des PWM-Zyklus direkt anschließt.

[0024] Fig. 3 zeigt die Zustände der Steuersignale C1 bis C5 als Funktion des PWM - Signals, das von der Steuervorrichtung **130** zur Treiberschaltungslogik **200** geleitet wird. Das Tastverhältnis (D) und die Schaltfrequenz (fsw) des PWM -Signals wird durch die Steuervorrichtung **130** bestimmt. Während des Betriebs schaltet die Treiberschaltungslogik **200** den High-Side-Transistor Q1 (C1 aktiv, C2 inaktiv) ein und schaltet den Low-Side-Transistor Q2 (C3 inaktiv, C4 aktiv) während einer ersten Periode P1 nach einer Verzögerung (tpropon) in der steigenden Flanke des PWM-Signals aus (Schritt **400**, Fig. 4). Der High-Side-Transistor Q1 leitet während der Periode P1 Strom zur Last **110**. Nach einer Verzögerung (tproppoff) in der fallenden Flanke des PWM-Signals floatet die Treiberschaltungslogik **200** die Gates der High-Side- und Low-Side-Transistoren Q1, Q2 und schließt die floatenden Transistor-Gates (C1 inaktiv, C2 inaktiv, C3 inaktiv, C4 inaktiv, C5 aktiv) während einer zweiten Periode P2 (Schritt **410**, Fig. 4) an. Periode P2 entspricht der Hoch-zu-Nieder-Totzeit (tdeadH-L' in Fig. 3) des Leistungswandlers, d.h., einem kleinen Zeitintervall, das ein simultanes Schalten der High-Side- und Low-Side-Transistoren Q1, Q2 während Hoch-zu-Nieder-Übergängen verhindert. Die Totzeit garantiert, dass die Leistungsversorgung nicht kurzgeschlossen wird.

[0025] Während der Hoch-zu-Nieder-Totzeit, die durch Periode P2 dargestellt ist, floaten die Gates beider Transistoren Q1, Q2 und sind direkt aneinander angeschlossen, so dass der Low-Side-Transistor Q2 durch direkte Überführung von Energie, die in der Gate-zu-Source-Kapazität des High-Side-Transistors Q1 gespeichert ist, zum Low-Side-Transistor Q2 über Schalter S5 vorgeladen wird (Schritt **420**, Fig. 4). Der Begriff „floaten“ oder „Floaten“, wie hierin verwendet, bedeutet, elektrisch von einer Leistungsquelle oder Erde getrennt.

[0026] In einer Ausführungsform schließt die Treiberschaltungslogik **200** den Schalter S5 während einer ersten Teilperiode (a) der zweiten Periode P2 durch Aktivieren des Steuersignals C5, so dass die Gates der High-Side- und Low-Side-Transistoren Q1, Q2 während der Teilperiode a kurzgeschlossen werden. Die Treiberschaltungslogik **200** aktiviert dann während einer zweiten Teilperiode (b) der zweiten Periode P2 das zweite Steuersignal (C2) und deaktiviert das fünfte Steuersignal (C5). Als Reaktion schließt der zweite Schalter S2 während der Teilperiode b der zweiten Periode P2 das Source des High-Side-Transistors Q1 an das Gate des High-Side-Transistors Q1 an und der fünfte Schalter S5 trennt die Gates der ersten und zweiten Transistoren Q1, Q2. Auf diese Weise werden die Gates der High-Side- und Low-Side-Transistoren Q1, Q2 getrennt und der High-Side-Transistor Q2 wird abgeschaltet, während das Gate des Low-Side-Transistors Q2 während der zweiten Teilperiode b der zweiten Periode P2 (C1 inaktiv, C2 aktiv, C3 inaktiv, C4 inaktiv, C5 inaktiv) weiterhin floatet („LS-Gate floatet“ in Fig. 3). Das Vorladen des Low-Side-Transistors Q2 ist daher im Hoch-zu-Nieder-Totzeitintervall des Leistungswandlers verborgen.

[0027] Die Treiberschaltungslogik **200** kann das Vorladen des Low-Side-Transistors Q2 abbrechen, wenn die Gate-Spannung (Vgs_LS) des Low-Side-Transistors Q2 eine vorbestimmte Grenze (Vgs_pc) überschreitet. Auf diese Weise kann die Gate-Spannung des Low-Side-Transistors Q2 während des Vorladens unter der Schwellenspannung (Vgs_th_LS) des Low-Side-Transistors Q2 gehalten werden, wodurch ein unabsichtliches Einschalten des Low-Side-Transistors Q2 in der Periode P2 verhindert wird. In einer Ausführungsform enthält die Leistungswandler-Steuervorrichtung **130** einen Komparator **210**, der ein Abbruchsignal (Vpc_trun) aktiviert, falls Vgs_LS Vgs_pc während des Vorladens übersteigt. Die Treiberschaltungslogik **200** deaktiviert das Steuersignal C5 als Reaktion, wodurch der Schalter S5 geöffnet wird und die Gates der High-Side- und Low-Side-Transistoren Q1, Q2 für den Rest von Periode P2 getrennt werden (Schritt **430**, Fig. 4).

[0028] Während der nächsten Periode P3 des PWM-Zyklus schaltet die Treiberschaltungslogik **200** den

High-Side-Transistor Q1 (C1 inaktiv, C2 aktiv) aus und schaltet den Low-Side-Transistor Q2 (C3 aktiv, C4 inaktiv) während der Periode P3 ein (Schritt **440**, **Fig. 4**). Der Low-Side-Transistor Q2 lässt in Periode P3 Induktorstrom im Freilauf fließen oder nimmt Strom von der Last **110** auf. Die Treiberschaltungsglogik **200** schaltet sowohl den High-Side-Transistor Q1 (C1 inaktiv, C2 aktiv) wie auch den Low-Side-Transistor Q2 (C3 inaktiv, C4 aktiv) während einer vierten Periode P4 des PWM-Zyklus aus (Schritt **450**, **Fig. 4**). Periode P4 entspricht der Nieder-zu-Hoch-Totzeit ($t_{deadL-H}$ in **Fig. 3**) des Leistungswandlers, in der ein simultanes Schalten der High-Side- und Low-Side-Transistoren Q1, Q2 während Nieder-zu-Hoch-Übergängen verhindert wird, wodurch ein Kurzschluss der Leistungsversorgung vermieden wird. Dann beginnt der nächste PWM-Zyklus und der Prozess wird wiederholt. Die Treiberschaltung **120** kann ein Vorladen des Low-Side-Transistors Q2 sperren, wenn der Low-Side-Transistor Q2 nicht leitend ist, z.B. wenn der Leistungswandler im PFM-Modus oder in einem Diodenemulationsmodus wie hierin zuvor beschrieben arbeitet, indem ein direkter Anschluss zwischen den Gates der High-Side- und Low-Side-Transistoren Q1, Q2 in Periode P2 verhindert wird.

[0029] Begriffe wie „erster“, „zweiter“ und dergleichen werden zur Beschreibung verschiedener Elemente, Regionen, Abschnitte usw. verwendet und sollen nicht einschränkend sein. Gleiche Begriffe beziehen sich in der gesamten Beschreibung auf gleiche Elemente

[0030] Wie hierin verwendet, sind die Begriffe „haben“, „beinhalten“, „enthalten“, „aufweisen“ und dergleichen Begriffe mit offenem Ende, die das Vorhandensein von genannten Elementen oder Merkmalen angeben, aber zusätzliche Elemente oder Merkmale nicht ausschließen. Die Artikel „einer, eine, eines“ und „der, die das“ sollen den Plural wie auch den Singular enthalten, falls der Zusammenhang nicht eindeutig anderes verlangt.

Patentansprüche

1. Leistungswandler, der aufweist:
einen ersten Transistor (Q1), der dazu ausgebildet ist, Strom zu einer Last zu leiten, wenn er eingeschaltet ist;
einen zweiten Transistor (Q2), der dazu ausgebildet ist, Induktorstrom im Freilauf fließen zu lassen oder Strom von der Last aufzunehmen, wenn er eingeschaltet ist; und
eine Treiberschaltung (120), die dazu ausgebildet ist, während einer ersten Periode (P1) den ersten Transistor (Q1) einzuschalten und den zweiten Transistor (Q2) auszuschalten, während einer dritten Periode (P3) nach der ersten Periode (P1) den ersten Transistor (Q1) auszuschalten und den zweiten Transistor (Q2) einzuschalten und während einer zweiten

Periode (P2) zwischen der ersten und dritten Periode (P1, P3) ein Gate (G) des ersten Transistors (Q1) an ein Gate (G) des zweiten Transistors (Q2) anzuschließen, wenn die Gates (G) der ersten und zweiten Transistoren (Q1, Q2) floaten.

2. Leistungswandler nach Anspruch 1, bei dem die Treiberschaltung (120) dazu ausgebildet ist, die Gates (G) der ersten und zweiten Transistoren (Q1, Q2) während einer ersten Teilperiode (a) der zweiten Periode (P2) floaten zu lassen und während einer zweiten Teilperiode (b) der zweiten Periode (P2) nach der ersten Teilperiode (a) den ersten Transistor (Q1) auszuschalten, während das Gate (G) des zweiten Transistors (Q2) weiterhin floatet.

3. Leistungswandler nach Anspruch 1, bei dem die Treiberschaltung (120) dazu ausgebildet ist, während einer vierten Periode (P4) nach der dritten Periode (P3) den ersten Transistor (Q1) auszuschalten und den zweiten Transistor (Q2) auszuschalten.

4. Leistungswandler nach Anspruch 3, bei dem die Treiberschaltung (120) aufweist:

einen ersten Schalter (S1), der dazu ausgebildet ist, das Gate des (G) ersten Transistors (Q1) an eine Versorgungsspannung (PVcc) als Reaktion auf ein erstes Steuersignal (C1) anzuschließen, das während der ersten Periode (P1) aktiv ist;
einen zweiten Schalter (S2), der dazu ausgebildet ist, ein Source (S) des ersten Transistors (Q1) an das Gate (G) des ersten Transistors (G) als Reaktion auf ein zweites Steuersignal (C2) anzuschließen, das während der vierten Periode (P4) aktiv ist;
einen dritten Schalter (S3), der dazu ausgebildet ist, das Gate (G) des zweiten Transistors (Q2) an die Versorgungsspannung (PVcc) als Reaktion auf ein drittes Steuersignal (C3) anzuschließen, das während der dritten Periode (P3) aktiv ist;
einen vierten Schalter (S4) der dazu ausgebildet ist, ein Source (S) des zweiten Transistors (Q2) an das Gate (G) des zweiten Transistors (Q2) als Reaktion auf ein viertes Steuersignal (C4) anzuschließen, das während der vierten Periode (P4) aktiv ist;
einen fünften Schalter (S5), der dazu ausgebildet ist, das Gate (G) des ersten Transistors (Q1) an das Gate (G) des zweiten Transistors (Q2) als Reaktion auf ein fünftes Steuersignal (C5) anzuschließen, das während der zweiten Periode (P2) aktiv ist; und
eine Logik (200), die dazu ausgebildet ist, die Steuersignale (C1, C2, C3, C4, C5) zu aktivieren und zu deaktivieren.

5. Leistungswandler nach Anspruch 4, bei dem die Logik (200) dazu ausgebildet ist, während der zweiten Teilperiode (b) der zweiten Periode (P2) das zweite Steuersignal (C2) zu aktivieren und das fünfte Steuersignal (C5) zu deaktivieren und während der vierten Periode (P4) das zweite Steuersignal (C2) zu aktivieren, so dass der zweite Schalter (S2) das

Source (S) des ersten Transistors (Q1) an das Gate (G) des ersten Transistors (Q1) während der zweiten Teilperiode (b) der zweiten Periode (P2) und während der vierten Periode (P4) anschließt und der fünfte Schalter (S5) die Gates (G) der ersten und zweiten Transistoren (Q1, Q2) nur während der ersten Teilperiode (a) der zweiten Periode (P2) anschließt.

6. Leistungswandler nach Anspruch 1, wobei der Leistungswandler dazu ausgebildet ist, in einem Pulsbreitenmodulationsmodus (PWM) unter mäßigen und schweren Lastbedingungen und in einem Pulsfrequenzmodulationsmodus (PFM) unter leichten Lastbedingungen zu arbeiten, und wobei die Treiberschaltung (120) dazu ausgebildet ist, zu verhindern, dass die Gates (G) der ersten und zweiten Transistoren (Q1, Q2) aneinander angeschlossen werden, wenn der Leistungswandler im Pulsfrequenzmodulationsmodus (PWM) arbeitet.

7. Leistungswandler nach Anspruch 1, bei dem die Treiberschaltung (120) dazu ausgebildet ist, zu verhindern, dass die Gates (G) der ersten und zweiten Transistoren (Q1, Q2) während der zweiten Periode (P2) aneinander angeschlossen werden, wenn ein Schalten des zweiten Transistors (Q2) verhindert wird.

8. Leistungswandler nach Anspruch 1, bei dem die Treiberschaltung (120) dazu ausgebildet ist, um während der zweiten Periode (P2) das Gate (G) des ersten Transistors (Q1) vom Gate (G) des zweiten Transistors (Q2) zu trennen, wenn die Gate-Spannung des zweiten Transistors eine vorbestimmte Grenze überschreitet.

9. Verfahren zum Betreiben eines Leistungswandlers, das aufweist:

Koppeln eines High-Side-Transistors (Q1) an eine Last durch einen Induktor (L1);

Koppeln eines Low-Side-Transistors (Q2) an die Last durch den Induktor (L1);

Einschalten des High-Side-Transistors (Q1) und Ausschalten des Low-Side-Transistors (Q2) während einer ersten Periode (P1);

Ausschalten des High-Side-Transistors (Q1) und Einschalten des Low-Side-Transistors (Q2) während einer dritten Periode (P3) nach der ersten Periode (P1); und

Anschließen eines Gates (G) des High-Side-Transistors (Q1) an ein Gate (G) des Low-Side-Transistors (Q2) während einer zweiten Periode (P2) zwischen der ersten und dritten Periode (P1, P3), wenn die Gates (G) der High-Side- und Low-Side-Transistoren (Q1, Q2) floaten.

10. Verfahren nach Anspruch 9, bei dem das Anschließen des Gates (G) des High-Side-Transistors (Q1) an das Gate (G) des Low-Side-Transistors (Q2) in der zweiten Periode (P2) aufweist:

Floaten lassen der Gates (G) der High-Side- und Low-Side-Transistoren (Q1, Q2) während einer ersten Teilperiode (a) der zweiten Periode (P2); und Ausschalten des High-Side-Transistors (Q1), während das Gate (G) des Low-Side-Transistors (Q2) weiterhin floatet, während einer zweiten Teilperiode (b) der zweiten Periode (P2) nach der ersten Teilperiode (a).

11. Verfahren nach Anspruch 9, das weiterhin aufweist: das Ausschalten des High-Side-Transistors (Q1) und das Ausschalten des Low-Side-Transistors (Q2) während einer vierten Periode (P4) nach der dritten Periode (P3).

12. Verfahren nach Anspruch 11, bei dem das Anschließen des Gates (G) des High-Side-Transistors (Q1) an das Gate (G) des Low-Side-Transistors (Q2) während der zweiten Periode (P2) aufweist:

Anschließen des Gates (G) des High-Side-Transistors (Q1) an eine Versorgungsspannung (PVcc) als Reaktion auf ein erstes Steuersignal (C1), das während der ersten Periode (P1) aktiv ist;

Anschließen eines Source (S) des High-Side-Transistors (Q1) an das Gate (G) des High-Side-Transistors (Q1) als Reaktion auf ein zweites Steuersignal (C2), das während der vierten Periode (P4) aktiv ist;

Anschließen des Gates (G) des Low-Side-Transistors (Q2) an die Versorgungsspannung (PVcc) als Reaktion auf ein drittes Steuersignal (C3), das während der dritten Periode (P3) aktiv ist;

Anschließen eines Source (S) des Low-Side-Transistors (Q2) an das Gate (G) des Low-Side-Transistors (Q2) als Reaktion auf ein viertes Steuersignal (C4), das während der vierten Periode (P4) aktiv ist; und

Anschließen des Gates (G) des High-Side-Transistors (Q1) an das Gate (G) des Low-Side-Transistors (Q2) als Reaktion auf ein fünftes Steuersignal (C5), das während der zweiten Periode (P2) aktiv ist.

13. Verfahren nach Anspruch 12, das weiterhin aufweist: das Aktivieren des zweiten Steuersignals (C2) während der zweiten Teilperiode (b) der zweiten Periode (P2) und während der vierten Periode (P4), so dass der zweite Schalter (S2) während der zweiten Teilperiode (b) der zweiten Periode (P2) und während der vierten Periode (P4) das Source (S) des High-Side-Transistors (Q1) an das Gate (G) des High-Side-Transistors (Q1) anschließt.

14. Verfahren nach Anspruch 9, bei dem der Leistungswandler dazu ausgebildet ist, in einem Pulsbreitenmodulationsmodus (PWM) unter mäßigen und schweren Lastbedingungen und in einem Pulsfrequenzmodulationsmodus (PFM) unter leichten Lastbedingungen zu arbeiten, wobei das Verfahren weiterhin aufweist: das Verhindern, dass die Gates (G) der High-Side- und Low-Side-Transistoren (Q1, Q2) aneinander angeschlossen werden, wenn

der Leistungswandler im Pulsfrequenzmodulationsmodus (PFM) arbeitet.

15. Verfahren nach Anspruch 9, das weiterhin aufweist: das Trennen des Gates (G) des High-Side-Transistors (Q1) vom Gate (G) des Low-Side-Transistors (Q2) während der zweiten Periode (P2), wenn die Gate-Spannung des Low-Side-Transistors (Q2) eine vorbestimmte Grenze überschreitet.

16. Leistungswandler, der aufweist:
einen High-Side-Transistor (Q1) zum Koppeln an eine Last durch einen Induktor (L1);
einen Low-Side-Transistor (Q2) zum Koppeln an die Last durch den Induktor (L1); und
eine Treiberschaltung (120), die dazu ausgebildet ist, die High-Side- und Low-Side-Transistoren (Q1, Q2) in verschiedenen Perioden ein- und auszuschalten, um der Last Leistung zuzuführen, und ein Gate (G) des High-Side-Transistors (Q1) an ein Gate (G) des Low-Side-Transistors (Q2) anzuschließen, so dass Energie, die in einer Gate-zu-Source-Kapazität des High-Side-Transistors (Q1) gespeichert ist, während Perioden, in welchen die Gates der High-Side- und Low-Side-Transistoren (Q1, Q2) floaten, direkt zum Low-Side-Transistor (Q2) überführt wird, um den Low-Side-Transistor (Q2) vorzuladen.

17. Synchroner Abwärtswandler, der aufweist:
einen Ausgangsinduktor (L1) zum Koppeln an eine Last;
einen ersten Transistor (Q1), der dazu ausgebildet ist, Strom durch den Ausgangsinduktor (L1) zur Last zu leiten, wenn er eingeschaltet ist;
einen zweiten Transistor (Q2), der dazu ausgebildet ist, den Induktorstrom im Freilauf fließen zu lassen oder Strom von der Last aufzunehmen, wenn er eingeschaltet ist; und
eine Treiberschaltung (120), die dazu ausgebildet ist, während einer ersten Periode (P1) den ersten Transistor (Q1) einzuschalten und den zweiten Transistor (Q2) auszuschalten, während einer dritten Periode (P3) nach der ersten Periode (P1) den ersten Transistor (Q1) auszuschalten und den zweiten Transistor (Q2) einzuschalten, und während einer zweiten Periode (P2) zwischen der ersten und dritten Periode (P1, P3) ein Gate (G) des ersten Transistors (Q1) an ein Gate (G) des zweiten Transistors (Q2) anzuschließen, wenn die Gates (G) der ersten und zweiten Transistoren (Q1, Q2) floaten.

18. Leistungsstufentreiber (120), der aufweist: einen Schaltkreis, der dazu ausgebildet ist, einen High-Side-Transistor (Q1) und einen Low-Side-Transistor (Q2) in verschiedenen Perioden ein- und auszuschalten, um Leistung zu einer Last zu leiten und ein Gate (G) des High-Side-Transistors (Q1) an ein Gate (G) des Low-Side-Transistors (Q2) anzuschließen, so dass Energie, die in einer Gate-zu-Source-Kapazität des High-Side-Transistors (Q1) gespeichert ist,

direkt zu einer Gate-zu-Source-Kapazität des Low-Side-Transistors (Q2) während Perioden überführt wird, in welchen die Gates (G) beider Transistoren (Q1, Q2) floaten und die Gate-zu-Source-Spannung des Low-Side-Transistors (Q2) unter der Schwellenspannung des Low-Side-Transistors (Q2) liegt.

19. Leistungsstufentreiber (120) nach Anspruch 18, bei dem der Schaltkreis dazu ausgebildet ist, die Gates (G) der High-Side- und Low-Side-Transistoren (Q1, Q2) floaten zu lassen und während einer ersten Teilperiode (a) der zweiten Periode (P2) zu verbinden, und während einer zweiten Teilperiode (b) der zweiten Periode (P2), die der ersten Teilperiode (a) folgt, den High-Side-Transistor (Q1) auszuschalten und die Gates (G) der High-Side- und Low-Side-Transistoren (Q1, Q2) zu trennen, während das Gate (G) des Low-Side-Transistors (Q2) weiterhin floatet.

20. Leistungsstufentreiber (120) nach Anspruch 18, wobei der Schaltkreis dazu ausgebildet ist, während einer vierten Periode (P4) nach der dritten Periode (P3) den High-Side-Transistor (Q1) auszuschalten und den Low-Side-Transistor (Q2) auszuschalten.

21. Leistungsstufentreiber (120) nach Anspruch 20, bei dem der Schaltkreis aufweist:
einen ersten Schalter (S1), der dazu ausgebildet ist, das Gate (G) des High-Side-Transistors (Q1) an eine Versorgungsspannung (PVcc) als Reaktion auf ein erstes Steuersignal (C1) anzuschließen, das während der ersten Periode (P1) aktiv ist;
einen zweiten Schalter (S2), der dazu ausgebildet ist, ein Source (S) des High-Side-Transistors (Q1) an das Gate (G) des High-Side-Transistors (Q1) als Reaktion auf ein zweites Steuersignal (C2) anzuschließen, das während der vierten Periode (P4) aktiv ist;
einen dritten Schalter (S3), der dazu ausgebildet ist, das Gate (G) des Low-Side-Transistors (Q2) an die Versorgungsspannung (PVcc) als Reaktion auf ein drittes Steuersignal (C3) anzuschließen, das während der dritten Periode (P3) aktiv ist;
einen vierten Schalter (S4), der dazu ausgebildet ist, ein Source (S) des Low-Side-Transistors (Q2) an das Gate (G) des Low-Side-Transistors (Q2) als Reaktion auf ein viertes Steuersignal (C4) anzuschließen, das während der vierten Periode (P4) aktiv ist;
einen fünften Schalter (S5), der dazu ausgebildet ist, das Gate (G) des High-Side-Transistors (Q1) an das Gate (G) des Low-Side-Transistors (Q2) als Reaktion auf ein fünftes Steuersignal (C5) anzuschließen, das während der zweiten Periode (P2) aktiv ist; und
eine Logik (200), die dazu ausgebildet ist, die Steuersignale (C1, C2, C3, C4, C5) zu aktivieren und zu deaktivieren.

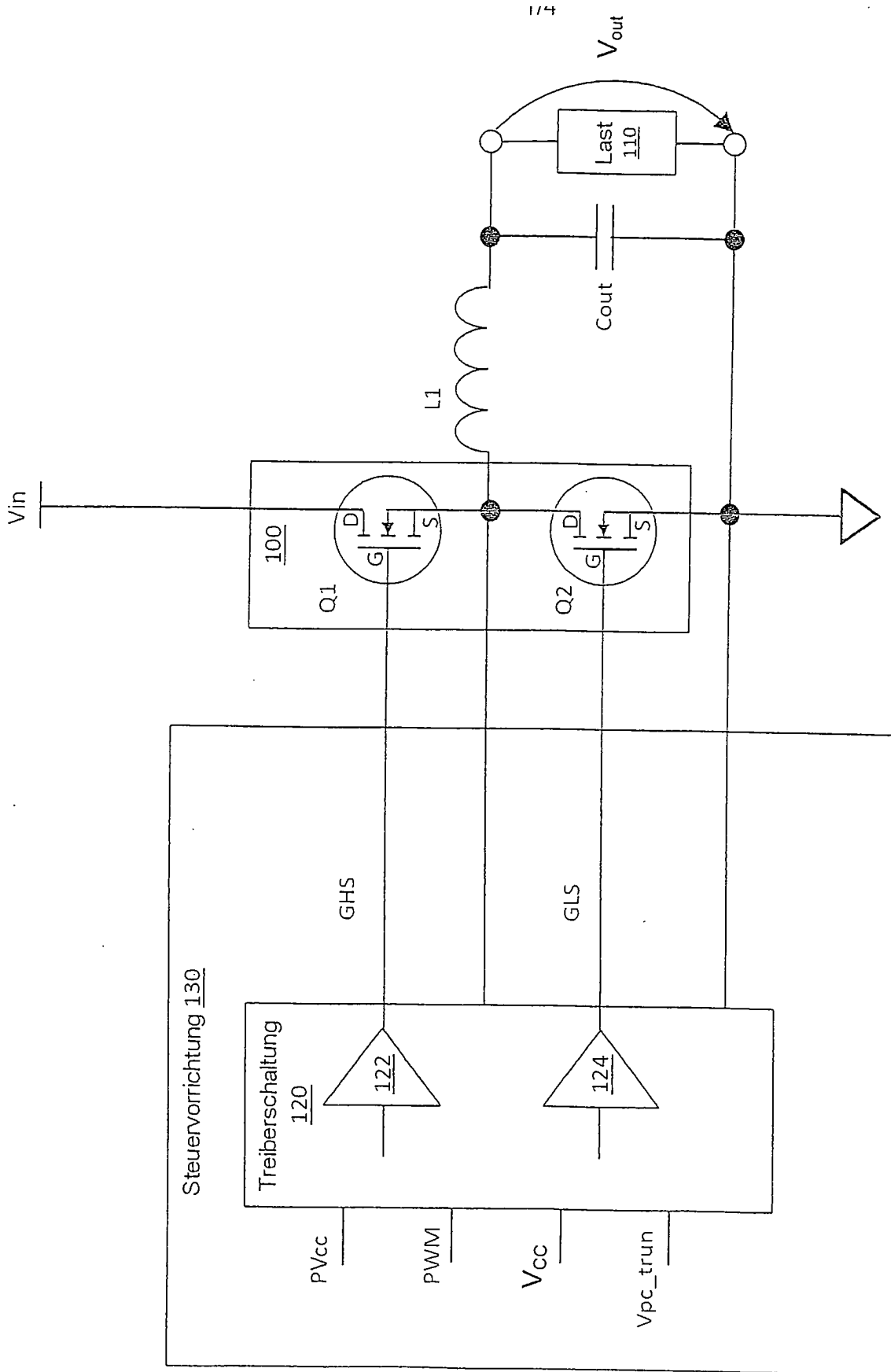
22. Leistungsstufentreiber (120) nach Anspruch 21, bei dem die Logik (200) dazu ausgebildet ist, während der zweiten Teilperiode (b) der zweiten Periode

(P2) das zweite Steuersignal (C2) zu aktivieren und das fünfte Steuersignal (C5) zu deaktivieren und während der vierten Periode (P4) das zweite Steuersignal (C2) zu aktivieren, so dass der zweite Schalter (S2) das Source (S) des High-Side-Transistors (Q1) an das Gate (G) des High-Side-Transistors (Q1) während der zweiten Teilperiode (b) der zweiten Periode (P2) und während der vierten Periode (P4) anschließt und der fünfte Schalter (S5) die Gates (G) des High-Side- und Low-Side-Transistors (Q1, Q2) nur während der ersten Teilperiode (a) der zweiten Periode (P2) anschließt.

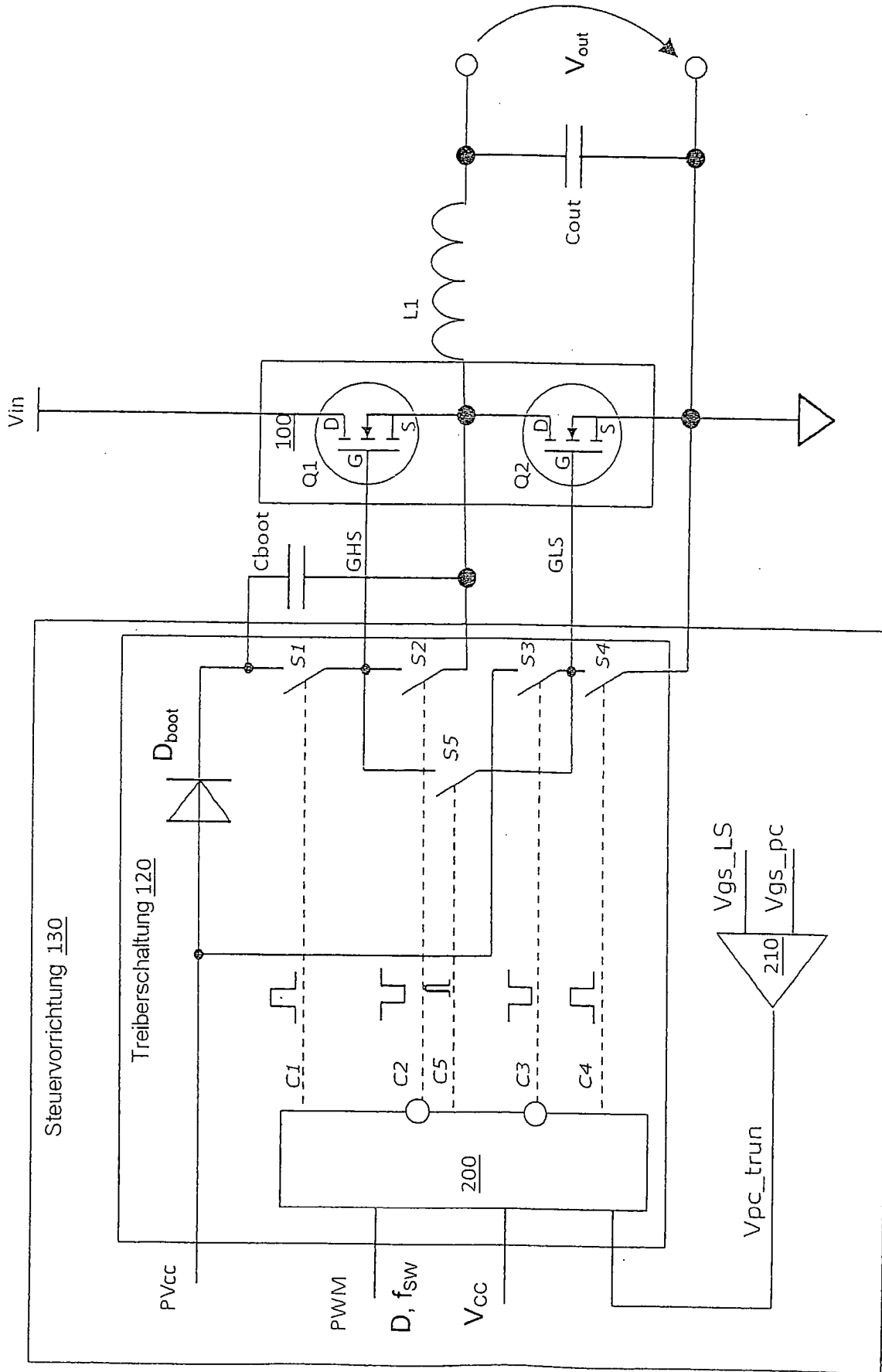
23. Leistungsstufentreiber (120) nach Anspruch 18, bei dem der Schaltkreis dazu ausgebildet ist, um während der zweiten Periode (P2) das Gate (G) des High-Side-Transistors (Q1) vom Gate (G) des Low-Side-Transistors (Q2) zu trennen, wenn die Gate-Spannung des Low-Side-Transistors (Q2) eine vorbestimmte Grenze überschreitet.

Es folgen 4 Seiten Zeichnungen

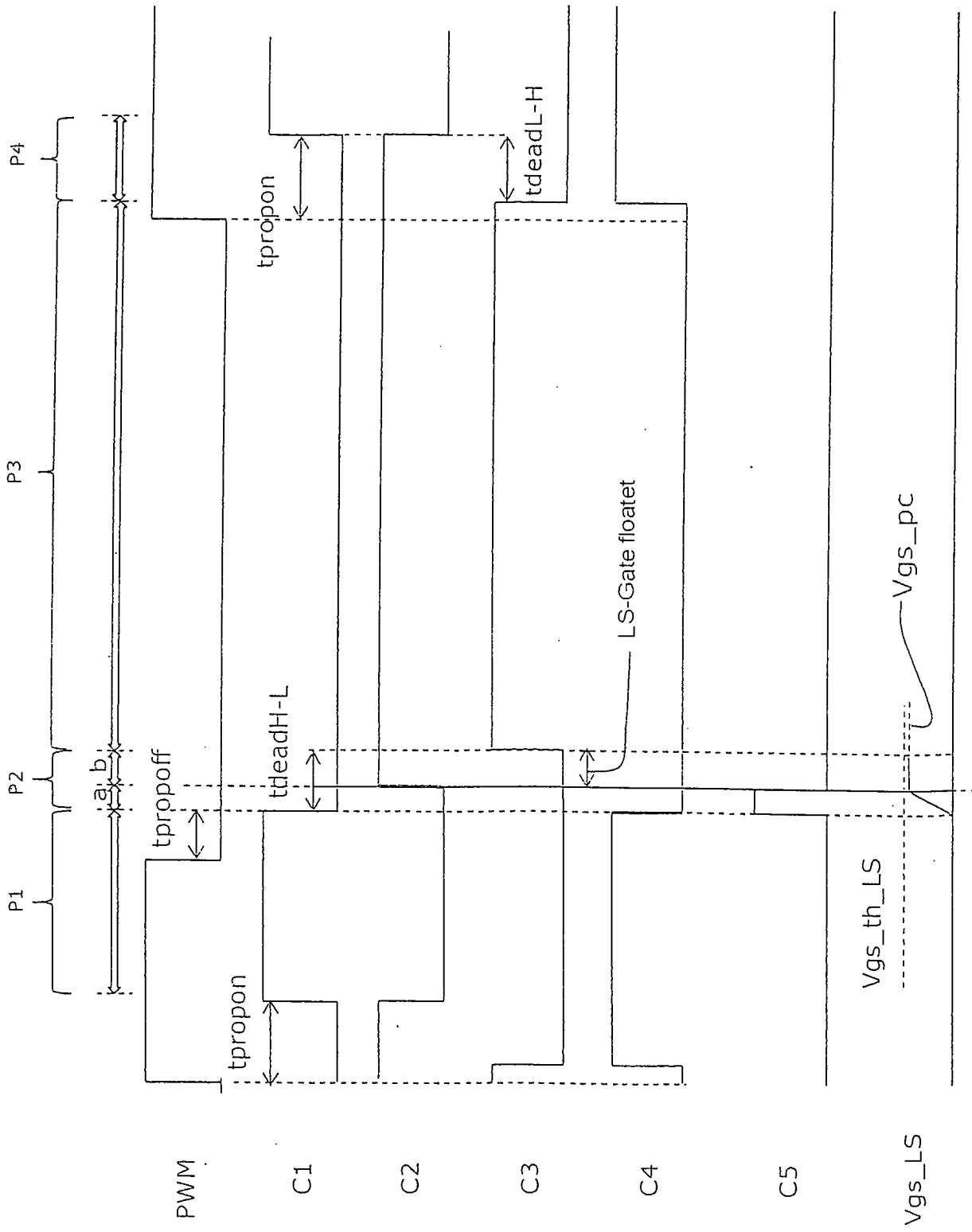
Anhängende Zeichnungen



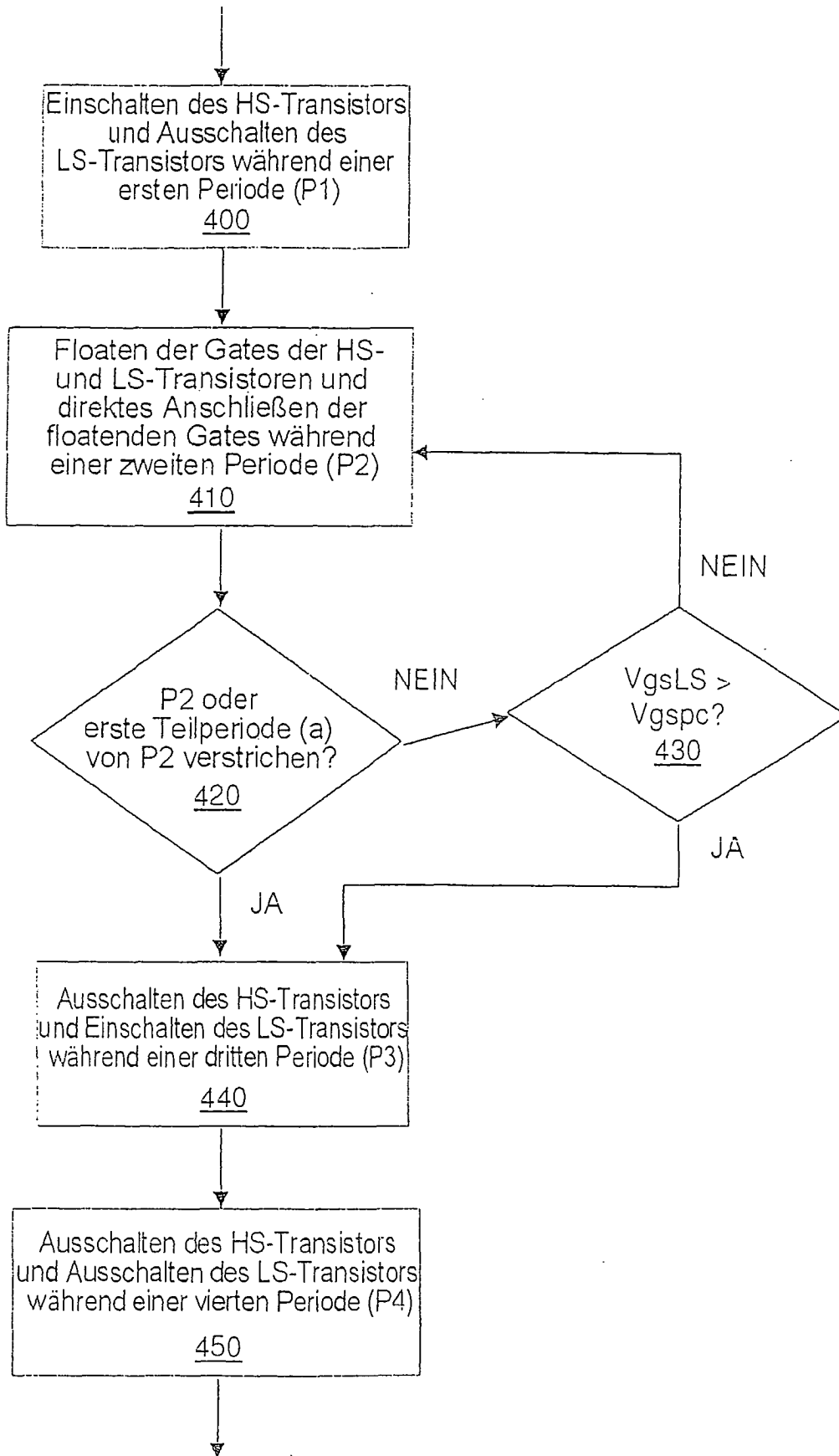
Figur 1



Figur 2



Figur 3



Figur 4