(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년09월04일
(11) 등록번호 10-1774508
(24) 등록일자 2017년08월29일

(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2017.01) *H01L 21/8247* (2006.01)
(21) 출원번호 10-2010-0101514
(22) 출원일자 2010년10월18일
심사청구일자 2015년10월02일
(65) 공개번호 10-2012-0040018
(43) 공개일자 2012년04월26일
(56) 선행기술조사문헌
US20030094635 A1*
US20090310425 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
윤종인
서울특별시 서초구 서초대로74길 30, 우성5차아파트 501동 303호 (서초동)
김한수
경기도 수원시 영통구 청명북로 33, 삼성래미안 APT 431동 601호 (영통동)
(뒷면에 계속)
(74) 대리인
특허법인 고려

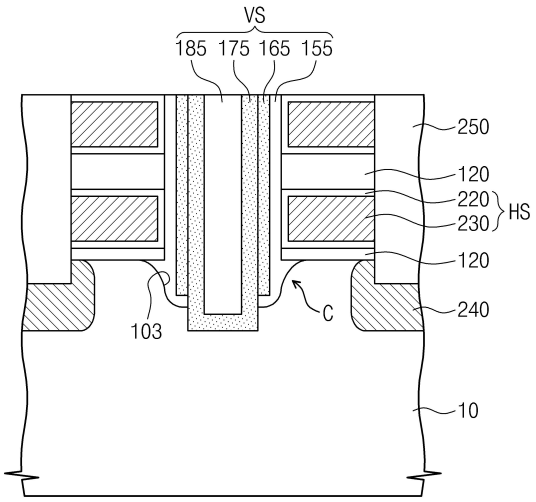
전체 청구항 수 : 총 8 항 심사관 : 이우찬

(54) 발명의 명칭 **3차원 반도체 메모리 장치 및 그 제조 방법**

(57) 요 약

3차원 반도체 메모리 장치 및 그 제조 방법이 제공된다. 3차원 반도체 메모리 장치는 관통 홈을 갖는 기판, 차례로 적층된 전극들을 포함하면서 기판 상에 배치되는 전극 구조체, 전극 구조체를 관통하여, 기판의 관통 홈에 삽입되는 반도체 패턴 및 반도체 패턴과 전극 구조체 사이에 개재된 수직 절연막을 포함하되, 전극들 중 최하층 전극의 바닥면과 기판의 상면간의 수직적 거리는, 반도체 패턴과 가까워질수록 증가한다.

대 표 도 - 도23



(72) 발명자

장성환

경기도 부천시 원미구 신흥로96번길 25 (심곡동)

박영우

서울특별시 강남구 남부순환로 3032, 미도 apt 102동 108호 (대치동)

명 세 서

청구범위

청구항 1

기판 상에 제 1 및 제 2 물질막들이 번갈아 반복적으로 적층된 주형 구조체를 형성하는 것;

상기 주형 구조체를 관통하여 상기 기판을 노출시키는 오프닝을 형성하되, 상기 기판의 일부가 리세스되어 상기 오프닝과 연결되는 관통 홈을 형성하는 것;

상기 관통 홈에 노출된 상기 기판의 표면을 산화시킴으로써, 상기 기판과 상기 주형 구조체 사이에 산화막을 형성하되, 상기 산화막과 상기 기판 사이에 라운드진 경계를 갖는 것;

상기 산화막 상에서 상기 오프닝의 내벽을 따라 연장되는 터널 절연막을 형성하는 것; 및

상기 터널 절연막의 바닥 부분을 관통하여 상기 기판에 연결되는 반도체 패턴을 형성하는 것을 포함하는 3차원 반도체 메모리 장치의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 산화막을 형성하는 것은, 상기 관통 홈의 표면에 대해 열산화 공정 또는 라디칼 산화 공정을 수행하는 것을 포함하는 3차원 반도체 메모리 장치의 제조 방법.

청구항 3

제 1 항에 있어서,

상기 산화막을 형성하는 것은, 상기 관통 홈의 표면을 산화시켜 실리콘 산화막을 형성하는 것을 포함하는 3차원 반도체 메모리 장치의 제조 방법.

청구항 4

제 3 항에 있어서,

상기 터널 절연막은 상기 실리콘 산화막 상에 형성되는 3차원 반도체 메모리 장치의 제조 방법.

청구항 5

제 3 항에 있어서,

상기 터널 절연막을 형성하기 전에, 상기 실리콘 산화막을 제거하여 상기 주형 구조체의 바닥면과 상기 라운드진 경계 사이에 갭 영역을 형성하는 것을 더 포함하며,

상기 터널 절연막을 형성하는 것은 상기 갭 영역을 채우는 것인 3차원 반도체 메모리 장치의 제조 방법.

청구항 6

제 1 항에 있어서,

상기 반도체 패턴을 형성하는 것은,

상기 터널 절연막 상에 제 1 반도체막을 형성하는 것,

상기 관통 홈의 바닥면에서 상기 터널 절연막 및 상기 제 1 반도체막을 국소적으로 제거하는 것; 및

상기 기판과 상기 제 1 반도체막을 연결하는 제 2 반도체막을 형성하는 것을 포함하는 3차원 반도체 메모리 장치의 제조 방법.

청구항 7

제 1 항에 있어서,

상기 반도체 패턴을 형성하기 전에,

상기 관통 홈의 바닥면에서 상기 터널 절연막을 국소적으로 제거하여 상기 관통 홈의 바닥면을 노출시키는 것; 및

상기 관통 홈을 통해 노출된 상기 터널 절연막을 등방적으로 식각하여 상기 제 1 반도체막의 바닥면을 노출시키는 언더컷 영역을 형성하는 것을 더 포함하는 3차원 반도체 메모리 장치의 제조 방법.

청구항 8

제 1 항에 있어서,

상기 주형 구조체를 패터닝하여 상기 반도체 패턴과 이격되어 상기 기판을 노출시키는 트렌치를 형성하는 것,

상기 트렌치에 노출된 상기 제 1 물질막들을 제거하여 상기 제 2 물질막들 사이에 리세스 영역들을 형성하하는 것, 및

상기 리세스 영역들 내에 수평 절연막 및 도전 패턴을 형성하는 것을 포함하는 3차원 반도체 메모리 장치의 제조 방법.

청구항 9

삭제

청구항 10

삭제

발명의 설명

기 술 분 야

[0001] 본 발명은 3차원 반도체 메모리 장치의 제조 방법에 관한 것으로서, 더욱 상세하게는 복수의 박막들이 연속적으로 적층되는 3차원 반도체 메모리 장치의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 소비자가 요구하는 우수한 성능 및 저렴한 가격을 충족시키기 위해 반도체 메모리 장치의 집적도를 증가시키는 것이 요구되고 있다. 반도체 메모리 장치의 경우, 그 집적도는 제품의 가격을 결정하는 중요한 요인이기 때문에, 특히 증가된 집적도가 요구되고 있다. 종래의 2차원 또는 평면적 반도체 메모리 장치의 경우, 그 집적도는 단위 메모리 셀이 점유하는 면적에 의해 주로 결정되기 때문에, 미세 패턴 형성 기술의 수준에 크게 영향을 받는다. 하지만, 패턴의 미세화를 위해서는 초고가의 장비들이 필요하기 때문에, 2차원 반도체 메모리 장치의 집적도는 증가하고는 있지만 여전히 제한적이다.

[0003] 이러한 한계를 극복하기 위한, 3차원적으로 배열되는 메모리 셀들을 구비하는 3차원 반도체 메모리 장치들이 제안되고 있다. 그러나, 3차원 반도체 메모리 장치의 대량 생산을 위해서는, 비트당 제조 비용을 2차원 반도체 메모리 장치의 그것보다 줄일 수 있으면서 신뢰성 있는 제품 특성을 구현할 수 있는 공정 기술이 요구되고 있다.

발명의 내용

해결하려는 과제

[0004] 본원 발명이 해결하고자 하는 과제는 집적도 및 신뢰성이 향상된 3차원 반도체 메모리 장치를 제공하는데 있다.

[0005] 본원 발명이 해결하고자 하는 과제는 집적도 및 신뢰성을 향상시킬 수 있는 3차원 반도체 메모리 장치의 제조 방법을 제공하는데 있다.

[0006] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은

아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 따른 3차원 반도체 메모리 장치는 관통 홈을 갖는 기판, 차례로 적층된 전극들을 포함하면서 기판 상에 배치되는 전극 구조체, 전극 구조체를 관통하여, 기판의 관통 홈에 삽입되는 반도체 패턴 및 반도체 패턴과 전극 구조체 사이에 개재된 수직 절연막을 포함하되, 전극들 중 최하층 전극의 바닥면과 기판의 상면간의 수직적 거리는, 반도체 패턴과 가까워질수록 증가할 수 있다.

[0008] 본 발명의 일 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법은 기판 상에 제 1 및 제 2 물질막들이 번갈아 반복적으로 적층된 주형 구조체를 형성하는 것, 주형 구조체 및 기판을 이방성 식각하여 기판에 관통 홈을 형성하는 것, 관통 홈의 측벽과 주형 구조체 사이에 위치하는 기판의 코너 부분을 라운딩시키는 것, 주형 구조체를 관통하여 관통 홈에 삽입된 수직 절연막을 형성하는 것 및 수직 절연막을 관통하여 기판에 연결되는 반도체 패턴을 형성하는 것을 포함할 수 있다.

[0009] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0010] 본 발명의 실시예들에 따르면, 기판의 관통 홈에 삽입된 수직 패턴의 일측벽과 도전 패턴의 바닥면 사이에 위치하는 기판의 상부 코너를 라운딩함으로써, 관통 홈에 삽입된 수직 패턴의 측벽과 최하층 도전 패턴의 바닥면 사이에 유전막이 두껍게 형성될 수 있다. 이에 따라, 최하층 도전 패턴으로부터 반도체 패턴 하부에 인가되는 전기장이 약화되는 것을 완화할 수 있다. 따라서, 반도체 메모리 장치의 동작시 기판 및 반도체 패턴 내에 형성되는 반전 영역이 끊어지는 것을 방지할 수 있다.

도면의 간단한 설명

[0011] 도 1은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 간략 회로도이다.

도 2는 본 발명의 제 1 실시예에 따른 따른 3차원 반도체 메모리 장치의 제조 방법을 설명하기 위한 순서도이다.

도 3 내지 도 13은 본 발명의 제 1 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법을 설명하기 위한 사시도들이다.

도 14 내지 도 16은 변형된 실시예에 따른 3차원 반도체 메모리 장치를 설명하기 위한 사시도들이다.

도 17 내지 도 24는 본 발명의 제 1 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 25는 본 발명의 제 2 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법을 설명하기 위한 순서도이다.

도 26 내지 도 29는 본 발명의 제 2 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 30 내지 도 37은 본 발명의 실시예들에 따른 데이터 저장막의 구조와 관련된 본 발명의 실시예들을 설명하기 위한 사시도들이다.

도 38 내지 도 42는 본 발명의 제 3 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 43은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 포함하는 메모리 시스템의 일 예를 나타내는 개략 블록도이다.

도 44는 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 구비하는 메모리 카드의 일 예를 나타내는 개략 블록도이다.

도 45는 본 발명에 따른 3차원 반도체 메모리 장치를 장착하는 정보 처리 시스템의 일 예를 나타내는 개략 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0012] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0013] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다. 또한, 본 명세서에서, 어떤 막이 다른 막 또는 기판 상에 있다고 언급되는 경우에 그것은 다른 막 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 막이 개재될 수도 있다는 것을 의미한다.

[0014] 또한, 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를 들면, 직각으로 도시된 식각 영역은 라운드지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다.

[0015] 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치는 셀 어레이 영역, 주변회로 영역, 및 연결 영역을 포함할 수 있다. 셀 어레이 영역에는, 복수의 메모리 셀들 및 메모리 셀들로의 전기적 연결을 위한 비트라인들 및 워드라인들이 배치된다. 주변 회로 영역에는 메모리 셀들을 구동하고 메모리 셀들에 저장된 데이터를 판독하는 주변 회로들이 형성될 수 있다. 구체적으로, 주변 회로 영역(C/P)에는 워드라인 드라이버(driver), 센스 앰프(sense amplifier), 로우(row) 및 칼럼(column) 디코더들 및 제어 회로들이 배치될 수 있다. 연결 영역은 셀 어레이 영역과 주변 회로 회로 영역 사이에 배치될 수 있으며, 여기에는 워드 라인들과 주변 회로들을 전기적으로 연결하는 배선 구조체가 배치될 수 있다.

[0016] 도 1은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 셀 어레이를 나타내는 간략 회로도이다.

[0017] 도 1을 참조하면, 일 실시예에 따른 3차원 반도체 메모리 장치의 셀 어레이는 공통 소오스 라인(CSL), 복수개의 비트라인들(BL) 및 공통 소오스 라인(CSL)과 비트라인들(BL) 사이에 배치되는 복수개의 셀 스트링들(CSTR)을 포함할 수 있다.

[0018] 비트 라인들은 2차원적으로 배열되고, 그 각각에는 복수개의 셀 스트링들(CSTR)이 병렬로 연결된다. 셀 스트링들(CSTR)은 공통 소오스 라인(CSL)에 공통으로 연결될 수 있다. 즉, 복수의 비트 라인들과 하나의 공통 소오스 라인(CSL) 사이에 복수의 셀 스트링들(CSTR)이 배치될 수 있다. 일 실시예에 따르면, 공통 소오스 라인들(CSL)은 복수 개가 2차원적으로 배열될 수 있다. 여기서, 공통 소오스 라인들(CSL)에는 전기적으로 동일한 전압이 인가될 수 있으며, 또는 공통 소오스 라인들(CSL) 각각이 전기적으로 제어될 수도 있다.

[0019] 셀 스트링들(CSTR) 각각은 공통 소오스 라인(CSL)에 접속하는 접지 선택 트랜지스터(GST), 비트라인(BL)에 접속하는 스트링 선택 트랜지스터(SST), 및 접지 및 스트링 선택 트랜지스터들(GST, SST) 사이에 배치되는 복수개의 메모리 셀 트랜지스터들(MCT)로 구성될 수 있다. 그리고, 접지 선택 트랜지스터(GST), 스트링 선택 트랜지스터(SST) 및 메모리 셀 트랜지스터들(MCT)은 직렬로 연결될 수 있다.

[0020] 공통 소오스 라인(CSL)은 접지 선택 트랜지스터들(GST)의 소오스들에 공통으로 연결될 수 있다. 이에 더하여, 공통 소오스 라인(CSL)과 비트 라인들(BL) 사이에 배치되는, 접지 선택 라인(GSL), 복수개의 워드라인들(WL0-WL3) 및 복수개의 스트링 선택 라인들(SSL)이 접지 선택 트랜지스터(GST), 메모리 셀 트랜지스터들(MCT) 및 스트링 선택 트랜지스터들(SST)의 게이트 전극들로서 각각 사용될 수 있다. 또한, 메모리 셀 트랜지스터들(MCT) 각각은 메모리 요소(memory element)를 포함한다.

[0021] 이하, 도면들을 참조하여 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 제조 방법을 설명한 후, 제조 방법을 통해 얻어지는 3차원 반도체 메모리 장치에 대해서 설명하도록 한다.

[0022] 도 2는 본 발명의 실시예들에 따른 따른 3차원 반도체 메모리 장치의 제조 방법을 설명하기 위한 순서도이다.

도 3 내지 도 13은 본 발명의 제 1 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법을 설명하기 위한 사시도들이다. 도 14 내지 도 16은 변형된 실시예에 따른 3차원 반도체 메모리 장치를 설명하기 위한 사시도들이다. 도 17 내지 도 24는 본 발명의 제 1 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법을 설명하기 위한 단면도들로서, 제 1 실시예에 따른 3차원 반도체 메모리 장치의 하부 영역을 나타낸다.

[0023] 도 2 및 도 3을 참조하면, 기판(10) 상에 주형 구조체(100)를 형성한다(S10).

[0024] 기판(10)은 반도체 특성을 갖는 물질들, 절연성 물질들, 절연성 물질에 의해 덮인 반도체 또는 도전체 중의 하나일 수 있다. 예를 들면, 기판(10)은 실리콘 웨이퍼일 수 있다.

[0025] 변형된 실시예에 따르면, 기판(10)과 주형 구조체(100) 사이에는 적어도 하나의 트랜지스터를 포함하는 하부 구조체(미도시)가 배치될 수 있다.

[0026] 주형 구조체(100)는 복수의 절연막들(121~129: 120) 및 복수의 희생막들(131~138: 130)을 포함할 수 있다. 절연막들(120) 및 희생막들(130)은, 도시된 것처럼, 교대로 그리고 반복적으로 적층될 수 있다. 희생막(130)은 절연막(120)에 대해 식각 선택성을 가지고 식각될 수 있는 물질로 형성될 수 있다. 즉, 소정의 식각 레서피를 사용하여 희생막(130)을 식각하는 공정에서, 희생막(130)은 절연막(120)의 식각을 최소화하면서 식각될 수 있는 물질로 형성될 수 있다. 알려진 것처럼, 이러한 식각 선택성(etch selectivity)은 절연막(120)의 식각 속도에 대한 희생막(130)의 식각 속도의 비율을 통해 정량적으로 표현될 수 있다. 일 실시예에 따르면, 희생막(130)은 절연막(120)에 대해 1:10 내지 1:200(더 한정적으로는, 1:30 내지 1:100)의 식각 선택비를 제공할 수 있는 물질들 중의 하나일 수 있다. 예를 들면, 절연막(120)은 실리콘 산화막 및 실리콘 질화막 중의 적어도 한가지일 수 있고, 희생막(130)은 실리콘막, 실리콘 산화막, 실리콘 카바이드 및 실리콘 질화막 중에서 선택되는 절연막(120)과 다른 물질일 수 있다. 아래에서는, 본 발명의 기술적 사상에 대한 보다 쉬운 이해를 위해, 절연막들(120)은 실리콘 산화막이고 희생막들(130)은 실리콘 질화막인 실시예를 예시적으로 설명할 것이다.

[0027] 한편, 일 실시예에 따르면, 도시된 것처럼, 희생막들(130)은 실질적으로 동일한 두께로 형성될 수 있다. 이와 달리, 절연막들(120)의 두께는 모두 동일하지 않을 수 있다. 예를 들면, 절연막들(120) 중의 최하부층(121)은 희생막(130)보다 얇은 두께로 형성되고, 아래에서부터 3번째층(123) 및 위에서부터 3번째층(127)은 희생막(130)보다 두꺼운 두께로 형성되고, 절연막들(120) 중의 나머지는 희생막(130)보다 얇거나 두꺼울 수 있다. 하지만, 절연막들(120)의 이러한 두께는 도시된 것으로부터 다양하게 변형될 수 있으며, 주형 구조체(100)를 구성하는 막들의 층수 역시 다양하게 변형될 수 있다.

[0028] 그리고, 최하층의 절연막(121)은 주형 구조체(100)를 구성하는 절연막들(120) 중에서 가장 얇게 형성될 수 있다. 최하층의 절연막(121)은 열산화 공정을 통해 형성되는 실리콘 산화막일 수 있으며, 기판(10) 표면에 존재하는 결함 및 주형 구조체(100)와 기판(10) 사이의 스트레스를 완화시킬 수 있다. 예를 들어, 최하층의 절연막(121)은 약 10Å 내지 100Å의 두께를 가질 수 있다.

[0029] 도 2 및 도 4를 참조하면, 주형 구조체(100)를 관통하는 개구부들(105)을 형성한다(S20).

[0030] 이 실시예에 따르면, 개구부들(105)은 홀 모양으로 형성될 수 있다. 즉, 개구부들(105) 각각은 그것의 깊이가 그것의 폭보다 적어도 5배 이상 큰 모양으로 형성될 수 있다. 이에 더하여, 이 실시예에 따르면, 개구부들(105)은 기판(10)의 상부면(즉, xy 평면) 상에 2차원적으로 형성될 수 있다. 즉, 개구부들(105) 각각은 x 및 y 방향을 따라 다른 것들로부터 이격되어 형성되는 고립된 영역일 수 있다. 또 다른 실시예에 따르면, 도면에는 도시 하지 않았으나. 개구부들(105)은 y축 방향으로 지그재그(zig zag) 배치될 수도 있다. 그리고, 일 방향으로 인접한 개구부들(105) 간의 이격거리는 개구부의 폭보다 작거나 같을 수 있다. 이와 같이, 개구부들(105)이 지그재그 형태로 배치될 경우, 일정한 면적 내에 보다 많은 수의 개구부들(105)이 배치될 수 있다.

[0031] 개구부들(105)을 형성하는 단계는 주형 구조체(100) 상에 개구부들(105)의 위치를 정의하는 소정의 마스크 패턴을 형성하는 단계 및 이를 식각 마스크로 사용하여 주형 구조체(100)를 이방성 식각하는 단계를 포함할 수 있다. 한편, 주형 구조체(100)는 적어도 두 종류의 서로 다른 막들을 포함하기 때문에, 개구부(105)의 측벽은 기판(10)의 상부면에 완전하게 수직하기 않을 수 있다. 예를 들면, 기판(10)의 상부면에 가까울수록, 개구부(105)의 폭은 감소될 수 있다.

[0032] 한편, 주형 구조체(100)가 기판(10) 상에 직접 형성되는 실시예의 경우, 개구부(105)는 도시된 것처럼 기판(10)의 상부면을 노출시킬 수 있다. 이에 더하여, 이방성 식각 단계에서의 과도식각(over-etch)의 결과로서, 도17에 도시된 것처럼 개구부(105) 아래의 기판(10)은 소정의 깊이로 리세스될 수 있다. 이에 따라, 개구부(105)로부터 연장되어 측벽들 및 바닥면을 갖는 관통 홈(103)이 기판(10)에 국소적으로 형성될 수 있다. 기판(10)에

형성된 관통 홈(103)은 후속 공정에서 형성되는 수직 구조체(VS)의 구조적 안정성을 향상시킬 수 있다.

[0033] 이어서, 도 2, 도 4 및 도 18을 참조하면, 관통 홈(103)의 측벽과 기판(10)의 상면 사이에 라운드진 프로파일(rounded profile)을 형성한다. 즉, 관통 홈(103)의 측벽과 주형 구조체(100) 사이에 위치하는 기판(10)의 코너 부분(C)을 라운딩시킨다. 기판(10)의 코너 부분(C)을 라운딩함에 따라, 최하층 희생막(130)의 바닥면과 기판(10)의 상면 간의 거리가 개구부(105)와 가까워질수록 증가될 수 있다.

[0034] 일 실시예에 따르면, 기판(10)의 코너 부분(C)을 라운딩하기 위해, 기판(10)에 형성된 관통 홈(103)의 표면을 산화시키는 산화 공정이 수행될 수 있다(S30).

[0035] 상세하게, 산화 공정은 산소 원자를 기판(10)의 실리콘 원자들과 반응시켜 관통 홈(103)의 내벽에 실리콘 산화막을 형성할 수 있다. 한편, 다른 실시예에 따르면, 산화 공정을 수행하기 전에 불산을 함유한 에천트를 이용한 전 세정(pre-cleaning) 공정이 수행될 수도 있다. 세정 공정을 수행하는 경우, 희생막(130)과 기판(10) 사이에 개재된 절연막(120)의 일부가 식각되어, 관통 홈(103)의 측벽에서 연장되는 기판(10)의 상면 일부가 노출될 수도 있다.

[0036] 산화 공정으로는 열산화(thermal oxidation) 공정 또는 라디칼 산화(radical oxidation) 공정이 수행될 수 있다. 열산화 공정은 산소를 이용한 건식 산화(dry oxidation) 방법, 또는 산화제로 스팀(steam)을 이용한 습식 산화(wet oxidation) 방법이 이용될 수 있다. 나아가, 열산화 공정으로는 반응 속도가 빠르며 우수한 막질을 갖는 습식 산화 방법이 이용될 수 있다. 라디칼 산화 공정은 산소 소스 가스를 라디칼 상태로 활성화시켜서 실리콘과의 산화 반응을 일으키는 공정으로서, 라디칼 산화 공정은 산소 라디칼의 반응속도가 빠르기 때문에, 짧은 시간 내에 실리콘 산화막이 형성될 수 있다.

[0037] 이러한 산화 공정시 소스 가스로는, O_2 가스, $H_2O(g)$ 가스(즉, 스팀), H_2 및 O_2의 혼합 가스, H_2, Cl_2 및 O_2의 혼합 가스가 사용될 수 있다. 산화 공정은 약 1mTorr 내지 50 mTorr의 압력 및 약 600℃ 내지 약 1100℃의 온도에서 수행될 수 있다. 그리고, 산화 공정에 의해 관통 홈(103)의 내벽에 형성되는 실리콘 산화막은 약 10Å 내지 100Å의 두께를 가질 수 있다.

[0038] 이와 같은 산화 공정에서, 관통 홈(103)에 노출된 기판(10)의 표면과 산소 원자가 반응할 때, 날카로운 에지를 갖는 기판(10)의 코너 부분에서 버즈 비크(bird's beak) 현상이 발생할 수 있다. 이에 따라, 상부 코너의 프로파일이 라운딩될 수 있다. 그리고, 산화 공정시 기판(10)의 표면의 실리콘 원자들이 소모되면서 실리콘 산화막이 형성됨에 따라, 관통 홈(103)의 측벽 및 바닥면이 후퇴(또는 리세스)될 수 있다. 한편, 산화 공정을 수행함에 따라, 관통 홈(103)의 내벽뿐만 아니라 개구부의 내측벽에도 얇게 산소 원자를 포함하는 막이 형성될 수도 있다. 나아가, 산화 공정은 관통 홈(103)을 형성하기 위한 식각 공정시 손상된 기판(10)의 표면을 큐어링할 수 있다.

[0039] 한편, 기판(10)의 상부 코너(C)를 라운딩시키는 것은, 산화 공정 대신 식각 공정을 이용할 수도 있을 것이다.

[0040] 도 2, 도 5 및 도 6을 참조하면, 개구부들(105) 각각의 내벽을 덮는 수직 패턴(155)을 형성한다(S40).

[0041] 한편, 일 실시예에 따르면, 수직 패턴을 형성하기 전에, 관통 홈(103)의 표면에 형성된 실리콘 산화막이 제거될 수도 있다. 예를 들어, 실리콘 산화막은 NH_4OH와 HF의 혼합 용액, 희석된 HF 용액 또는 NH_4F, HF 및 H_2O가 혼합된 LAL용액을 사용하는 습식 식각 공정에 의해 제거될 수 있다. 이와 같이, 실리콘 산화막이 제거되면, 기판(10)의 라운드진 상부 코너(C)가 노출될 수 있으며, 관통 홈(103)의 측벽 및 바닥면이 노출될 수 있다. 나아가, 기판(10)의 상부 코너(C)는 주형 구조체(100)의 아래에 형성될 수 있으며, 기판(10)의 라운드진 상부 코너(C)와 주형 구조체(100)의 사이에 갭(gap)이 형성될 수도 있다.

[0042] 수직 패턴을 형성하는 것은, 개구부들이 형성된 주형 구조체(100)를 컨포말하게 덮는 수직막(150)을 형성하는 것, 수직막(150)의 내벽을 덮는 반도체 스페이서(165)를 형성하는 것, 및 수직막(150)을 이방성 식각하여 관통 홈(103)의 바닥에서 기판(10)의 상부면을 노출시키는 것을 포함할 수 있다.

[0043] 도 5 및 도 19를 참조하면, 수직막(150) 및 제 1 반도체막은 개구부(105) 및 관통 홈(103)의 내벽을 실질적으로 콘포말하게 덮도록 형성될 수 있다. 도시된 것처럼, 수직막(150) 및 제 1 반도체막의 증착 두께의 합은 개구부(105)의 폭의 절반보다 작을 수 있다. 즉, 개구부(105)는 수직막(150) 및 제 1 반도체막에 의해 완전하게 채워지지 않을 수 있다. 나아가, 일 실시예에서 수직막은 도 19에 도시된 것처럼, 기판(10)의 라운드진 상부 코너

(C)와 주형 구조체(100)의 사이에 갭(gap)을 채울 수 있다.

[0044] 수직막(150)은 하나의 박막 또는 복수의 박막들로 구성될 수 있다. 예를 들면, 수직막(150)은 전하트랩형 비휘발성 메모리 트랜지스터의 메모리 요소로서 사용되는 박막들 중의 적어도 하나를 포함할 수 있다. 본 발명의 실시예들은 수직막(150)을 구성하는 박막들이 무엇인가에 따라 다양하게 세분화될 수 있다. 이러한 세분화된 실시예들은 이후 도 30 내지 도 37을 참조하여 상세하게 다시 설명될 것이다.

[0045] 이어서, 도 6 및 도 20을 참조하면, 제 1 반도체막을 이방성 식각하여 수직막(150)의 내측벽을 덮는 반도체 스페이서(165)를 형성한다.

[0046] 반도체 스페이서(165)를 형성하는 것은, 수직막(150)이 형성된 결과물을 콘포말하게 덮는 제 1 반도체막을 형성하는 것, 및 제 1 반도체막을 이방성 식각하여 수직막(150)을 노출시키는 것을 포함할 수 있다.

[0047] 제 1 반도체막은 원자층 증착(ALD) 또는 화학적 기상 증착(CVD) 기술들 중의 한가지를 사용하여 형성되는 다결정 실리콘막일 수 있다. 또한, 제 1 반도체막은 개구부(105)의 폭의 1/50 내지 1/5의 범위에서 선택되는 두께로 형성될 수 있다. 본 발명의 변형된 실시예에 따르면, 제 1 반도체막은 에피택시얼 기술들 중의 한가지를 사용하여 형성될 수 있다. 그리고, 제 1 반도체막은 비정질 실리콘막, 다결정 실리콘막, 유기 반도체막 및 탄소 나노구조체들 중의 한가지일 수 있다.

[0048] 제 1 반도체막을 이방성 식각함에 따라, 수직막(150)이 형성된 개구부 내에는 열린 양단을 갖는 원통 모양의 반도체 스페이서(165)가 형성될 수 있다. 이러한 반도체 스페이서(165)는 기판(10)을 노출시키기 위한 수직막(150)의 식각 공정에서 마스크로 사용될 수 있으며, 수직막(150)의 식각 손상을 줄일 수 있다.

[0049] 이어서, 반도체 스페이서(165)를 이용하여 수직막(150)을 이방성 식각함에 따라, 도 6 및 도 21에 도시된 것처럼, 열린 양단을 갖는 원통 모양의 수직 패턴(155)이 형성될 수 있으며, 수직 패턴(155)의 내벽에는 기판(10)을 노출시키는 반도체 스페이서(165)가 형성될 수 있다. 또한, 수직막을 이방성 식각하는 단계에서의 과도식각(over-etch)의 결과로서, 도시된 것처럼, 반도체 스페이서(165)에 의해 노출되는 관통 홈(103)의 바닥면이 리세스될 수 있다.

[0050] 한편, 이방성 식각 단계 동안, 반도체 스페이서(165)의 아래에 위치하는 수직막(150)의 일부분은 식각되지 않을 수 있으며, 이 경우, 수직 패턴(155)은 반도체 스페이서(165)의 바닥면과 기판(10)의 표면 사이에 개재되는 바닥부를 가질 수 있다.

[0051] 이에 더하여, 제 1 반도체막 및 수직막(150)에 대한 이방성 식각의 결과로서, 주형 구조체(100)의 상부면이 노출될 수 있다. 이에 따라, 수직 패턴들(155) 각각 및 반도체 스페이서들(165) 각각은 개구부들(105) 내에 국소화될 수 있다. 즉, 수직 패턴들(155) 및 반도체 스페이서들(165)은 xy 평면 상에 2차원적으로 배열될 수 있다.

[0052] 도 2를 참조하면, 수직 패턴(155)이 형성된 개구부들(105) 각각에 반도체 패턴을 형성한다(S50).

[0053] 반도체 패턴을 형성하는 것은, 도 7, 도 8 및 도 22에 도시된 것처럼, 수직 패턴 및 반도체 스페이서가 형성된 개구부 내에 제 2 반도체막(170) 및 매립 절연막(180)을 차례로 형성하는 것을 포함할 수 있다.

[0054] 제 2 반도체막(170)은 원자층 증착(ALD) 또는 화학적 기상 증착(CVD) 기술들 중의 한가지를 사용하여 형성되는 다결정 실리콘막일 수 있다. 일 실시예에 따르면, 제 2 반도체막(170)은 개구부(105)를 완전히 매립하지 않는 두께를 가지고 콘포말하게 형성될 수 있다. 즉, 도시된 것처럼, 제 2 반도체막(170)은 개구부(105) 내에 핀홀(105a)을 정의할 수 있다. 다시 말해, 제 2 반도체막(170)은 개구부들(105) 내에 파이프 형태(pipe-shaped), 중공의 실린더 형태(hollow cylindrical shape), 또는 컵(cup) 모양으로 형성될 수 있다.

[0055] 매립 절연막(180)은 핀홀(105a)을 채우도록 형성될 수 있으며, 에스오지 기술을 이용하여 형성되는 절연성 물질들 및 실리콘 산화막 중의 한가지일 수 있다.

[0056] 일 실시예에 따르면, 매립 절연막(180)을 형성하기 전에, 제 2 반도체막(170)이 형성된 결과물을 수소 또는 중수소를 포함하는 가스 분위기에서 열처리하는 수소 어닐링 단계가 더 실시될 수 있다. 반도체 스페이서(165) 및 제 2 반도체막(170) 내에 존재하는 결정 결함들 중의 많은 부분이 이러한 수소 어닐링 단계에 의해 치유될 수 있다.

[0057] 본 발명의 변형된 실시예에 따르면, 제 2 반도체막(170)은 반도체 스페이서(165)가 형성된 개구부들(105)을 채우도록 형성될 수 있으며, 이 경우 매립 절연막(180)을 형성하는 단계는 생략될 수 있다. 도 15는 이러한 변형된 실시예에 따른 최종 결과물을 예시적으로 도시한다. 즉, 다른 실시예에서, 제 2 반도체막(170)은 증착 공정

에 의해 원통형의 개구부(105) 및 관통 홈(103) 내에 완전히 채워져 원기둥 형태를 가질 수도 있다.

[0058] 한편, 일 실시예에서, 반도체 스페이서(165) 및 제 2 반도체막(170)은 예를 들어, 실리콘(Si), 게르마늄(Ge) 또는 이들의 혼합물을 포함할 수 있다. 그리고, 반도체 스페이서(165) 및 제 2 반도체막(170)은 불순물이 도핑된 반도체일 수 있으며, 또는, 도핑되지 않은 상태의 진성 반도체(intrinsic semiconductor)일 수도 있다. 또한, 반도체 스페이서(165) 및 제 2 반도체막(170)은 단결정, 비정질(amorphous), 및 다결정(polycrystalline) 중에서 선택된 적어도 어느 하나를 포함하는 결정 구조를 가질 수 있다.

[0059] 반도체 스페이서(165) 및 제 2 반도체막(170)은 화학기상증착 기술 또는 원자층 증착 기술을 사용하여 개구부들 내에 형성될 수 있다. 그리고, 증착 기술을 이용하여 제 2 반도체막(170)을 형성하는 경우, 제 2 반도체막(170)과 기판(10) 사이에는 결정구조 차이로 인한 불연속적인 경계면이 형성될 수도 있다. 또한, 일 실시예에 따르면, 제 2 반도체막(170)은 비정질실리콘 또는 다결정실리콘을 증착한 후에 레이저 어닐링과 같은 열처리 공정을 통해 비정질실리콘 또는 다결정실리콘을 상전이시킴으로써 단결정 실리콘으로 형성될 수도 있다. 또한, 다른 실시예에 따르면, 개구부들(105)에 의해 노출된 기판(10)을 씨드층(seed layer)으로 이용하는 에피택시얼 공정을 수행하여, 개구부들(105) 내에 제 2 반도체막(170)을 형성할 수도 있다.

[0060] 도 2 및 도 9를 참조하면, 주형 구조체(100)을 관통하면서 희생막들(130) 및 절연막들(120)의 측벽들을 노출시키는 트렌치들(200)을 형성한다(S60). 트렌치들(200)은 도시된 것처럼 개구부들(105)로부터 이격되어 이들 사이를 가로지를 수 있다.

[0061] 트렌치들(200)을 형성하는 단계는 주형 구조체(100)의 상부 또는 매립 절연막(180)의 상부에 식각 마스크를 형성한 후, 기판(10)의 상부면이 노출될 때까지 식각 마스크 아래의 막들을 이방성 식각하는 단계를 포함할 수 있다. 이에 따라, 도시된 것처럼, 주형 구조체(100)의 상부에서 제 2 반도체막(170) 및 매립 절연막(180)은 패터닝되어 트렌치들(200)의 상부 입구들을 정의할 수 있다. 이방성 식각 단계에서의 과도식각(over-etch)의 결과로서, 도시된 것처럼 트렌치(200) 아래의 기판(10)은 소정의 깊이로 리세스될 수 있다. 한편, 식각 대상이 실질적으로 동일하기 때문에, 개구부(105)의 경우와 유사하게, 기판(10)의 상부면에 가까울수록 트렌치들(200)은 감소된 폭을 가질 수 있다.

[0062] 일 실시예에 따르면, 도시된 것처럼, 한 쌍의 트렌치들(200)이 개구부들(105) 각각의 양측에 형성될 수 있다. 즉, 동일한 y 좌표를 가지면서 x축 방향을 따라 배열되는 개구부들(105)과 트렌치들(200)의 수들은 실질적으로 동일할 수 있다.

[0063] 도 2 및 도 10을 참조하면, 트렌치(200)에 노출된 희생막들(130)을 선택적으로 제거하여 절연막들(120) 사이에 리세스 영역들(210)을 형성한다(S70).

[0064] 리세스 영역들(210)은 트렌치들(200)로부터 수평적으로 연장되어 형성되는 갭 영역일 수 있으며, 수직 패턴들(155)의 측벽들을 노출시키도록 형성된다. 보다 구체적으로, 리세스 영역(210)의 외곽 경계(outer boundary)는 그것의 상/하부에 위치하는 절연막들(120) 및 그것의 양측에 위치하는 트렌치들(200)에 의해 한정된다. 또한, 리세스 영역(210)의 내부 경계(internal boundary)는 그것을 수직하게 관통하는 수직 패턴들(155)에 의해 정의된다.

[0065] 리세스 영역들(210)을 형성하는 단계는 절연막들(120) 및 수직 패턴들(155)에 대해 식각 선택성을 갖는 식각 레서피를 사용하여 희생막들(130)을 수평적으로 식각하는 단계를 포함할 수 있다. 예를 들면, 희생막들(130)이 실리콘 질화막이고 절연막들(120)이 실리콘 산화막인 경우, 수평적 식각 단계는 인산을 포함하는 식각액을 사용하여 수행될 수 있다.

[0066] 리세스 영역들(210)은 절연막들(120) 사이의 희생막들(130)을 제거함으로써 형성될 수 있다. 즉, 리세스 영역들(210)은 트렌치(200)로부터 절연막들(120) 사이로 수평적으로 연장될 수 있으며, 수직 패턴들(155)의 측벽 일부분들을 노출시킬 수 있다. 그리고, 최하부에 형성된 리세스 영역(210)은 절연막(121)에 의해 정의될 수 있다. 이와 같이 형성되는 리세스 영역(210)의 수직적 두께(z축 방향으로의 길이)는 도 2에서 희생막들(130)을 증착할 때 희생막들(130)의 증착 두께에 의해 정의될 수 있다.

[0067] 도 2 및 도 11을 참조하면, 리세스 영역들(210)을 채우는 수평 구조체들(HS)을 형성한다(S80).

[0068] 수평 구조체(HS)는 리세스 영역(210)의 내벽을 덮는 수평 패턴들(220) 및 리세스 영역(210)의 나머지 공간을 채우는 도전 패턴(230)을 포함할 수 있다.

[0069] 수평 구조체들(HS)을 형성하는 단계는 리세스 영역들(210)을 차례로 채우는 수평막 및 도전막을 차례로 형성한

후, 트렌치들(200) 내에서 도전막을 제거하여 리세스 영역들(210) 내에 도전 패턴들(230)을 남기는 단계를 포함할 수 있다.

[0070] 수평막 또는 수평 패턴들(220)은, 수직막(150)의 경우와 유사하게, 하나의 박막 또는 복수의 박막들로 구성될 수 있다. 일 실시예에 따르면, 수평 패턴(220)이 전하트랩형 비휘발성 메모리 트랜지스터의 블록킹 유전막을 포함할 수 있다. 상술한 것처럼, 본 발명의 실시예들은 수직막(150) 및 수평 패턴(220) 각각을 구성하는 박막이 무엇인가에 따라 다양하게 세분화될 수 있다. 이러한 세분화된 실시예들은 이후 도 30 내지 도 37을 참조하여 상세하게 다시 설명될 것이다.

[0071] 도전막은, 수평막에 의해 덮인, 리세스 영역들(210)을 채우도록 형성될 수 있다. 이때, 트렌치들(200)은 도전막에 의해 완전히 또는 부분적으로 채워질 수 있다. 도전막은 도핑된 실리콘, 금속 물질들, 금속 질화막들 및 금속 실리사이드들 중의 적어도 하나를 포함할 수 있다. 예를 들면, 도전막은 탄탈륨 질화막 또는 텅스텐을 포함할 수 있다.

[0072] 일 실시예에 따르면, 도전막은 우수한 단차 도포성을 제공할 수 있는 증착 기술(예를 들면, 화학기상증착 또는 원자층 증착 기술)을 사용하여 형성될 수 있다. 이에 따라, 도전막은 리세스 영역(210)들을 채우면서 트렌치(200) 내에 컨포말하게 형성될 수 있다. 구체적으로, 도전막은 리세스 영역(210)의 두께의 절반 이상의 두께로 증착될 수 있다. 그리고, 트렌치(200)의 평면적 폭이 리세스 영역(210)의 두께보다 큰 경우, 도전막은 트렌치(200)의 일부를 채우고 트렌치(200)의 중심 부분에 빈 영역을 정의할 수 있다. 이 때, 빈 영역은 위로 개방될 수 있다. 이 경우, 도전 패턴(230)을 형성하는 것은 트렌치(200) 내에서 도전막을 등방적 식각의 방법으로 제거하는 것을 포함할 수 있다. 다른 실시예에 따르면, 도전막은 트렌치(200)를 채우도록 형성될 수 있으며, 이 경우, 도전 패턴(230)을 형성하는 것은 트렌치(200) 내에서 도전막을 이방성 식각하는 것을 포함할 수 있다.

[0073] 한편, 플래쉬 메모리를 위한 본 발명의 일 실시예에 따르면, 도전 패턴들(230)을 형성한 후, 도 11에 도시된 것처럼, 불순물 영역들(240)을 형성하는 단계가 더 실시될 수 있다. 불순물 영역들(240)은 이온 주입 공정을 통해 형성될 수 있으며, 트렌치(200)를 통해 노출된 기판(10) 내에 형성될 수 있다. 한편, 불순물 영역들(240)은 기판(10)과 다른 도전형을 가질 수 있다. 이와 달리, 제 2 반도체막(170)과 접하는 기판(10)의 영역(이하, 콘택 영역)은 기판(10)과 동일한 도전형을 가질 수 있다. 이에 따라, 불순물 영역들(240)은 기판(10) 또는 제 2 반도체막(170)과 피엔-접합을 구성할 수 있다.

[0074] 일 실시예에 따르면, 불순물 영역들(240) 각각은 서로 연결되어 등전위 상태에 있을 수 있다. 다른 실시예에 따르면, 불순물 영역들(240) 각각은 서로 다른 전위를 가질 수 있도록 전기적으로 분리될 수 있다. 또 다른 실시예에 따르면, 불순물 영역들(240)은, 서로 다른 복수의 불순물 영역들을 포함하는, 독립적인 복수의 소오스 그룹들을 구성할 수 있으며, 소오스 그룹들 각각은 서로 다른 전위를 갖도록 전기적으로 분리될 수 있다.

[0075] 도 12를 참조하면, 트렌치들(200)을 채우는 전극 분리 패턴(250)을 형성한다.

[0076] 전극 분리 패턴(250)을 형성하는 단계는 불순물 영역들(240)이 형성된 결과물 상에 전극 분리막을 형성한 후, 그 결과물을 식각하여 주형 구조체(100)의 상부면을 노출시키는 단계를 포함할 수 있다. 전극 분리막은 실리콘 산화막, 실리콘 질화막 및 실리콘 산화질화막 중의 적어도 한가지로 형성될 수 있으며, 식각 단계는 화학적-기계적 연마 기술 또는 에치백 기술과 같은 평탄화 기술을 사용하여 실시될 수 있다. 평탄화 식각의 결과로서, 매립 절연막(180) 및 제 2 반도체막(170)은, 도시된 것처럼 개구부들(105) 각각의 내부에 국소적으로 배치되는, 매립 패턴들(185) 및 반도체 몸체부들(175)을 형성할 수 있다.

[0077] 본 발명의 일 실시예에 따르면, 수직 패턴(155), 반도체 스페이서(165) 및 반도체 몸체부(175)는 하나의 수직 구조체(VS)를 구성할 수 있으며, 기판(10) 상에는, 주형 구조체(100)를 관통하면서 2차원적으로 배열되는, 복수의 수직 구조체들(VS)이 형성될 수 있다. 상술한 구성에 따르면, 수직 구조체들(VS)이 배치되는 위치는 개구부들(105)에 의해 정의된다. 한편, 매립 패턴(185) 역시 수직 구조체(VS)를 구성할 수 있다.

[0078] 도 13을 참조하면, 수직 구조체들(VS) 각각의 상부에는 상부 플러그들(260)이 형성되고, 상부 플러그들(260)의 상부에는 이들을 연결하는 상부 배선들(270)이 형성될 수 있다.

[0079] 일 실시예에 따르면, 반도체 스페이서(165) 및 반도체 몸체부(175)의 상부 영역은 상부 불순물 영역(미도시)을 가질 수 있다. 상부 불순물 영역의 바닥은 수평 구조체들(HS) 중의 최상층의 상부면보다 높을 수 있다. 또한, 상부 불순물 영역은 그것의 아래에 위치하는 반도체 스페이서(165)의 일부분과 다른 도전형으로 도핑될 수 있다. 이에 따라, 상부 불순물 영역은 그 하부 영역과 다이오드를 구성할 수 있다. 이 실시예에 따르면, 상부 플러그들(260)은 도핑된 실리콘 및 금속성 물질들 중의 한가지일 수 있다. 다른 실시예에 따르면, 상부 플러그

들(260)은 반도체 스페이서(165) 및 반도체 몸체부(175)과 다른 도전형으로 도핑된 실리콘막일 수 있다. 이 경우, 상부 플러그들(260)은 반도체 스페이서(165) 및 반도체 몸체부(175)과 피엔 접합을 구성할 수 있다.

[0080] 상부 배선들(270) 각각은 상부 플러그(260)을 통해 반도체 스페이서(165) 및 반도체 몸체부(175)에 전기적으로 연결될 수 있으며, 수평 구조체들(HS)을 가로지르도록 형성될 수 있다. 낸드 플래시 메모리를 위한 실시예에 따르면, 상부 배선들(270)은 복수의 셀 스트링들의 일단들에 접속하는 비트라인들로 사용될 수 있다.

[0081] 한편, 도 14에 도시된 실시예에 따르면, 도 11을 참조하여 설명된 트렌치(200) 내에 불순물 영역(240)에 접속하는 금속 패턴(255)이 형성될 수 있다. 또한, 금속 패턴(255)과 도전 패턴들(230) 사이의 전기적 분리를 위해, 트렌치(200)의 측벽에는 트렌치 스페이서들(245)이 더 형성될 수 있다.

[0082] 금속 패턴(255)은 금속성 물질(예를 들면, 텅스텐)으로 형성될 수 있으며, 불순물 영역(240)과 금속 패턴(255) 사이에는 베리어 금속막(예를 들면, 금속 질화물; 미도시) 또는 실리사이드막(미도시)이 더 형성될 수 있다. 트렌치 스페이서들(245)은 절연성 물질들 중의 한가지(예를 들면, 실리콘 산화막)일 수 있다.

[0083] 금속 패턴(255) 및 트렌치 스페이서(245)는, 도 9 또는 도 20을 참조하여 설명된 불순물 영역(240)의 형성 단계 이후에, 형성될 수 있다. 보다 구체적으로, 트렌치 스페이서(245)는 트렌치(200)의 내벽을 콘포말하게 덮는 절연막을 형성한 후 이를 이방성 식각하여 불순물 영역들(240)의 상부면을 노출시킴으로써 형성될 수 있다. 또한, 금속 패턴(255)은 트렌치 스페이서(245)가 형성된 트렌치(200)를 금속막으로 채운 후 이를 평탄화 식각함으로써 형성될 수 있다.

[0084] 금속 패턴(255) 및 트렌치 스페이서(245)는 도전 패턴들(230)을 수직하게 관통할 뿐만 아니라 반도체 패턴들을 수평하게 가로지르도록 형성될 수 있다. 일 실시예에 따르면, 금속 패턴(255)의 두께(즉, z 방향 길이) 및 길이(즉, y 방향 길이)는 트렌치(200)의 그것들과 실질적으로 동일할 수 있다.

[0085] 금속 패턴(255)은 불순물 영역(240)보다 낮은 비저항을 가지면서 불순물 영역(240)에 연결되기 때문에, 불순물 영역들(240)을 경유하는 전기적 신호의 전달 속도를 향상시키는데 기여할 수 있다. 또한, 금속 패턴(255)의 상부면이 도전 패턴들(230) 중의 최상부층 상부면보다 높게 위치하기 때문에, 불순물 영역(240)으로의 전기적 연결을 위한 배선 형성 공정에서의 기술적 어려움이 경감될 수 있다. 이에 더하여, 금속 패턴(255)은 도전 패턴들(230) 사이에서 차폐막으로 기능할 수 있기 때문에, 수평적으로 인접하는 도전 패턴들(230) 사이의 용량성 결합(capacitive coupling)을 감소시킬 수 있다. 그 결과, 프로그램 및 읽기 동작에서의 교란(disturbance) 문제가 경감될 수 있다.

[0086] 변형된 실시예로서, 도 16에 도시된 실시예에 따르면, 도 3에서 개구부들을 형성할 때, 개구부들은, xy 평면 및 xz 평면 상에 투영되는 단면들의 종횡비들이 적어도 5 이상인, 육면체 모양의 부분을 포함할 수 있다. 즉, 개구부의 y 및 z 방향의 길이들은 그것의 x방향의 길이보다 5배 이상 큰 모양일 수 있다. 다시 말해, 도 3을 참조하여 설명한 개구부들(105)이 라인 형태로 형성될 수 있다. 개구부들(105)이 라인 형태로 형성된 경우, 도 14에 도시된 바와 같이, 개구부(105) 내에는 수직 구조체들(VS)이 그것들 사이에 절연 패턴들(ISO)을 개재하여 형성될 수 있다. 이와 같이 수직 구조체들(VS)을 형성하는 것은, 수직 패턴(155) 및 반도체 스페이서(165) 형성한 후에, 개구부들(105) 내에 차례로 제 2 반도체막 및 매립 절연막을 형성하는 것, 제 2 반도체막 및 매립 절연막을 패터닝하여 개구부(105) 내에 직사각형태의 평면을 갖는 수직 구조체들(VS)을 형성하는 것을 포함할 수 있다.

[0087] 상술한 구성에 따르면, 하나의 개구부(105) 내에는 복수의 수직 구조체들(VS) 및 이들 사이에 배치되는 복수의 절연 패턴들(ISO)이 배치될 수 있으며, 수직 구조체들(VS) 각각은 하나의 반도체 몸체부(175), 한 쌍의 수직 패턴들(155) 및 한 쌍의 반도체 스페이서들(165)를 포함할 수 있다.

[0088] 이하, 도 13, 도 23 및 도 24를 참조하여, 본 발명의 일 실시예에 따른 3차원 반도체 메모리 장치에 대해 설명한다.

[0089] 도 13을 참조하면, 수평 구조체들(HS)이 기판(10) 상에 3차원적으로 배열되고, 수평 구조체들(HS)을 수직하게 관통하는 수직 구조체들(VS)이 기판(10) 상에 2차원적으로 배열된다.

[0090] 수평 구조체들(HS) 각각은 도전 패턴(230) 및 수평 패턴(220)을 포함한다. 도전 패턴(230)은, 그것의 장축이 기판(10)의 상부면(즉, xy 평면)에 평행하도록, 배치된다. 또한, 도전 패턴(230)의 내부에는, 수직 구조체들(VS)에 의해 관통되는 복수의 개구부들(105)이 형성된다. 수평 패턴(220)은 도전 패턴(230)과 수직 구조체들(VS) 사이에 개재될 수 있다. 즉, 수평 패턴(220)은 도전 패턴(230)의 내측벽 또는 개구부들(105)의 측벽들을 덮을 수

있다. 이에 더하여, 이 실시예에 따르면, 수평 패턴들(220)은 개구부들(105)로부터 수평적으로 연장되어 도전 패턴(230)의 상부면 및 하부면을 덮을 수 있다.

[0091] 도전 패턴(230)은 도핑된 실리콘, 금속 물질들, 금속 질화막들 및 금속 실리사이드들 중의 적어도 하나를 포함할 수 있다. 예를 들면, 도전 패턴(230)은 탄탈륨 질화막 또는 텅스텐을 포함할 수 있다. 수평 패턴(220)은 하나의 박막 또는 복수의 박막들로 구성될 수 있다. 일 실시예에 따르면, 수평 패턴(220)은, 적어도, 전하트랩형 비휘발성 메모리 트랜지스터의 메모리 요소로서 사용되는 블록킹 절연막을 포함할 수 있다.

[0092] 수직 구조체들(VS) 각각은 기판(10)의 상부면에 연결되는 반도체 패턴(165, 175) 및 반도체 패턴(165, 175)과 수평 구조체들(HS) 사이에 개재되는 수직 패턴(155)을 포함할 수 있다. 일 실시예에 따르면, 반도체 패턴(165, 175)은 반도체 스페이서(165) 및 반도체 몸체부(175)를 포함할 수 있다. 반도체 스페이서(165)는 상부 및 하부 입구가 오픈된 원통형의 모양일 수 있고, 반도체 몸체부(175)는, 반도체 스페이서(165)의 내벽 및 기판(10)의 상부면을 덮는, 컵 모양일 수 있다. 즉, 반도체 몸체부(175)는 개구부(105)를 완전히 채우지 않는 두께로 형성됨으로써, 그 내부에는 핀홀(105a)이 정의될 수 있다. 이 실시예에 따르면, 도시된 것처럼, 핀홀들(105a)은 매립 패턴들(185)에 의해 채워질 수 있다.

[0093] 한편, 반도체 몸체부(175) 또는 반도체 스페이서(165)는 결정 구조 변경 단계(예를 들면, 레이저 어닐링 단계를 포함하는 에피택시얼 기술)를 경험함으로써, 화학적 기상 증착을 통해 형성되는 다결정 실리콘과 다른 결정 구조를 가질 수 있다. 예를 들면, 반도체 몸체부(175) 또는 반도체 스페이서(165)는 그것의 하부 영역과 그것의 상부 영역이 서로 다른 그레인 사이즈(grain size)를 갖도록 형성될 수 있다. 상술한 또는 후술할 실시예들에 따른 반도체 몸체부(175) 또는 반도체 스페이서(165)는 결정 구조와 관련된 상술한 기술적 특징을 동일하게 가질 수 있다.

[0094] 수직 패턴(155)은 상부 및 하부 입구가 오픈된 원통형의 모양일 수 있으며, 반도체 스페이서(165)의 아래로 연장되는 바닥부를 포함할 수 있다. 수직 패턴(155)은 반도체 패턴(165, 175)과 수평 구조체들(HS) 사이로부터 수직적으로 연장되어, 도시된 것처럼, 하나의 반도체 패턴(165, 175)의 외벽 전체를 덮는 일체(single body)일 수 있다.

[0095] 일 실시예에 따르면, 반도체 패턴(165, 175)은 반도체 물성을 갖는 물질들 중의 한가지일 수 있다. 예를 들면, 반도체 스페이서(165) 및 반도체 몸체부(175) 각각은 다결정 실리콘, 유기 반도체막 및 탄소 나노 구조물들 중의 한가지일 수 있다. 수직 패턴(155)은 하나의 박막 또는 복수의 박막들로 구성될 수 있다. 일 실시예에 따르면, 수직 패턴(155)은, 적어도, 전하트랩형 비휘발성 메모리 트랜지스터의 메모리 요소로서 사용되는 터널 절연막을 포함할 수 있다.

[0096] 한편, 수평 구조체들(HS) 및 수직 구조체들(VS)은 이들 사이의 국소적 교차 영역들(localized intersecting regions)(또는, 채널 영역들), 교차 영역들에 수직적으로 인접한 수직 인접 영역들 및 교차 영역들에 수평적으로 인접한 수평 인접 영역들을 정의할 수 있다. 수직 인접 영역들은 수평 구조체들(HS) 사이에 위치하는 수직 구조체(VS)의 측벽들로 정의될 수 있고, 수평 인접 영역들은 수직 구조체들(VS) 사이에 위치하는 수평 구조체(HS)의 표면들로 정의될 수 있다. 본 발명의 일 측면에 따르면, 수평 패턴(220) 및 수직 패턴(155)은 교차 영역들에 배치되되, 수평 패턴(220)은 수평 인접 영역들로 연장되고, 수직 패턴(155)은 수직 인접 영역들로 연장된다

[0097] 나아가, 제 1 실시예에 따른 3차원 반도체 메모리 장치는, 도 23에 도시된 것처럼, 기판(10)의 소정 영역들에 측벽들 및 바닥면을 갖는 관통 홈(103)이 정의될 수 있다.

[0098] 일 실시예에 따르면, 기판(10)에 정의된 관통 홈(103)의 상부 폭은 반도체 패턴(165, 175)의 폭보다 클 수 있다. 그리고, 관통 홈(103)의 폭은 아래로 갈수록 단조적으로(monotonically) 감소할 수 있다. 나아가, 관통 홈(103)에서 측벽 프로파일의 기울기는 관통 홈(103)의 깊이에 따라 변화하며, 기판(10)의 상면으로부터 서로 다른 깊이에서 측벽 프로파일의 기울기가 같을 수 있다. 여기서, 측벽 프로파일의 기울기는 관통 홈(103)의 깊이의 변화량에 따른 관통 홈(103)의 폭의 변화량이다. 그리고, 기판(10)은 관통 홈(103)의 측벽과 기판(10)의 상면 사이에 라운드진 표면을 가질 수 있다. 다시 말해, 기판(10)은 관통 홈(103)의 측벽과 최하층 도전 패턴(230) 사이에 라운드진 상부 코너(C)를 가질 수 있다.

[0099] 반도체 몸체부(175)는 기판(10) 상에 적층된 도전 패턴들(230)을 관통하여 기판(10)의 관통 홈(103)에 삽입됨으로써 기판(10)과 직접 접촉될 수 있다. 그리고, 반도체 패턴(165, 175)과 도전 패턴들(230) 사이에 개재되는 수직 패턴(155)은 관통 홈(103)의 측벽으로 연장되며, 기판(10)의 라운드진 상부 코너(C)를 덮을 수 있다. 한편,

다른 실시예에 따르면, 도 24에 도시된 것처럼, 수직 패턴(155)과 관통 홈(103)의 측벽 사이에 산화 공정에 의해 형성된 실리콘 산화막이 개재될 수 있다.

[0100] 본 발명의 실시예들에서, 최하층 도전 패턴(230)의 바닥면과 기판(10)의 상면 사이에는 유전막이 개재될 수 있으며, 유전막은 반도체 패턴(165, 175)과 인접한 제 1 부분 및 반도체 패턴(165, 175)과 이격된 제 2 부분을 포함할 수 있다. 여기서, 유전막의 제 1 부분은 수직 패턴(155)의 일부분일 수 있으며, 유전막의 제 2 부분은 최하층 절연막(120)의 일부분일 수 있다. 나아가, 기판(10)은 반도체 패턴(165, 175)에 인접한 라운드진 상부 코너(C)를 가지므로, 유전막의 제 1 부분은 제 2 부분보다 두꺼울 수 있다. 다시 말해, 최하층 도전 패턴(230)의 바닥면과 기판(10)의 상면 사이에서, 유전막의 두께는 반도체 패턴(165, 175)과 가까워질수록 증가될 수 있다.

[0101] 본 발명의 실시예들에 따르면, 3차원 반도체 메모리 장치의 동작시 불순물 영역(240)과 상부 배선 사이에 전류 경로를 형성하기 위해서는, 도전 패턴들(230)에 인가된 전압에 의해 기판(10) 및 반도체 패턴(165, 175) 내에 형성되는 반전 영역이 끊어짐 없이 형성되어야 한다. 그런데, 수직 패턴(155; 즉, 데이터 저장막)이 기판(10) 상에 적층된 도전 패턴들(230)을 관통하여 기판(10)의 관통 홈에 삽입되기 때문에, 최하층의 도전 패턴(230)으로부터 반도체 패턴(165, 175)의 하부 영역에 인가되는 전기장(electric field)이 약화될 수 있다. 이에 따라, 관통 홈(103) 내의 반도체 패턴(165, 175)에서 반전 영역이 끊어질 수 있다.

[0102] 그러나, 본 발명의 실시예들에 따르면, 기판(10)의 관통 홈에 삽입된 수직 패턴(155)의 일측벽과 도전 패턴(230)의 바닥면 사이에 위치하는 기판(10)의 상부 코너를 라운딩함으로써, 관통 홈에 삽입된 수직 패턴(155)의 측벽과 최하층 도전 패턴(230)의 바닥면 사이에 유전막이 두껍게 형성될 수 있다. 이에 따라, 최하층 도전 패턴(230)으로부터 반도체 패턴(165, 175) 하부에 인가되는 전기장이 약화되는 것을 완화할 수 있다. 따라서, 반도체 메모리 장치의 동작시 기판(10) 및 반도체 패턴(165, 175) 내에 형성되는 반전 영역이 끊어지는 것을 방지할 수 있다.

[0103] 이하, 도 25 및 도 26 내지 도 29를 참조하여 본 발명의 제 2 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법에 대해 설명한다. 도 2 내지 도 24에 도시된 제 1 실시예와 실질적으로 동일한 구성 요소에 대해서는 동일한 도면 부호를 사용하며, 해당 구성 요소에 대한 상세한 설명은 생략하기로 한다.

[0104] 도 25는 본 발명의 제 2 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법을 설명하기 위한 순서도이다. 도 26 내지 도 29는 본 발명의 제 2 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법을 설명하기 위한 단면도들로서, 제 2 실시예에 따른 3차원 반도체 메모리 장치의 하부 영역을 나타낸다.

[0105] 제 2 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법은, 도 25에 도시된 것처럼, 수직 패턴(155)을 형성한 후 반도체 패턴을 형성하기 전에, 수직 패턴의 바닥 부분을 제거하여 언더컷 영역을 형성하는 공정이 수행될 수 있다(S45).

[0106] 상세하게, 도 6 및 도 21을 참조하여 설명한 것처럼, 수직 패턴(155)의 측벽을 덮는 반도체 스페이서(165)를 형성한 후, 관통 홈(103)에 노출된 수직 패턴(155)을 등방성 식각하여, 반도체 스페이서(165)의 바닥면을 노출시키는 언더컷 영역(106)이 형성될 수 있다. 이 경우, 도 26에 도시된 것처럼, 수직 패턴(155)의 길이는 반도체 스페이서(165)의 길이보다 짧아질 수 있다. 그리고 수직 패턴(155)의 바닥면은 기판(10)의 상면과 반도체 스페이서(165)의 바닥면 사이에 위치할 수 있다. 이와 달리, 수직 패턴(155)의 바닥면은 기판(10)의 상면보다 위에 위치할 수도 있다.

[0107] 보다 상세히 설명하면, 언더컷 영역(106)을 형성하는 것은 수직 패턴(155)을 구성하는 복수의 박막들을 등방적으로 식각하는 것을 포함할 수 있다. 일 실시예에 따르면, 수직 패턴(155)은 도 30에 도시된 것처럼, 터널 절연막(TIL), 전하 저장막(CL) 및 캐핑막(CPL)을 포함할 수 있다.

[0108] 일 실시예에 따르면, 언더컷 영역(106)을 형성하는 것은, 노출된 전하저장막(CL)을 등방적으로 식각하여 제 1 언더컷 영역을 형성하는 것, 및 제 1 언더컷 영역에 의해 노출되는 캐핑막(CPL) 및 터널절연막(TIL)을 등방적으로 식각하여 제 2 언더컷 영역을 형성하는 것을 포함할 수 있다.

[0109] 제 1 언더컷 영역은 관통 홈(103)으로부터 연장된 갭 영역일 수 있으며, 캐핑막(CPL) 및 터널절연막(TIL)의 표면들을 부분적으로 노출시키도록 형성된다. 일부 실시예들에 따르면, 전하저장막(CL)은 실리콘 질화막일 수 있다. 이 경우, 제 1 언더컷 영역은 인산을 포함하는 식각액을 사용하는 습식 식각 공정을 통해 형성될 수 있다. 하지만, 다른 실시예들에 따르면, 제 1 언더컷은 등방성 건식 식각의 방법을 통해 형성될 수도 있다.

[0110] 제 2 언더컷 영역은, 캐핑막(CPL) 및 터널절연막(TIL)에 의해 각각 덮혀있던, 개구부(105)를 정의하는 기판(1

0)의 표면 일부 그리고 반도체 스페이서(165)의 외측벽의 하부 영역 및 바닥면을 노출시키도록 형성되며, 제 1 언더컷 영역과 함께 언더컷 영역(106)을 구성할 수 있다. 제 2 언더컷 영역을 형성하는 단계는 습식 식각 또는 등방적 건식 식각의 방법들 중의 적어도 하나를 이용하여 실시될 수 있다. 습식 식각 방법의 경우, 불산 또는 황산을 포함하는 식각액이 사용될 수 있다.

[0111] 한편, 변형된 실시예에 따르면, 도 18을 참조하여 설명한 것처럼, 기판(10)의 관통 홈 표면에 형성된 실리콘 산화막을 제거하지 않고, 실리콘 산화막 상에 수직 패턴(155a) 및 반도체 스페이서(165a)가 형성될 수 있다. 이러한 경우, 언더컷 영역(106)을 형성할 때, 도 29에 도시된 것처럼, 실리콘 산화막의 일부가 함께 등방성 식각될 수도 있다.

[0112] 이어서, 도 27을 참조하면, 기판(10)과 반도체 스페이서(165)를 연결하는 제 2 반도체막(175a)을 언더컷 영역(106)에 형성한다. 제 2 반도체막(175a)은 증착 기술들 중의 하나를 사용하여 형성되는 반도체 물질(예를 들면, 다결정 실리콘)일 수 있다. 이 경우, 도시된 것처럼, 제 2 반도체막(175a)은 언더컷 영역으로부터 연장되어 반도체 스페이서(165)의 내벽을 덮을 수 있다. 이에 더하여, 이러한 증착 공정의 결과로서, 제 2 반도체막(175a)은 언더컷 영역 내에서 씸(seam)을 가질 수도 있다.

[0113] 다른 실시예에 따르면, 언더컷 영역(106) 내에는 제 2 반도체막(170)에 의해 완전하게 채워지지 않은 공극(void)이 형성될 수 있다. 다른 실시예들에 따르면, 공극은 절연성 물질(예를 들면, 실리콘 산화막)으로 완전히 또는 부분적으로 채워질 수 있다.

[0114] 변형된 실시예들에 따르면, 제 2 반도체막(170)을 형성한 후, 반도체 스페이서(165) 및 제 2 반도체막(170)에 대한 재결정화 공정이 더 실시될 수 있다. 재결정화 공정에 의해 반도체 스페이서(165) 및 제 2 반도체막(170) 내의 결정 결함의 밀도는 감소될 수 있다. 예를 들면, 반도체 스페이서(165) 및 제 2 반도체막(170)이 다결정 실리콘으로 형성되는 경우, 재결정화 공정은 이들의 그레인 크기를 증가시키거나 이들의 결정 구조를 단결정화시킬 수 있다. 재결정화 공정은 열처리 기술들, 레이저 어닐링 기술들 및 에피택시얼 기술들 중의 적어도 하나를 이용하여 실시될 수 있다. 그럼에도 불구하고, 기판(10)이 단결정 웨이퍼인 경우, 평균적으로 기판(10)은 반도체 스페이서(165) 및 제 2 반도체막(170)보다 적은 결정 결함을 가질 수 있다.

[0115] 이어서, 제 1 실시예에서 도 9를 참조하여 설명한 것처럼, 주형 구조체(100)을 관통하면서 희생막들(130) 및 절연막들(120)의 측벽들을 노출시키는 트렌치들(200)을 형성한다. 또한, 도 10을 참조하여 설명한 것처럼, 트렌치(200)에 노출된 희생막들(130)을 선택적으로 제거하여 절연막들(120) 사이에 리세스 영역들(210)을 형성한다.

[0116] 이어서, 도 28을 참조하면, 제 1 실시예에서 도 11을 참조하여 설명한 것처럼, 리세스 영역들(210)을 채우는 수평 구조체들(HS)을 형성한다. 수평 구조체(HS)는 리세스 영역(210)의 내벽을 덮는 수평 패턴들(220) 및 리세스 영역(210)의 나머지 공간을 채우는 도전 패턴(230)을 포함할 수 있다. 한편, 일 실시예에 따르면, 도전 패턴들(230)을 형성한 후, 불순물 영역들(240)을 형성하는 단계가 더 실시될 수 있다. 이어서, 트렌치들(200)을 채우는 전극 분리 패턴(250)을 형성하거나, 도 14를 참조하여 설명한 것처럼, 불순물 영역(240)과 전기적으로 연결되는 금속 패턴(255)을 형성할 수 있다.

[0117] 또한, 수직 구조체들(VS) 각각의 상부에는 상부 플러그들(260)이 형성될 수 있으며, 상부 플러그들(260)의 상부에는 이들을 연결하는 상부 배선들(270)이 형성될 수 있다.

[0118] 도 28 및 도 29를 참조하면, 제 2 실시예에 따른 3차원 반도체 메모리 장치는 앞에서 상술한 것처럼, 수평 구조체들(HS)이 기판(10) 상에 3차원적으로 배열되고, 수평 구조체들(HS)을 수직하게 관통하는 수직 구조체들(VS)이 기판(10) 상에 2차원적으로 배열된다. 여기서, 수평 구조체들(HS) 각각은 도전 패턴(230) 및 수평 패턴(220)을 포함하고, 수직 구조체들(VS) 각각은 기판(10)의 상부면에 연결되는 반도체 패턴(165, 175) 및 반도체 패턴(165, 175)과 수평 구조체들(HS) 사이에 개재되는 수직 패턴(155)을 포함할 수 있다.

[0119] 나아가, 본 발명의 실시예들에 따르면, 기판(10)은 소정 영역들에 측벽들 및 바닥면을 갖는 관통 홈(103)을 가질 수 있다. 기판(10)에 정의된 관통 홈(103)의 상부 폭은 반도체 패턴(165, 175)의 폭보다 클 수 있다. 그리고, 관통 홈(103)의 폭은 아래로 갈수록 단조적으로(monotonically) 감소할 수 있다. 나아가, 관통 홈(103)에서 측벽 프로파일의 기울기는 관통 홈(103)의 깊이에 따라 변화하며, 기판(10)의 상면으로부터 서로 다른 깊이에서 측벽 프로파일의 기울기가 같을 수 있다. 여기서, 측벽 프로파일의 기울기는 관통 홈(103)의 깊이의 변화량에 따른 관통 홈(103)의 폭의 변화량이다. 그리고, 기판(10)은 관통 홈(103)의 측벽과 기판(10)의 상면 사이에 라운드진 표면을 가질 수 있다. 다시 말해, 기판(10)은 관통 홈(103)의 측벽과 최하층 도전 패턴(230) 사이에 라운드진 상부 코너(C)를 가질 수 있다.

[0120] 그리고, 반도체 패턴(165, 175)과 도전 패턴들(230) 사이에 개재되는 수직 패턴(155a)은 관통 홈(103)의 측벽으로 연장되며, 기판(10)의 라운드진 상부 코너(C)를 덮을 수 있다. 한편, 다른 실시예에 따르면, 도 29에 도시된 것처럼, 수직 패턴(155a)과 관통 홈(103)의 측벽 사이에 산화 공정에 의해 형성된 실리콘 산화막이 개재될 수 있다.

[0121] 본 발명의 실시예들에서, 최하층 도전 패턴(230)의 바닥면과 기판(10)의 상면 사이에는 유전막이 개재될 수 있으며, 유전막은 반도체 패턴(165, 175)과 인접한 제 1 부분 및 반도체 패턴(165, 175)과 이격된 제 2 부분을 포함할 수 있다. 여기서, 유전막의 제 1 부분은 수직 패턴(155)의 일부분일 수 있으며, 유전막의 제 2 부분은 최하층 절연막(120)의 일부분일 수 있다. 나아가, 기판(10)은 반도체 패턴(165, 175)에 인접한 라운드진 상부 코너(C)를 가지므로, 유전막의 제 1 부분은 제 2 부분보다 두꺼울 수 있다. 다시 말해, 최하층 도전 패턴(230)의 바닥면과 기판(10)의 상면 사이에서, 유전막의 두께는 반도체 패턴(165, 175)과 가까워질수록 증가될 수 있다.

[0122] 한편, 제 2 실시예에서, 반도체 패턴(165, 175)은 수직 패턴(155) 내에 삽입되는 관통부 및 관통부로부터 연장되어 기판(10)에 직접 접촉하며, 관통부의 폭보다 큰 폭을 갖는 삽입부를 포함할 수 있다. 여기서, 반도체 패턴(165, 175)의 관통부는 반도체 스페이서(165)와 제 2 반도체막(175a)의 일부분으로 구성될 수 있으며, 반도체 패턴(165, 175)의 삽입부는 제 2 반도체막(175a)의 일부분으로서, 기판(10)의 관통 홈에 삽입되어 기판(10)과 직접 접촉하는 부분일 수 있다. 그리고, 수직 패턴(155)의 바닥면은 반도체 패턴(165, 175)의 삽입부와 접촉할 수 있다.

[0123] 제 2 실시예에서, 제 2 반도체막(175a)은 언더컷 영역에 의해 제 1 실시예의 제 2 반도체막(175)보다 최하부 도전 패턴(230)에 인접하게 형성될 수 있다. 따라서, 기판(10) 및 반도체 패턴(165, 175) 내에서 공통 소오스 라인(도 1의 CSL)으로부터 비트 라인(도 1의 BL)으로 연결되는 전류 경로가 감소될 수 있다.

[0124] 도 30 내지 도 37은 본 발명의 실시예들에 따른 데이터 저장막의 구조와 관련된 본 발명의 실시예들을 설명하기 위한 사시도들이다.

[0125] 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치는 플래시 메모리일 수 있으며, 이러한 경우, 3차원 반도체 메모리 장치는 터널 절연막(TIL), 전하 저장막(CL) 및 제 1 블록킹 절연막(BIL1)을 포함하는 데이터 저장막을 포함할 수 있다. 일부 실시예들에 따르면, 데이터 저장막은 제 1 블록킹 절연막(BIL1)과 도전 패턴(230) 사이에 배치되는 제 2 블록킹 절연막(BIL2)을 더 포함할 수 있다. 이에 더하여, 데이터 저장막은 전하저장막(CL)과 제 1 블록킹 절연막(BIL1) 사이에 개재되는 캐핑막(CPL)을 더 포함할 수 있다. 데이터 저장막을 구성하는 막들은 우수한 단차 도포성을 제공할 수 있는 증착 기술(예를 들면, 화학기상증착 또는 원자층 증착 기술)을 사용하여 형성될 수 있다.

[0126] 도 30 내지 도 37에 도시된 것처럼, 수직 구조체(VS)는 터널 절연막(TIL)을 적어도 포함하고, 수평 구조체(HS)는 제 1 및 제 2 블록킹 절연막들(BIL1, BIL2) 중의 적어도 하나를 포함한다. 이때, 일부 실시예들에 따르면, 도 30, 도 31, 도 33, 도 35, 도 36 및 도 37에 도시된 것처럼, 수직 구조체(VS)가 전하 저장막(CL)을 포함할 수 있다. 또한, 다른 실시예들에 따르면, 도 32 및 도 34에 도시된 것처럼, 수평 구조체(HS)가 전하 저장막(CL)을 포함할 수 있다.

[0127] 수직 구조체(VS)가 전하 저장막(CL)을 포함하는 경우, 도 30, 도 35, 도 36 및 도 37에 도시된 것처럼, 수직 구조체(VS)는 캐핑막(CPL)을 더 포함할 수 있다. 하지만, 도 31 및 33에 도시된 것처럼, 수직 구조체(VS)와 수평 구조체(HS)는, 캐핑막(CPL)없이, 직접 접촉할 수도 있다.

[0128] 한편, 캐핑막(CPL)의 측벽 두께는 불균일할 수 있다. 예를 들면, 리세스 영역들(210)을 형성하는 동안, 수평 구조체(HS)에 인접하는 캐핑막(CPL)의 측벽은 수평적으로 리세스될 수 있다. 이 경우, 도 35에 도시된 것처럼, 캐핑막(CPL)의 두께는 수평 구조체(HS)에 인접하는 영역(a)(또는 채널 영역)에서보다 수평 구조체들(HS) 사이의 영역(b)(또는 수직 인접 영역)에서 더 두꺼울 수 있다. 또는, 도 36에 도시된 것처럼, 캐핑막(CPL)은 수직 인접 영역(b)에 국소적으로 잔존하고, 수평 구조체(HS)는 채널 영역(a)에서는 전하저장막(CL)의 측벽에 직접 접촉할 수 있다. 하지만, 도 30 및 도 37에 예시적으로 도시된 것처럼, 캐핑막(CPL)의 측벽 두께는 실질적으로 균일할 수도 있다.

[0129] 본 발명의 일부 실시예들에 따르면, 도 33, 도 34 및 도 37에 도시된 것처럼, 수평 구조체(HS)는 제 1 및 제 2 블록킹 절연막들(BIL1, BIL2)을 모두 포함할 수 있다.

[0130] 한편, 물질의 종류 및 형성 방법에 있어서, 전하 저장막(CL)은 트랩 사이트들이 풍부한 절연막들 및 나노 입자

들을 포함하는 절연막들 중의 한가지일 수 있으며, 화학 기상 증착 또는 원자층 증착 기술들 중의 한가지를 사용하여 형성될 수 있다. 예를 들면, 전하저장막(CL)은 트랩 절연막, 부유 게이트 전극 또는 도전성 나노 돗들(conductive nano dots)을 포함하는 절연막 중의 한가지를 포함할 수 있다. 더 구체적인 예로, 전하저장막(CL)은 실리콘 질화막, 실리콘 산화질화막, 실리콘-풍부 질화막(Si-rich nitride), 나노크리스탈 실리콘(nanocrystalline Si) 및 박층화된 트랩막(laminated trap layer) 중의 적어도 하나를 포함할 수 있다.

[0131] 터널 절연막(TIL)은 전하저장막(CL)보다 큰 밴드 갭을 갖는 물질들 중의 한가지일 수 있으며, 화학 기상 증착 또는 원자층 증착 기술들 중의 한가지를 사용하여 형성될 수 있다. 예를 들면, 터널 절연막(TIL)은 상술한 증착 기술들 중의 하나를 사용하여 형성되는 실리콘 산화막일 수 있다. 이에 더하여, 터널 절연막(TIL)은 증착 공정 이후 실시되는 소정의 열처리 단계를 더 경험할 수 있다. 열처리 단계는 급속-열-질화 공정(Rapid Thermal Nitridation; RTN) 또는 질소 및 산소 중의 적어도 하나를 포함하는 분위기에서 실시되는 어닐링 공정일 수 있다.

[0132] 제 1 및 제 2 블록킹 절연막들(BIL1 및 BIL2)은 서로 다른 물질로 형성될 수 있으며, 제 1 및 제 2 블록킹 절연막들(BIL1 및 BIL2) 중의 하나는 터널 절연막(TIL)보다 작고 전하저장막(CL)보다 큰 밴드 갭을 갖는 물질들 중의 한가지일 수 있다. 또한, 제 1 및 제 2 블록킹 절연막들(BIL1 및 BIL2)은 화학 기상 증착 또는 원자층 증착 기술들 중의 한가지를 사용하여 형성될 수 있으며, 이들 중의 적어도 하나는 습식 산화 공정을 통해 형성될 수 있다. 일 실시예에 따르면, 제 1 블록킹 절연막(BIL1)은 알루미늄 산화막 및 하프늄 산화막 등과 같은 고유전막들 중의 하나이고, 제 2 블록킹 절연막(BIL2)은 제 1 블록킹 절연막(BIL1)보다 작은 유전 상수를 갖는 물질일 수 있다. 다른 실시예에 따르면, 제 2 블록킹 절연막(BIL2)은 고유전막들 중의 하나이고, 제 1 블록킹 절연막(BIL1)은 제 2 블록킹 절연막(BIL2)보다 작은 유전 상수를 갖는 물질일 수 있다. 변형된 실시예에 따르면, 제 1 및 제 2 블록킹 절연막들(BIL1 및 BIL2)에 더하여, 전하저장막(CL)과 도전 패턴(230) 사이에 개재되는 적어도 하나의 추가적인 블록킹 절연막(미도시)이 더 형성될 수 있다.

[0133] 캐핑막(CPL)은 전하저장막(CL) 또는 희생막(130)에 대해 식각 선택성을 제공할 수 있는 물질일 수 있다. 예를 들면, 희생막(130)이 실리콘 질화막인 경우, 캐핑막(CPL)은 실리콘 산화막일 수 있다. 이 경우, 리세스 영역들(210)을 형성하기 위한 희생막(130)의 제거 공정에서, 캐핑막(CPL)은 전하저장막(CL)의 식각 손상을 방지하는 식각 정지막으로 기능할 수 있다. 한편, 도 30, 도 35, 도 36 및 도 37에 도시된 것처럼, 캐핑막(CPL)이 도전 패턴(230)과 전하저장막(CL) 사이에 잔존하는 경우, 캐핑막(CPL)은 전하저장막(CL)에 저장되는 전하의 누출(예를 들면, 백-터널링; back-tunneling)을 방지하는데 기여할 수 있는 물질로 형성될 수 있다. 예를 들면, 캐핑막(CPL)은 실리콘 산화막 및 고유전막들 중의 한가지일 수 있다.

[0134] 이하, 도 38 내지 도 42를 참조하여, 본 발명의 다른 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법에 대해 설명한다.

[0135] 도 38 내지 도 41은 본 발명의 제 3 실시예에 따른 3차원 반도체 메모리 장치의 제조 방법을 설명하기 위한 단면도들이며, 도 42는 제 3 실시예에 따른 3차원 반도체 메모리 장치의 하부 영역을 나타낸다.

[0136] 도 38을 참조하면, 기판(10) 상에 게이트 도전막들(GP1~GP6: GP) 및 절연막들(121~129: 120)을 번갈아 적층된 주형 구조체를 형성한다. 이 실시예에 따르면, 기판(10)은 내에는, 공통 소오스 라인(도 1의 CSL)으로 제공되는 불순물 영역(미도시)이 형성될 수 있으며, 주형 구조체는 상기 불순물 영역 상에 적층될 수 있다.

[0137] 절연막들(121~129: 120)은 열산화막, 실리콘 산화막, 실리콘 질화막 및 실리콘 산질화막 중의 적어도 하나일 수 있다. 그리고, 절연막들 중 최하층의 절연막(121)은 게이트 도전막들(GP1~GP6: GP)에 대하여 식각선택비를 갖는 유전물질로 형성될 수 있으며, 예를 들어, 열산화막으로 형성될 수 있다.

[0138] 게이트 도전막들(GP1~GP6: GP)은 게이트 전극들로 사용될 수 있도록 도전성 물질들 중의 적어도 한가지로 형성된다. 예를 들어, 게이트 도전막들(GP1~GP6: GP)은 도핑된 폴리실리콘, 금속막, 금속 질화막들 및 금속 실리사이드들 중의 적어도 하나를 포함할 수 있다.

[0139] 이 실시예에 따르면, 주형 구조체(100)에서 하부에 위치하는 게이트 도전막(GP1)은 도 1을 참조하여 설명된 접지 선택 라인(GSL)으로 사용될 수 있으며, 주형 구조체(100) 상부에 위치하는 게이트 도전막(GP6)은 도 1을 참조하여 설명된 스트링 선택 라인들(SSL)로 사용될 수 있다. 그리고, 나머지 게이트 도전막들(GP2~GP4)은 도 1을 참조하여 설명된 워드 라인들(WL)로 사용될 수 있다.

[0140] 본 발명의 실시예들에 따른 메모리 셀 트랜지스터들의 게이트 전극들로 사용되는 게이트 도전막들(GP3~GP6)의 두께는 메모리 셀 트랜지스터의 채널 길이를 결정한다. 일 실시예에 따르면, 게이트 도전막들(GP1~GP6: GP)은

증착 공정을 통해 형성되므로, 채널 길이는 패터닝 기술을 사용하여 형성되는 경우에 비해 더욱 정밀하게 제어될 수 있다. 또한, 메모리 셀 트랜지스터들의 채널의 길이 방향이 기판(10)에 수직하기 때문에, 본 발명에 따른 반도체 메모리 장치의 집적도는 게이트 도전막들(GP1~GP6: GP)의 두께에 독립적이다. 또한, 앞에서 설명한 것처럼, 메모리 셀 트랜지스터들의 게이트 전극들로 사용되는 게이트 도전막들(GP1~GP6: GP) 사이의 간격(즉, 절연막들(121~129: 120)의 두께)은 후속하여 형성되는 반도체 패턴에 생성되는 반전 영역의 최대 폭보다 작은 범위를 갖도록 형성될 수 있다.

[0141] 한편, 도 1에서 설명된 접지 선택 라인(GSL) 및 스트링 선택 라인(SSL) 각각은 수직적으로 인접한 복수의 게이트 도전막들로 구성될 수도 있다. 또한, 다른 실시예에 따르면, 접지 선택 라인(GSL) 및 스트링 선택 라인(SSL)으로 사용되는 하부 및 상부 게이트 도전막들(GP1, GP6)은 다른 게이트 도전막들(GP2~GP5)에 비해 보다 두껍게 형성될 수 있다.

[0142] 이와 같은 주형 구조체(100)를 구성하는 박막들의 수, 그 각각의 두께, 그 각각의 물질 등은, 메모리 셀 트랜지스터의 전기적 특성 및 이들을 패터닝하는 공정에서의 기술적 어려움들을 고려하여, 다양하게 변형될 수 있다.

[0143] 도 39를 참조하면, 주형 구조체(100)를 패터닝하여 기판(10)을 노출시키는 개구부들(121)을 형성한다. 구체적으로, 개구부들(121)을 형성하는 단계는, 주형 구조체(100)상에 개구부들(121)의 평면적 위치를 정의하는 마스크 패턴(미도시)을 형성하는 단계와, 마스크 패턴을 식각 마스크로 사용하여 주형 구조체(100)를 이방성 식각하는 단계를 포함할 수 있다.

[0144] 개구부들(121)은 도 4를 참조하여 설명한 것처럼, 게이트 도전막들(GP)및 절연막들(120) 의 측벽들을 노출시키도록 형성될 수 있다. 수평적 모양에 있어서, 개구부들(121) 각각은 원통형 또는 직육면체의 홀 형태로 형성될 수 있으며, 2차원적으로 그리고 규칙적으로 형성될 수 있다. 또한, 개구부(121)는 이방성 식각 공정에 의해 기판(10)으로부터의 거리에 따라 다른 폭을 가질 수 있다. 또한, 개구부들(121)은 일 실시예를 참조하여 설명한 것처럼, 라인 형태 또는 직사각형으로 형성될 수도 있다. 또한, 개구부들(121)은 기판(10)의 상부면을 노출시키도록 형성될 수 있다.

[0145] 나아가, 개구부들(105)을 형성하는 동안 오버 식각(over etch)에 의해 개구부(121)에 노출되는 기판(10)의 상부면이 소정 깊이 리세스될 수 있다. 이에 따라, 도 27을 참조하여 설명한 것처럼, 기판(10)에 측벽들 및 바닥면을 갖는 관통 홈(103)이 형성될 수 있다.

[0146] 이어서, 도 4 및 도 18을 참조하여 설명한 것처럼, 관통 홈(103)의 측벽과 기판(10)의 상면 사이에 라운드진 프로파일(rounded profile)을 형성한다. 즉, 기판(10)에 라운드진 상부 코너(C)를 형성한다. 일 실시예에 따르면, 기판(10)에 라운드진 상부 코너(C)를 형성하기 위해, 개구부들(105)에 노출된 기판(10)을 산화시키는 산화 공정이 수행될 수 있다. 산화 공정으로는 열산화(thermal oxidation) 공정 또는 라디칼 산화(radical oxidation) 공정이 수행될 수 있다.

[0147] 도 40을 참조하면, 개구부들(105) 각각의 내벽을 차례로 덮는 데이터 저장 패턴(152) 및 반도체 스페이서(165)를 형성한다.

[0148] 상세하게, 데이터 저장 패턴(152) 및 반도체 스페이서(165)를 형성하는 것은, 개구부들(105) 각각의 내벽을 컨포말하게 덮는 데이터 저장 패턴(152)을 형성하는 것, 데이터 저장 패턴(152)을 컨포말하게 덮는 제 1 반도체막을 형성하는 것, 제 1 반도체막 및 데이터 저장 패턴(152)을 이방성 식각하여 개구부들(105)의 바닥에서 기판(10)의 상부면을 노출시키는 것을 포함할 수 있다.

[0149] 한편, 일 실시예에 따르면, 데이터 저장 패턴(152)을 형성하기 전에, 관통 홈(103)의 표면에 형성된 실리콘 산화막이 제거될 수도 있다. 실리콘 산화막이 제거되면, 기판의 라운드진 상부 코너(C)가 노출될 수 있으며, 관통 홈(103)의 측벽 및 바닥면이 노출될 수 있다. 나아가, 기판(10)의 상부 코너(C)는 주형 구조체의 아래에 형성될 수 있으며, 기판(10)의 라운드진 상부 코너(C)와 주형 구조체의 사이에 갭(gap) 영역이 형성될 수도 있다.

[0150] 데이터 저장막은 우수한 단차 도포성을 제공할 수 있는 증착 기술(예를 들면, 화학기상증착 또는 원자층 증착 기술)을 사용하여 형성될 수 있으며, 개구부(105)의 폭의 절반보다 얇은 두께로 형성될 수 있다. 이에 따라, 데이터 저장막(142)은 개구부(105)에 노출된 게이트 도전막들(GP) 및 절연막들(120)의 일측벽들을 실질적으로 컨포말하게 덮을 수 있다. 또한, 데이터 저장막이 증착 기술을 이용하여 형성되기 때문에 개구부(105)에 의해 노출된 기판(10)의 상부면에도 데이터 저장막이 컨포말하게 증착될 수 있다. 나아가, 일 실시예에서 데이터 저장 패턴(152)은 도 42에 도시된 것처럼, 기판(10)의 라운드진 상부 코너(C)와 주형 구조체의 사이에 갭(gap) 영역

을 채울 수 있다.

[0151] 데이터 저장막은 하나의 박막 또는 복수의 박막들로 구성될 수 있다. 예를 들면, 데이터 저장막은 전하트랩형 비휘발성 메모리 트랜지스터의 메모리 요소로서 사용되는 박막들 중의 적어도 하나를 포함할 수 있다. 예를 들어, 데이터 저장막은 전하 트랩 절연막, 부유(floating) 게이트 전극 또는 도전성 나노 돗들(conductive nano dots)을 포함하는 절연막 중의 한가지를 포함할 수 있다.

[0152] 이 실시예에서, 데이터 저장막은 도 30 내지 도 37에 도시된 것처럼, 차례로 적층되는 블록킹 절연막, 전하트랩막 및 터널 절연막을 포함할 수 있으며, 블록킹 절연막은 절연막들(120) 및 게이트 도전막들(GP)의 측벽들과 직접 접촉될 수 있다. 블록킹 절연막은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, 및 고유전막들 중의 적어도 하나를 포함할 수 있으며, 복수의 막들로 구성될 수 있다. 이때, 고유전막은 실리콘 산화막보다 높은 유전 상수를 갖는 절연성 물질들을 의미하며, 탄탈륨 산화막, 티타늄 산화막, 하프늄 산화막, 지르코늄 산화막, 알루미늄 산화막, 이트륨 산화막, 니오븀 산화막, 세슘 산화막, 인듐 산화막, 이리듐 산화막, BST막 및 PZT막을 포함할 수 있다. 터널 절연막은 블록킹 절연막보다 낮은 유전 상수를 갖는 물질로 형성될 수 있으며, 전하 트랩막은 전하 트랩 사이트들이 풍부한 절연성 박막(예를 들면, 실리콘 질화막)이거나, 도전성 그레인들을 포함하는 절연성 박막일 수 있다. 일 실시예에 따르면, 터널 절연막은 실리콘 산화막이고, 전하 트랩막은 실리콘 질화막이고, 블록킹 절연막은 알루미늄 산화막을 포함하는 절연막일 수 있다.

[0153] 데이터 저장 패턴(152) 및 반도체 스페이서(165)는 열린 양단을 갖는 원통 모양으로 형성될 수 있다. 또한, 제 1 반도체막을 이방성 식각하는 단계에서의 과도식각(over-etch)의 결과로서, 도시된 것처럼, 반도체 스페이서(165)에 의해 노출되는 관통 홈(103)의 바닥면이 리세스될 수 있다.

[0154] 한편, 이방성 식각 단계 동안, 반도체 스페이서(165)의 아래에 위치하는 데이터 저장막의 일부분은 식각되지 않을 수 있으며, 이 경우, 데이터 저장 패턴(152)은 반도체 스페이서(165)의 바닥면과 기판(10)의 표면 사이에 개재되는 바닥부를 가질 수 있다.

[0155] 도 41을 참조하면, 데이터 저장 패턴(152) 및 반도체 스페이서(165)가 형성된 개구부(105) 내에 기판(10)과 접촉하는 반도체 몸체부를 형성하기 위해 제 2 반도체막(170)을 형성한다.

[0156] 제 2 반도체막(170)은 단차 도포성이 우수한 증착 기술들 중의 한가지를 사용하여 형성될 수 있다. 이 때, 제 2 반도체막(170)은 개구부의 폭의 절반 이하의 두께로 증착될 수 있다. 이러한 경우, 제 2 반도체막(170)은 개구부의 일부를 채우고 개구부의 중심 부분에 빈 영역을 정의할 수 있다. 즉, 제 2 반도체막(170)은 중공의 실린더 형태(hollow cylindrical type) 또는 쉘(shell) 모양으로 형성될 수 있다. 또한, 제 2 반도체막(170)의 두께(즉, 쉘의 두께)는 거기에 생성될 공핍 영역의 폭보다 얇거나 다결정 실리콘을 구성하는 실리콘 그레인들의 평균 길이보다 작을 수 있다. 그리고, 제 2 반도체막(170)에 의해 정의되는 빈 영역 내에는 매립 절연 패턴(185)이 채워질 수 있다. 한편, 다른 실시예에 다르면, 제 2 반도체막(170)은 도 15를 참조하여 설명한 것처럼, 증착 공정에 의해 개구부 내에 완전히 채워질 수도 있다.

[0157] 반도체 몸체부(170) 각각의 상부에는 상부 플러그들(260)이 형성되고, 상부 플러그들(260)의 상부에는 이들을 연결하는 상부 배선들(270)이 형성될 수 있다.

[0158] 일 실시예에 따르면, 반도체 스페이서(165) 및 반도체 몸체부(175)의 상부에 불순물 영역(D)이 형성될 수 있다. 불순물 영역(D)은 그것의 아래에 위치하는 반도체 스페이서(165)의 일부분과 다른 도전형으로 도핑될 수 있다. 이에 따라, 불순물 영역(D)은 그 하부 영역과 다이오드를 구성할 수 있다. 이 실시예에 따르면, 상부 플러그들(260)은 도핑된 실리콘 및 금속성 물질들 중의 한가지일 수 있다. 다른 실시예에 따르면, 상부 플러그들(260)은 반도체 스페이서(165) 및 반도체 몸체부(175)과 다른 도전형으로 도핑된 실리콘막일 수 있다. 이 경우, 상부 플러그들(260)은 반도체 스페이서(165) 및 반도체 몸체부(175)과 피엔 접합을 구성할 수 있다.

[0159] 상부 배선들(270) 각각은 상부 플러그(260)을 통해 반도체 스페이서(165) 및 반도체 몸체부(175)에 전기적으로 연결될 수 있으며, 수평 구조체들(HS)을 가로지르도록 형성될 수 있다. 낸드 플래시 메모리를 위한 실시예에 따르면, 상부 배선들(270)은 복수의 셀 스트링들의 일단들에 접속하는 비트라인들로 사용될 수 있다.

[0160] 한편, 다른 실시예에 따르면, 앞에서 설명한 것처럼, 인접하는 반도체 몸체부(170)들 사이에 기판(10)을 노출시키는 트렌치들을 형성함으로써, 게이트 도전막들 및 절연막들로 구성된 주형 구조체(100)가 서로 평한한 라인 형태를 가질 수 있다. 그리고, 하나의 라인 형태의 주형 구조체(100)에는 복수의 반도체 몸체부(170)들이 관통할 수 있다.

[0161] 제 3 실시예에 따른 3차원 반도체 메모리 장치는, 도 41 및 도 42에 도시된 것처럼, 제 1 및 제 2 실시예들과 달리, 절연막들(120)과 게이트 도전막들(GP)이 서로 직접 접촉될 수 있다. 나아가, 도 42를 참조하면, 기판(10)의 소정 영역들에 측벽들 및 바닥면을 갖는 관통 홈(103)이 정의될 수 있다. 앞에서 설명한 것처럼, 기판(10)에 정의된 관통 홈(103)의 상부 폭은 반도체 패턴(165, 175)의 폭보다 클 수 있다. 그리고, 관통 홈(103)의 폭은 아래로 갈수록 단조적으로(monotonically) 감소할 수 있다. 나아가, 관통 홈(103)에서 측벽 프로파일의 기울기는 관통 홈(103)의 깊이에 따라 변화하며, 기판(10)의 상면으로부터 서로 다른 깊이에서 측벽 프로파일의 기울기가 같을 수 있다. 여기서, 측벽 프로파일의 기울기는 관통 홈(103)의 깊이의 변화량에 따른 관통 홈(103)의 폭의 변화량이다. 그리고, 기판(10)은 관통 홈(103)의 측벽과 기판(10)의 상면 사이에 라운드진 표면을 가질 수 있다. 다시 말해, 기판(10)은 관통 홈(103)의 측벽과 최하층 도전 패턴(230) 사이에 라운드진 상부 코너(C)를 가질 수 있다.

[0162] 반도체 몸체부(170)은 기판(10) 상에 적층된 게이트 도전막들(GP)을 관통하여 기판(10)의 관통 홈(103)에 삽입됨으로써 기판(10)과 직접 접촉될 수 있다. 그리고, 반도체 몸체부(170)과 게이트 도전막들(GP) 사이에 개재되는 데이터 저장 패턴(152)은 관통 홈(103)의 측벽으로 연장되며, 기판(10)의 라운드진 상부 코너를 덮을 수 있다. 한편, 다른 실시예에 따르면, 앞에서 설명한 것처럼, 데이터 저장 패턴(152)과 관통 홈(103)의 측벽 사이에 산화 공정에 의해 형성된 실리콘 산화막이 개재될 수 있다.

[0163] 도 43은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 포함하는 메모리 시스템의 일 예를 나타내는 개략 블록도이다.

[0164] 도 43을 참조하면, 메모리 시스템(1100)은 PDA, 포터블(portable) 컴퓨터, 웹 타블렛(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 모든 소자에 적용될 수 있다.

[0165] 메모리 시스템(1100)은 컨트롤러(1110), 키패드(keypad), 키보드 및 디스플레이와 같은 입출력 장치(1120), 메모리(1130), 인터페이스(1140), 및 버스(1150)를 포함한다. 메모리(1130)와 인터페이스(1140)는 버스(1150)를 통해 상호 소통된다.

[0166] 컨트롤러(1110)는 적어도 하나의 마이크로 프로세서, 디지털 시그널 프로세서, 마이크로 컨트롤러, 또는 그와 유사한 다른 프로세스 장치들을 포함한다. 메모리(1130)는 컨트롤러에 의해 수행된 명령을 저장하는 데에 사용될 수 있다. 입출력 장치(1120)는 시스템(1100) 외부로부터 데이터 또는 신호를 입력받거나 또는 시스템(1100) 외부로 데이터 또는 신호를 출력할 수 있다. 예를 들어, 입출력 장치(1120)는 키보드, 키패드 또는 디스플레이 소자를 포함할 수 있다.

[0167] 메모리(1130)는 본 발명의 실시예들에 따른 비휘발성 메모리 소자를 포함한다. 메모리(1130)는 또한 다른 종류의 메모리, 임의의 수시 접근이 가능한 휘발성 메모리, 기타 다양한 종류의 메모리를 더 포함할 수 있다.

[0168] 인터페이스(1140)는 데이터를 통신 네트워크로 송출하거나, 네트워크로부터 데이터를 받는 역할을 한다.

[0169] 도 44는 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 구비하는 메모리 카드의 일 예를 나타내는 개략 블록도이다.

[0170] 도 44를 참조하면, 고용량의 데이터 저장 능력을 지원하기 위한 메모리 카드(1200)는 본 발명에 따른 플래시 메모리 장치(1210)를 장착한다. 본 발명에 따른 메모리 카드(1200)는 호스트(Host)와 플래시 메모리 장치(1210) 간의 제반 데이터 교환을 제어하는 메모리 컨트롤러(1220)를 포함한다.

[0171] SRAM(1221)은 프로세싱 유닛(1222)의 동작 메모리로써 사용된다. 호스트 인터페이스(1223)는 메모리 카드(1200)와 접속되는 호스트의 데이터 교환 프로토콜을 구비한다. 에러 정정 블록(1224)은 멀티 비트 플래시 메모리 장치(1210)로부터 독출된 데이터에 포함되는 에러를 검출 및 정정한다. 메모리 인터페이스(1225)는 본 발명의 플래시 메모리 장치(1210)와 인터페이싱 한다. 프로세싱 유닛(1222)은 메모리 컨트롤러(1220)의 데이터 교환을 위한 제반 제어 동작을 수행한다. 비록 도면에는 도시되지 않았지만, 본 발명에 따른 메모리 카드(1200)는 호스트(Host)와의 인터페이싱을 위한 코드 데이터를 저장하는 ROM(미도시됨) 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

[0172] 도 45는 본 발명에 따른 3차원 반도체 메모리 장치를 장착하는 정보 처리 시스템의 일 예를 나타내는 개략 블록도이다.

[0173] 도 45를 참조하면, 모바일 기기나 데스크 톱 컴퓨터와 같은 정보 처리 시스템에 본 발명의 플래시 메모리 시스

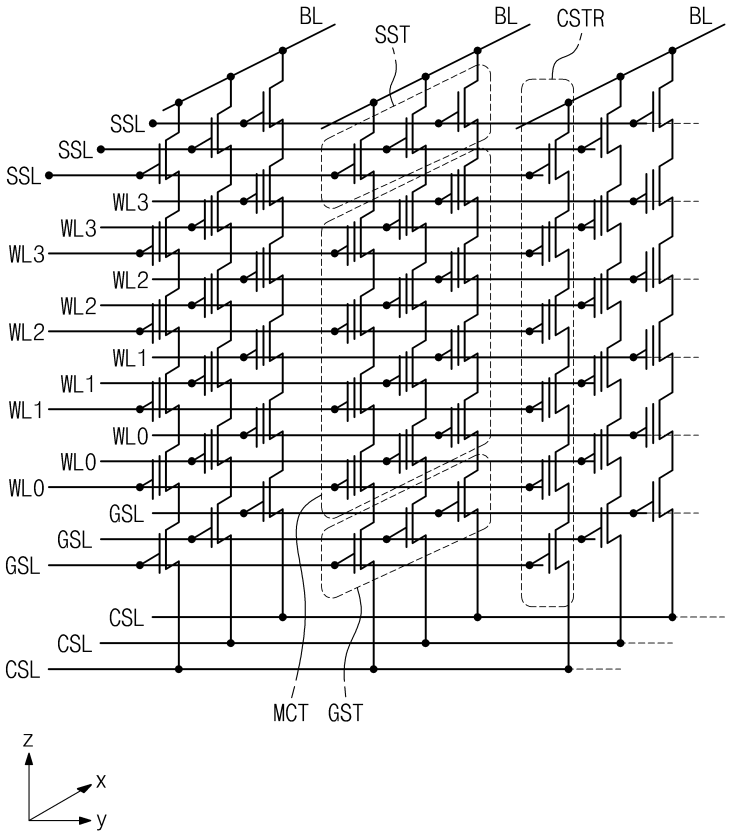
템(1310)이 장착된다. 본 발명에 따른 정보 처리 시스템(1300)은 플래시 메모리 시스템(1310)과 각각 시스템 버스(760)에 전기적으로 연결된 모뎀(1320), 중앙처리장치(1330), 램(1340), 유저 인터페이스(1350)를 포함한다. 플래시 메모리 시스템(1310)은 앞서 언급된 메모리 시스템 또는 플래시 메모리 시스템과 실질적으로 동일하게 구성될 것이다. 플래시 메모리 시스템(1310)에는 중앙처리장치(1330)에 의해서 처리된 데이터 또는 외부에서 입력된 데이터가 저장된다. 여기서, 상술한 플래시 메모리 시스템(1310)이 반도체 디스크 장치(SSD)로 구성될 수 있으며, 이 경우 정보 처리 시스템(1300)은 대용량의 데이터를 플래시 메모리 시스템(1310)에 안정적으로 저장할 수 있다. 그리고 신뢰성의 증대에 따라, 플래시 메모리 시스템(1310)은 에러 정정에 소요되는 자원을 절감할 수 있어 고속의 데이터 교환 기능을 정보 처리 시스템(1300)에 제공할 것이다. 도시되지 않았지만, 본 발명에 따른 정보 처리 시스템(1300)에는 응용 칩셋(Application Chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 입출력 장치 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

[0174] 또한, 본 발명에 따른 플래시 메모리 장치 또는 메모리 시스템은 다양한 형태들의 패키지로 실장 될 수 있다. 예를 들면, 본 발명에 따른 플래시 메모리 장치 또는 메모리 시스템은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키지화되어 실장될 수 있다.

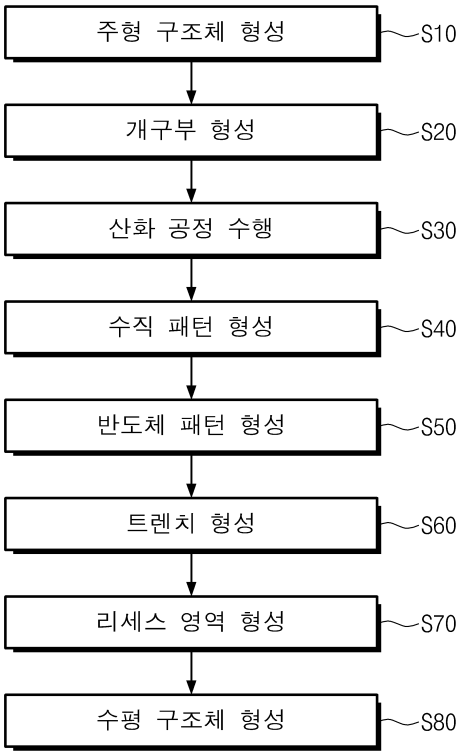
[0175] 이상, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면

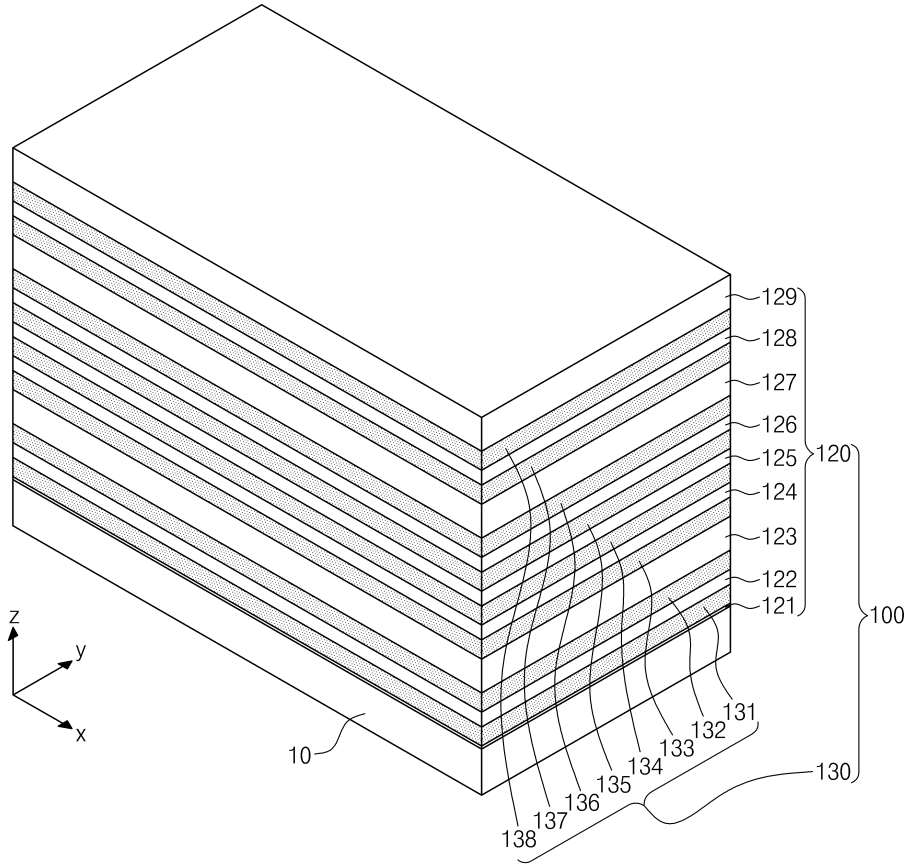
도면1


BL
SST
BL
CSTR
BL
SSL
SSL
SSL
WL3
WL3
WL3
WL2
WL2
WL2
WL1
WL1
WL1
WL0
WL0
WL0
GSL
GSL
GSL
CSL
CSL
CSL
MCT
GST
z
x
y

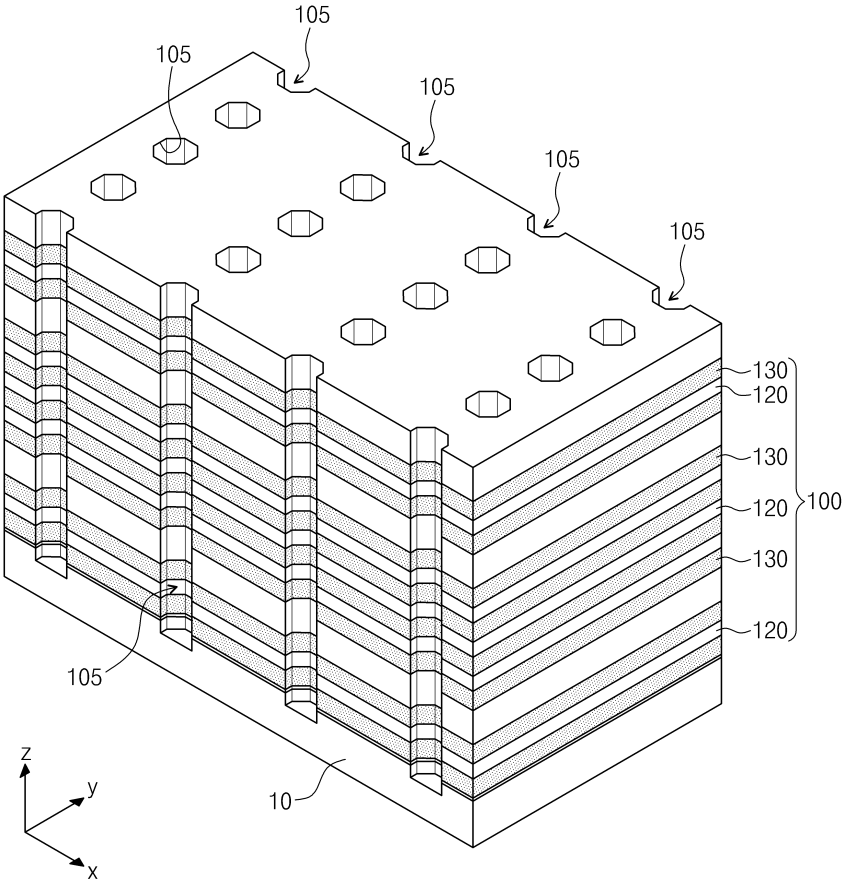
도면2


주형 구조체 형성
S10
개구부 형성
S20
산화 공정 수행
S30
수직 패턴 형성
S40
반도체 패턴 형성
S50
트렌치 형성
S60
리세스 영역 형성
S70
수평 구조체 형성
S80

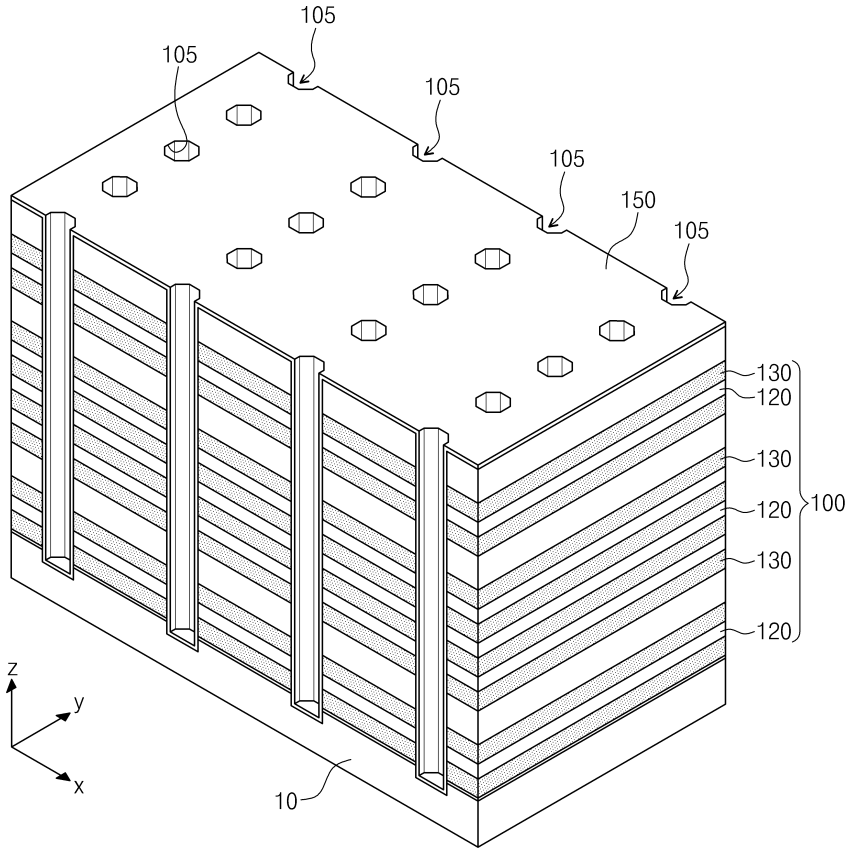
도면3


129
128
127
126
125
124
123
122
121
120
100
131
132
133
134
135
136
137
138
130
10
z
y
x

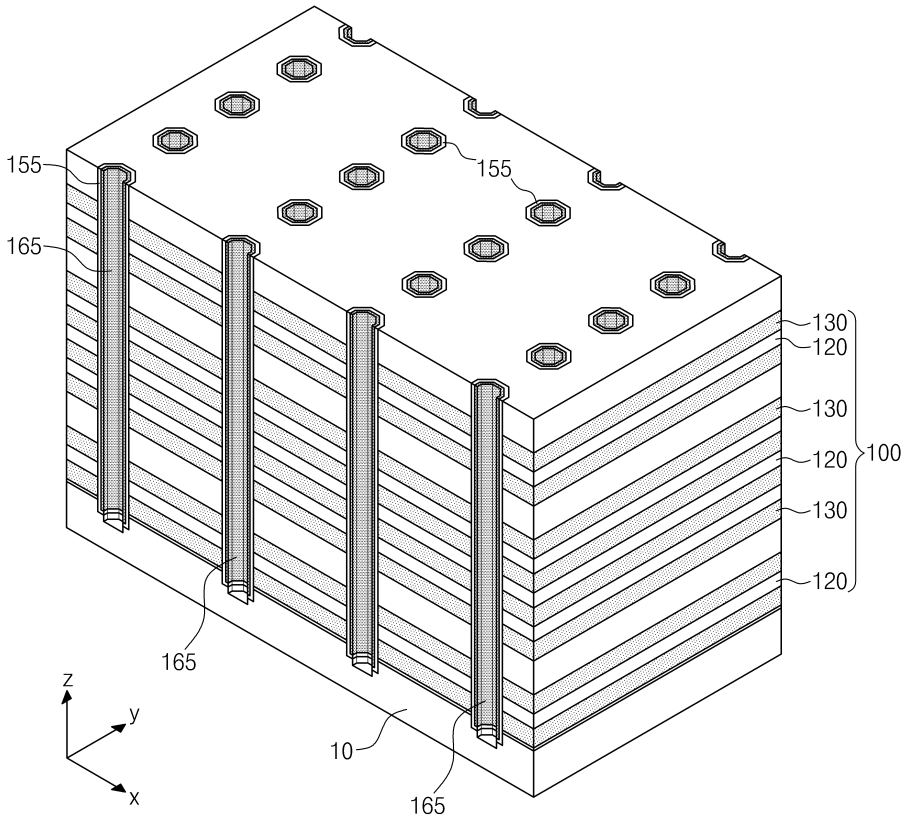
도면4



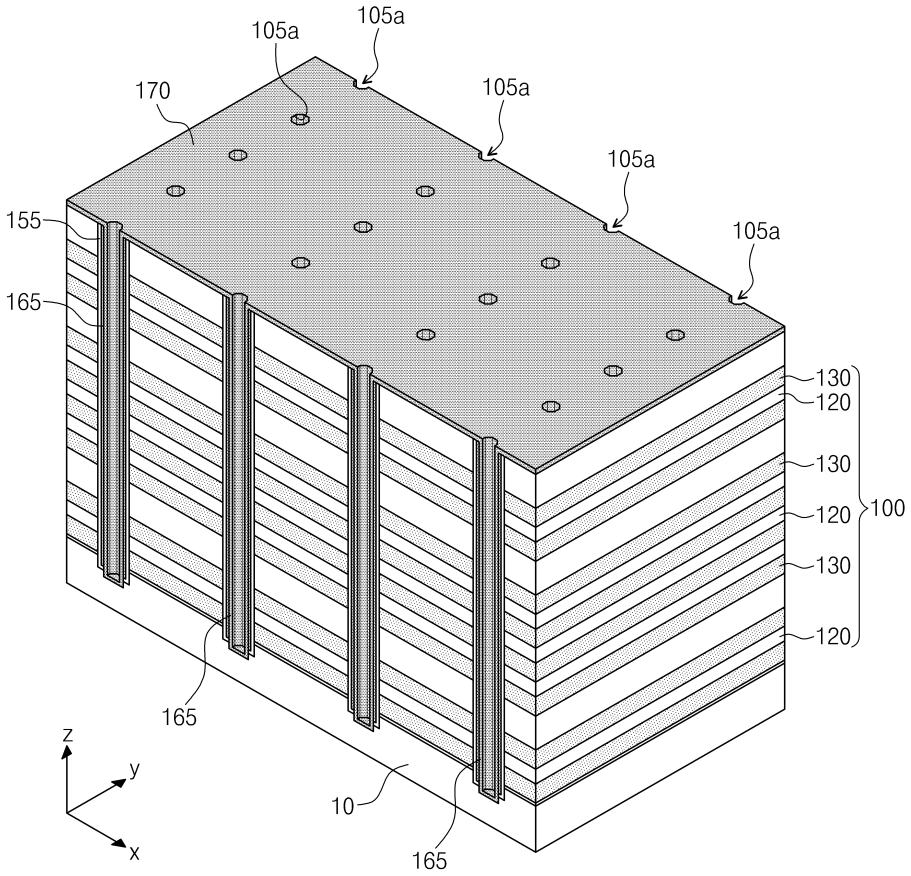
도면5



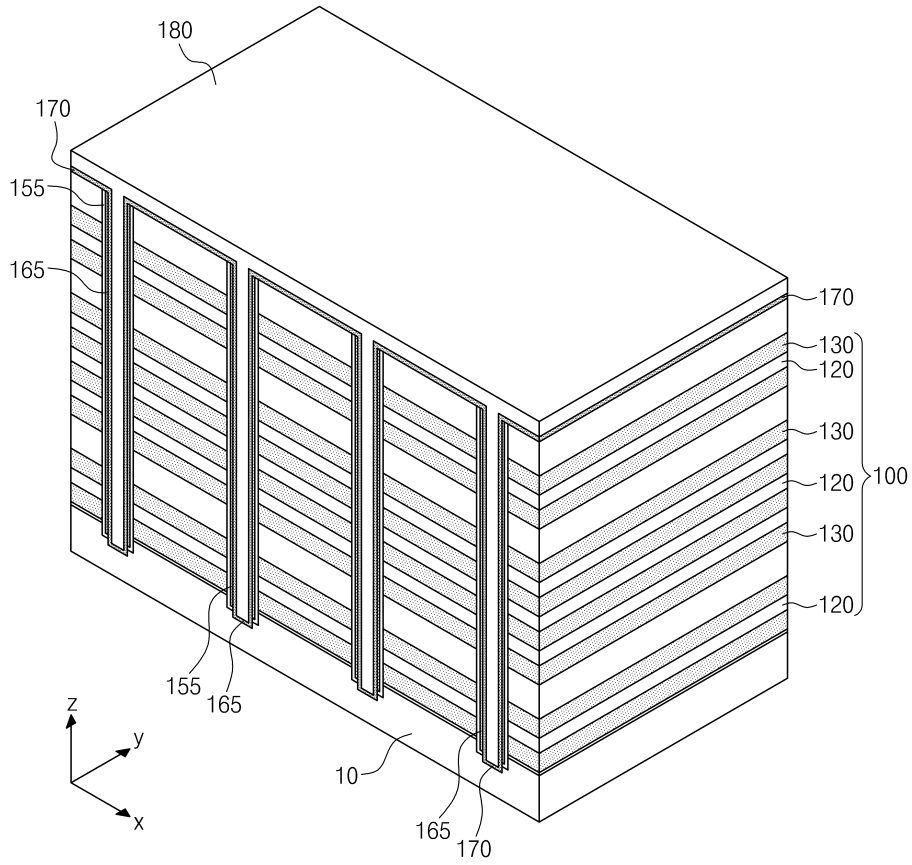
도면6



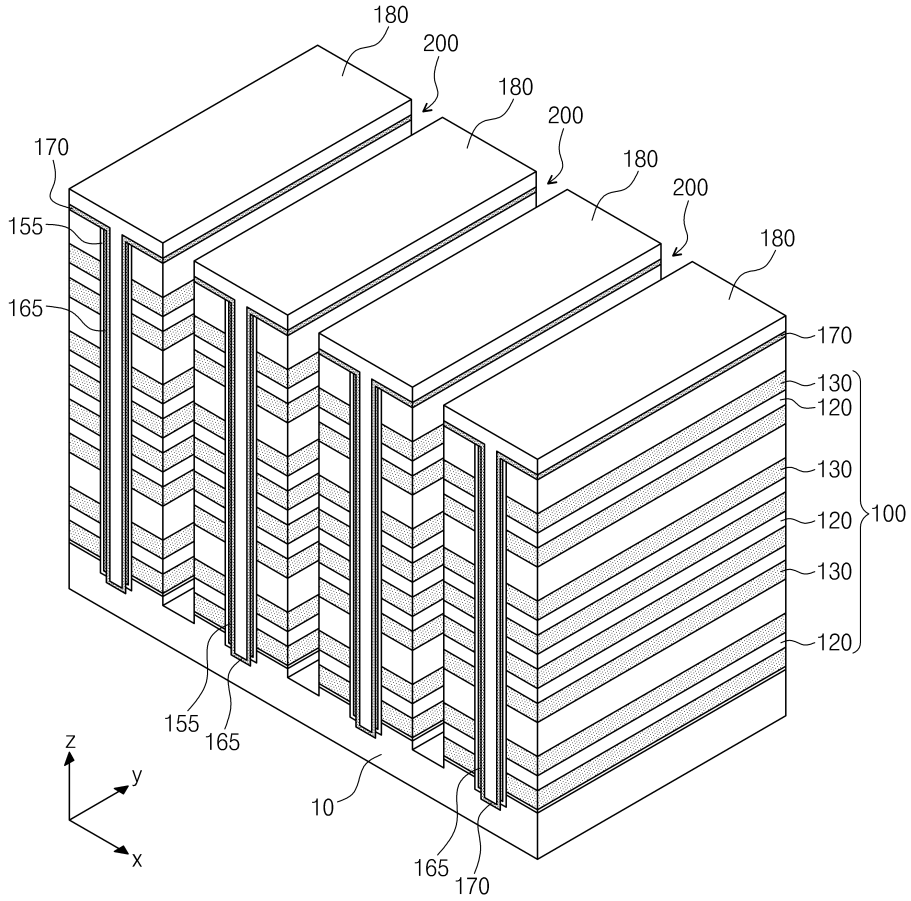
도면7


105a
105a
105a
105a
105a
170
155
165
130
120
130
120
130
120
100
165
165
10
z
y
x

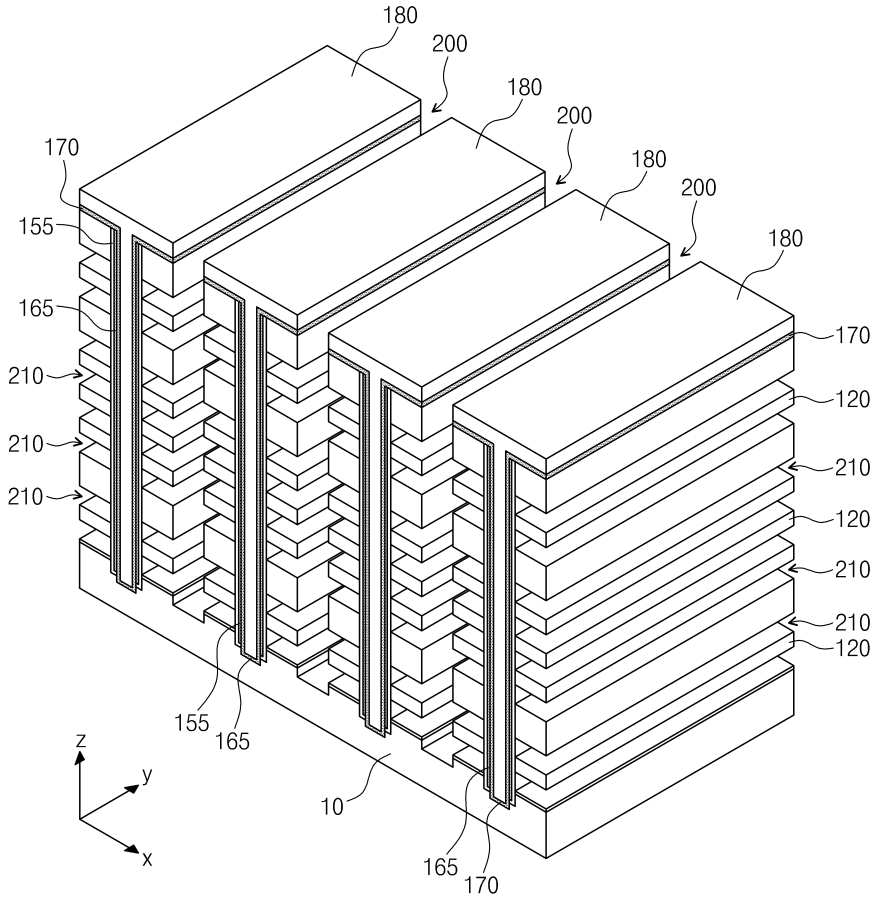
도면8


180
170
155
165
170
130
120
130
120
130
120
100
155
165
z
y
x
10
165
170

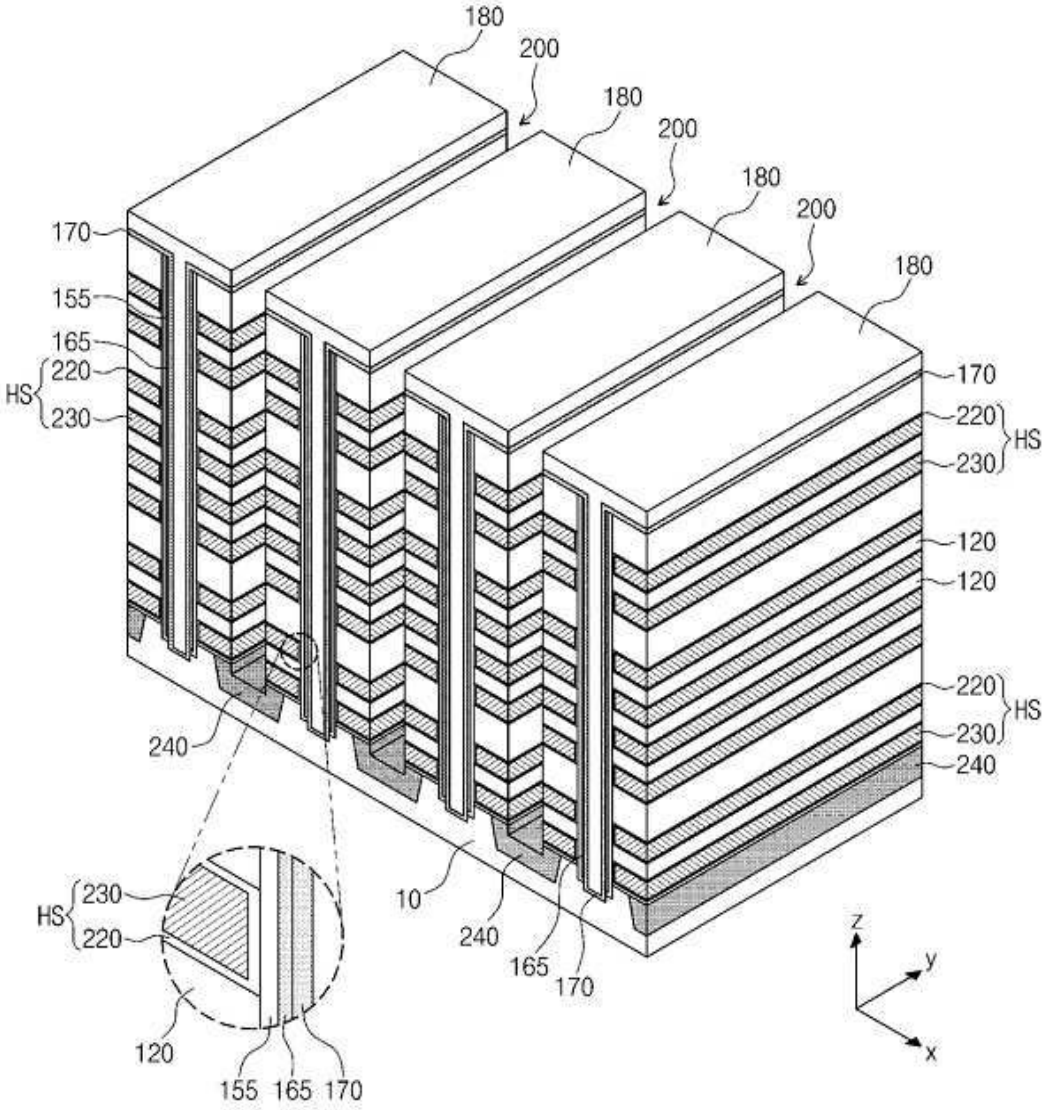
도면9


180
200
180
200
180
200
180
170
155
165
170
130
120
130
120
130
120
100
155
165
10
165
170
z
y
x

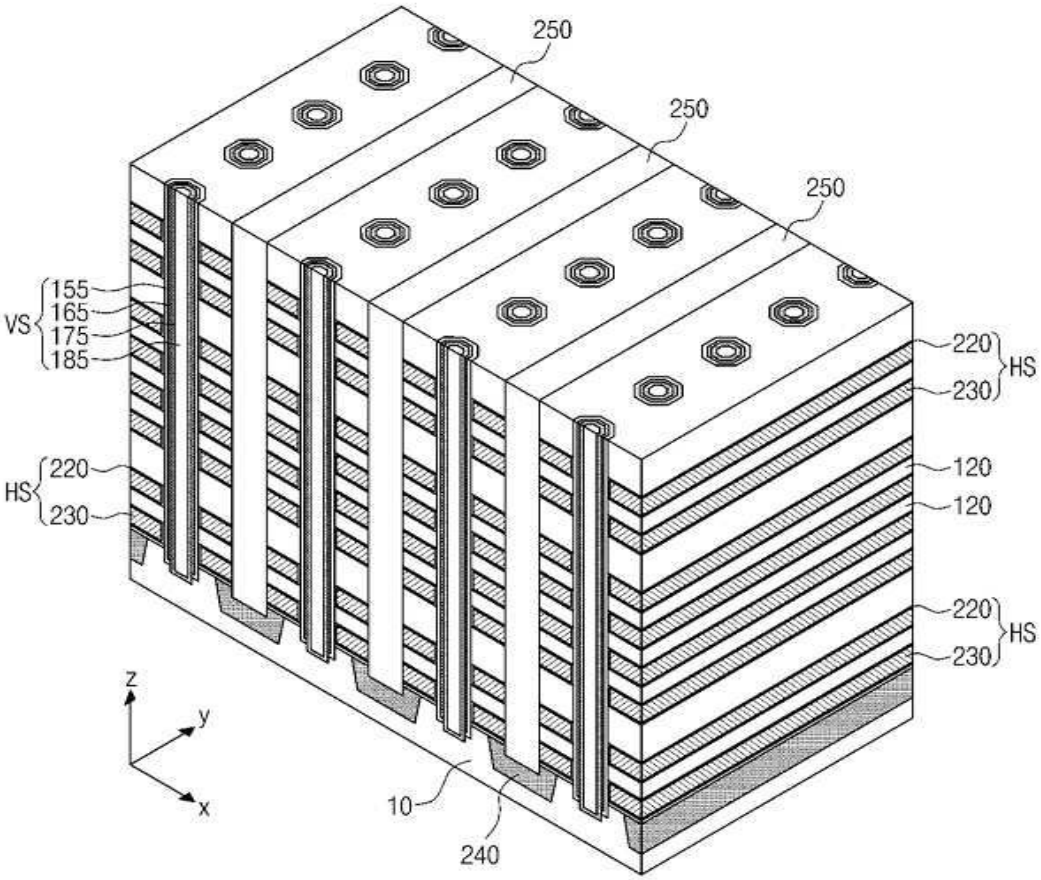
도면10


180
200
180
200
180
200
180
170
155
165
210
210
210
170
120
210
120
210
210
120
155
165
10
165
170
z
y
x

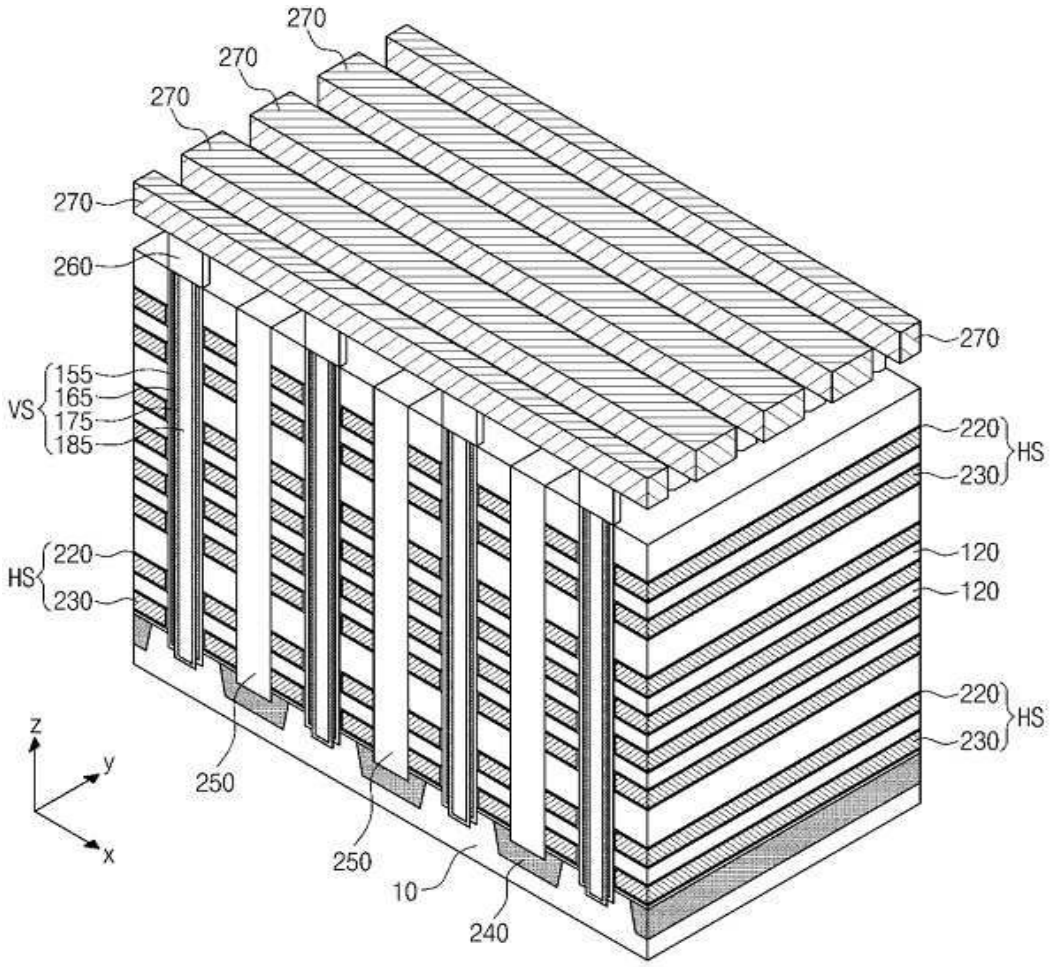
도면11


180
200
180
200
180
200
180
170
155
165
220
HS
230
170
220
HS
230
120
120
220
HS
230
240
240
HS
230
220
10
240
165
170
120
155
165
170
z
y
x

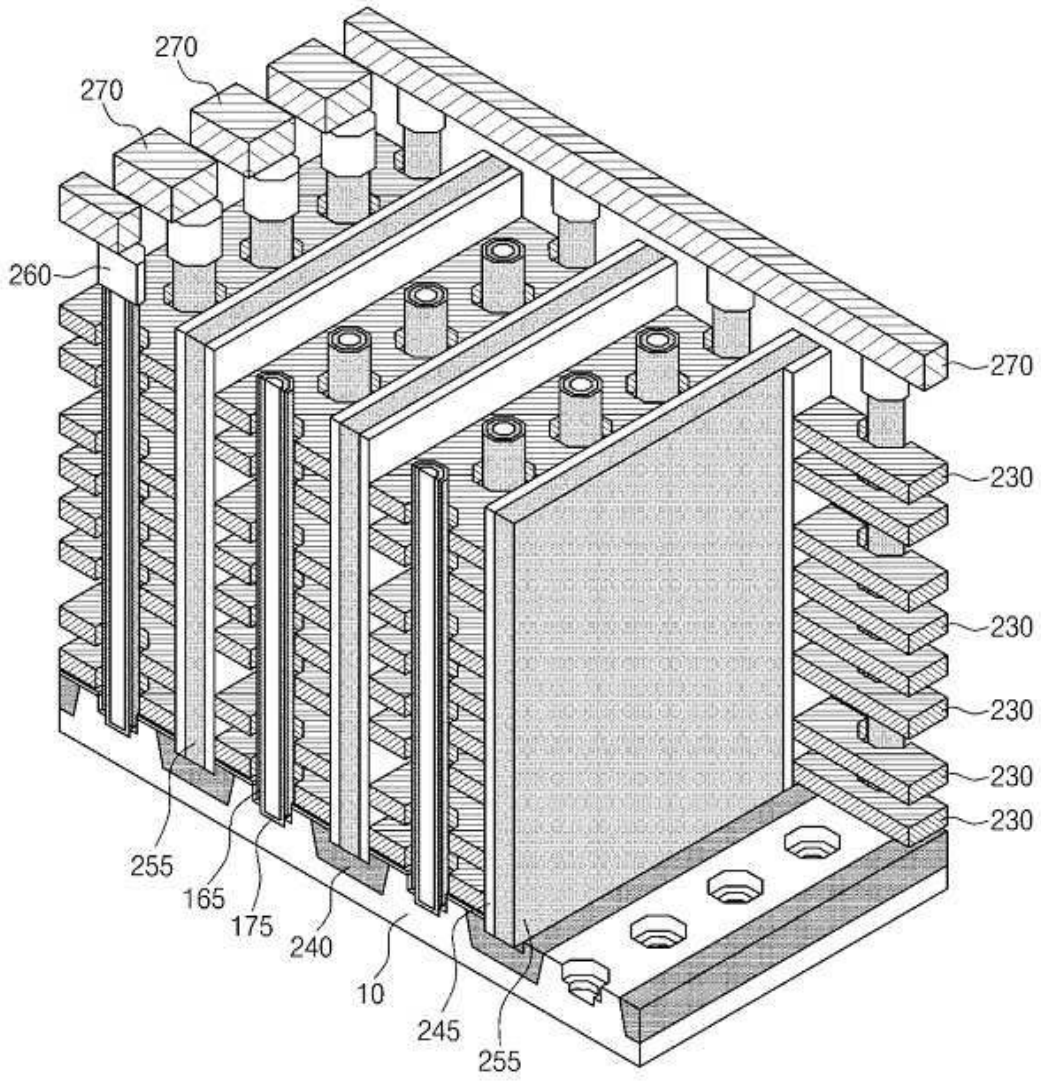
도면12


250
250
250
VS
155
165
175
185
HS
220
230
220
230
HS
120
120
220
230
HS
z
y
x
10
240

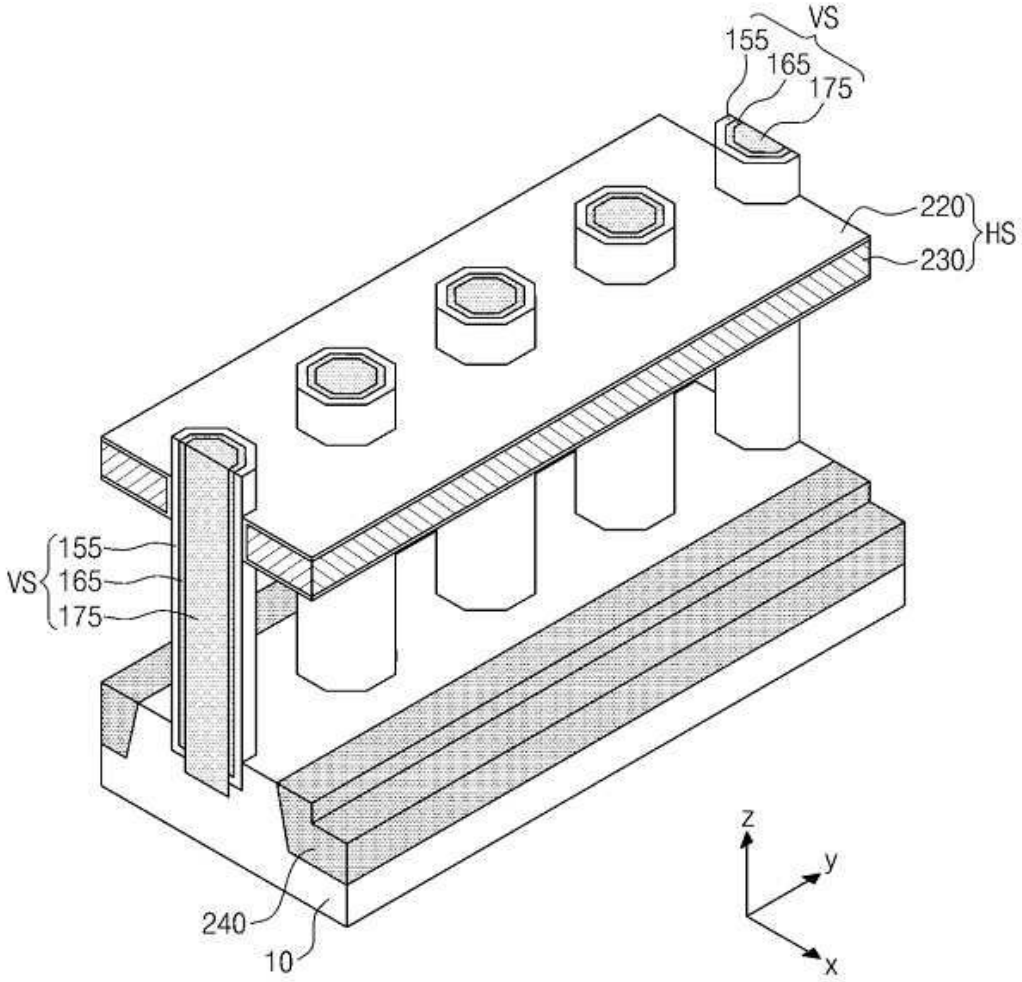
도면13


270
270
270
270
260
VS
155
165
175
185
HS
220
230
270
220
230
HS
120
120
220
230
HS
z
y
x
250
250
10
240

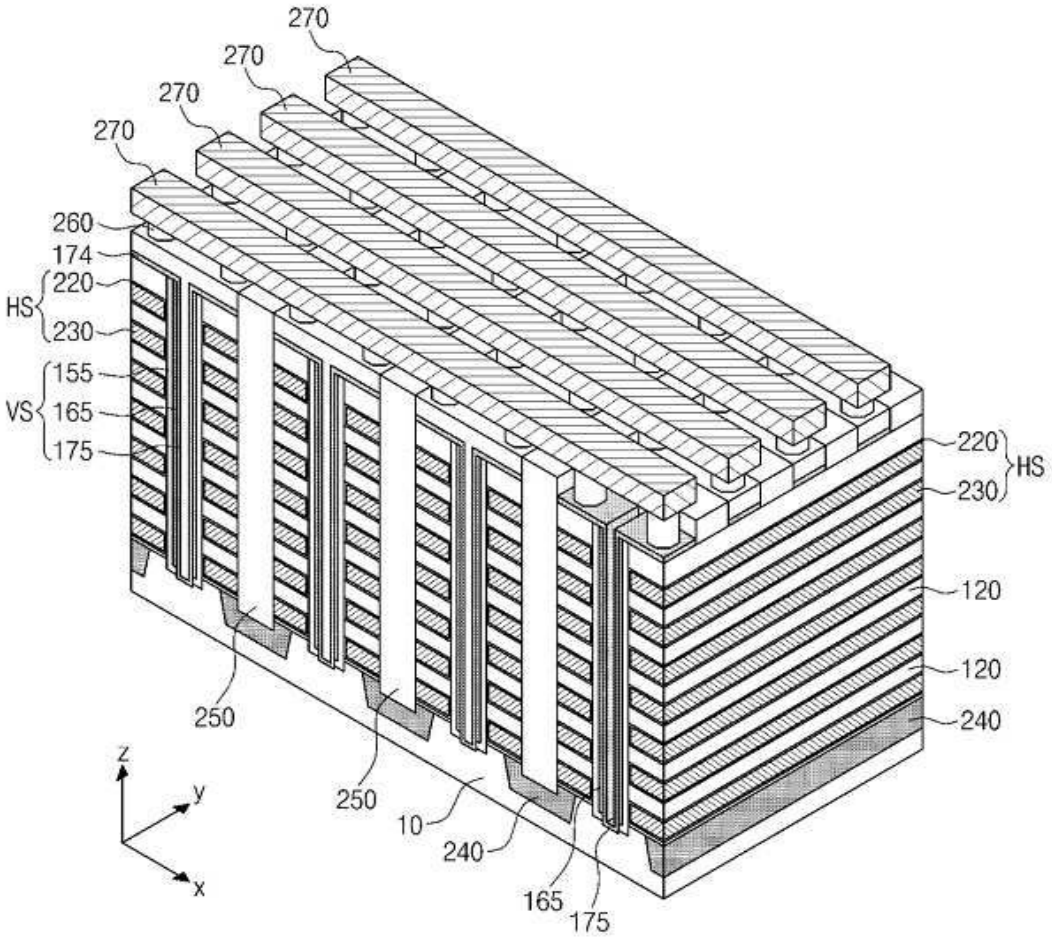
도면14



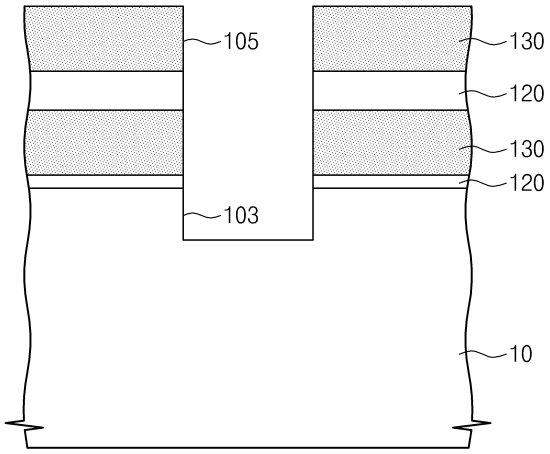
도면15



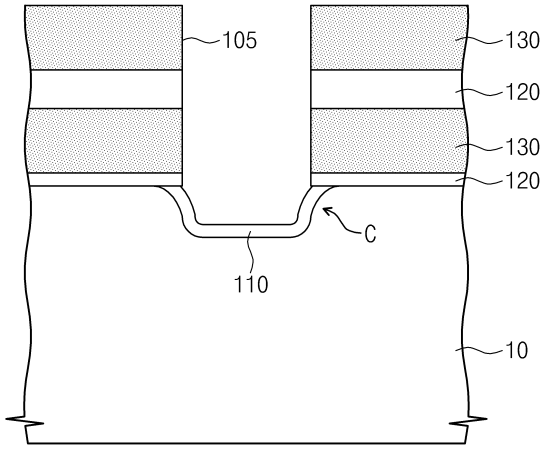
도면16


270
270
270
270
260
174
HS
220
230
VS
155
165
175
220
HS
230
120
120
240
250
250
10
240
165
175
z
y
x

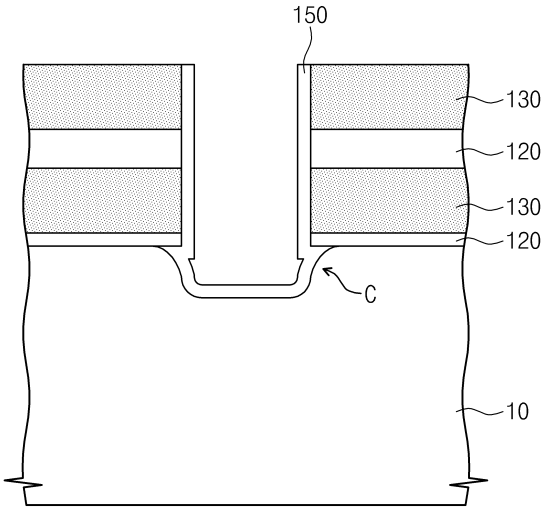
도면17


105
130
120
130
120
103
10

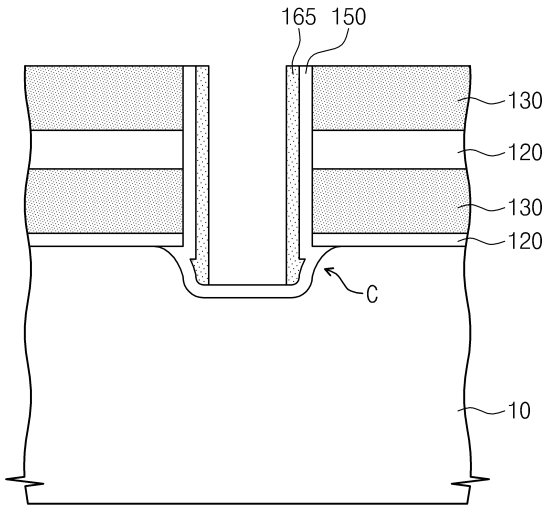
도면18



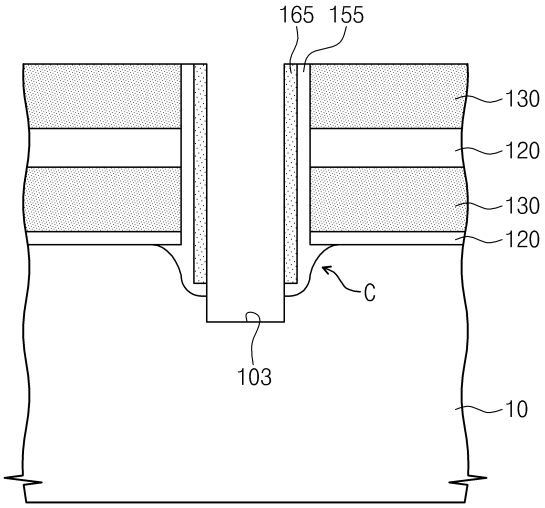
도면19



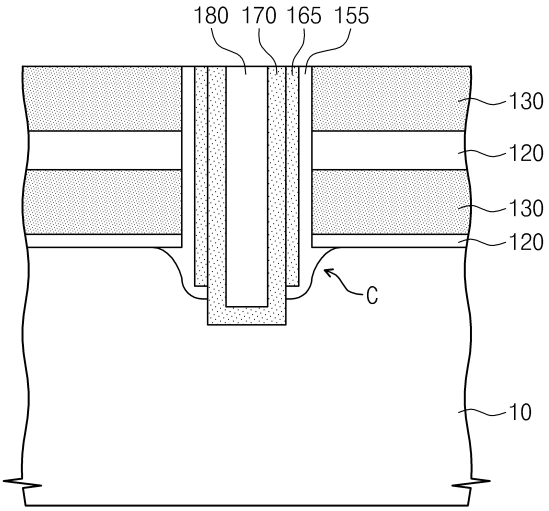
도면20



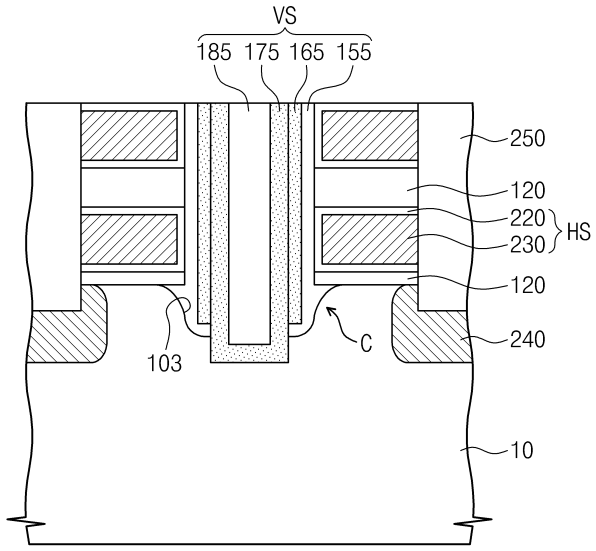
도면21


165
155
130
120
130
120
C
103
10

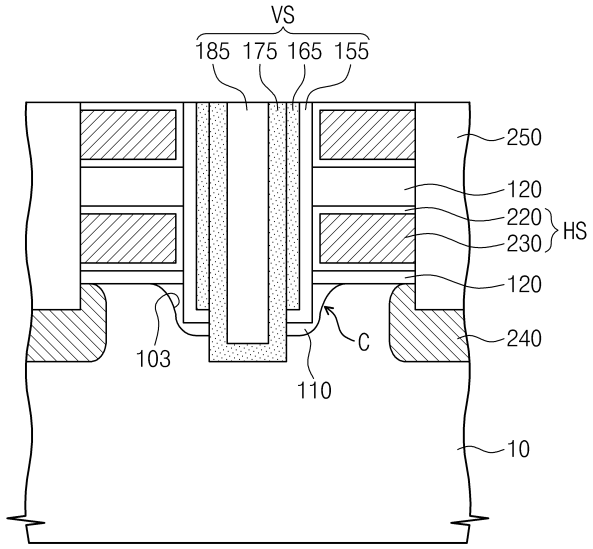
도면22


180
170
165
155
130
120
130
120
C
10

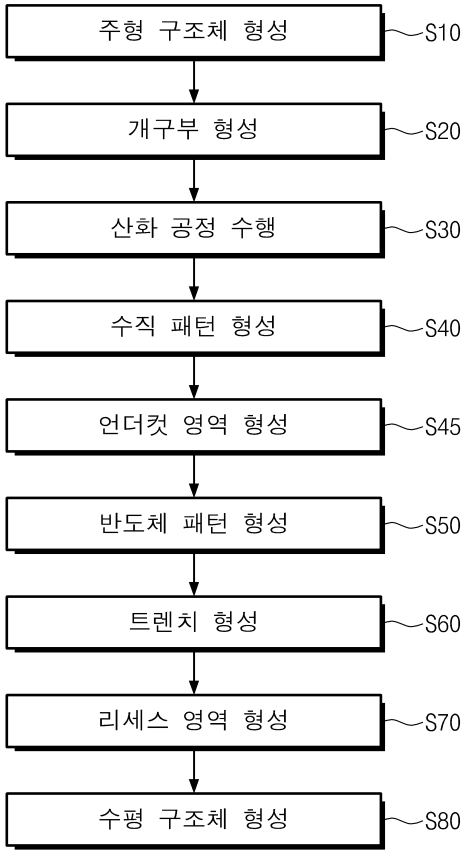
도면23


VS
185 175 165 155
250
120
220
230
HS
120
240
C
103
10

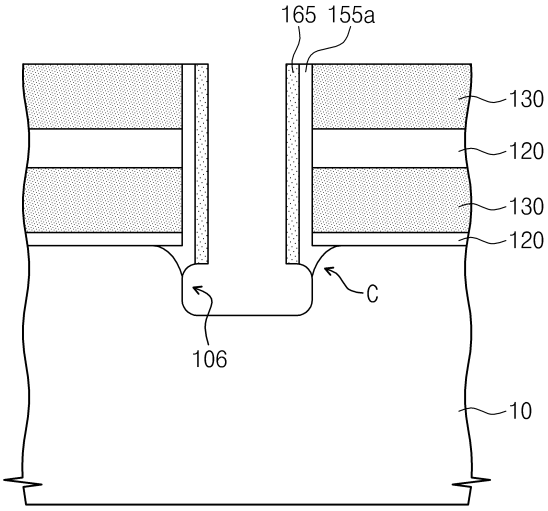
도면24


VS
185 175 165 155
250
120
220
230
HS
120
240
C
103
110
10

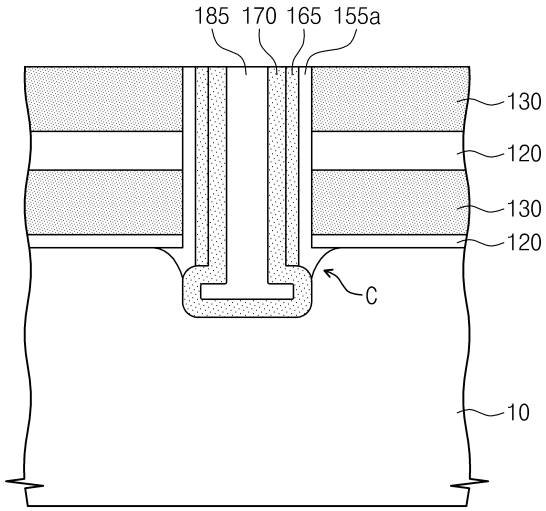
도면25


주형 구조체 형성
S10
개구부 형성
S20
산화 공정 수행
S30
수직 패턴 형성
S40
언더컷 영역 형성
S45
반도체 패턴 형성
S50
트렌치 형성
S60
리세스 영역 형성
S70
수평 구조체 형성
S80

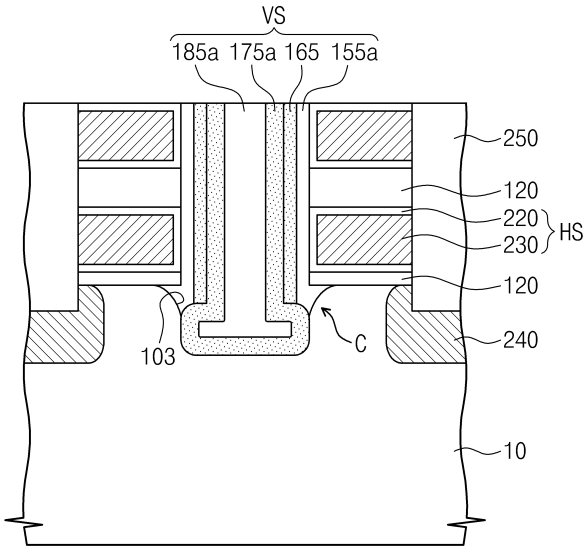
도면26


165
155a
130
120
130
120
C
106
10

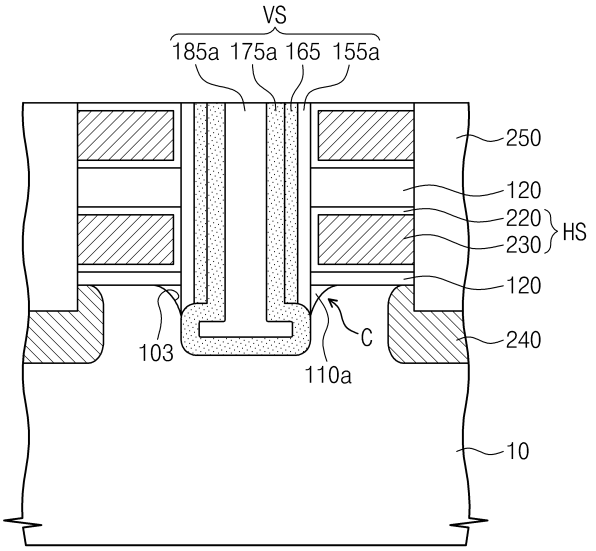
도면27


185
170
165
155a
130
120
130
120
C
10

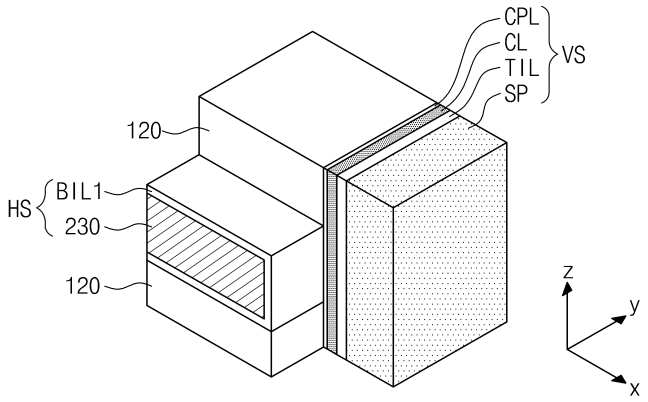
도면28


VS
185a
175a
165
155a
250
120
220
230
HS
120
240
103
C
10

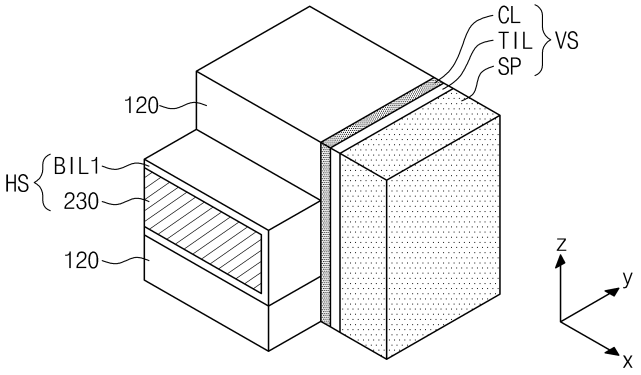
도면29



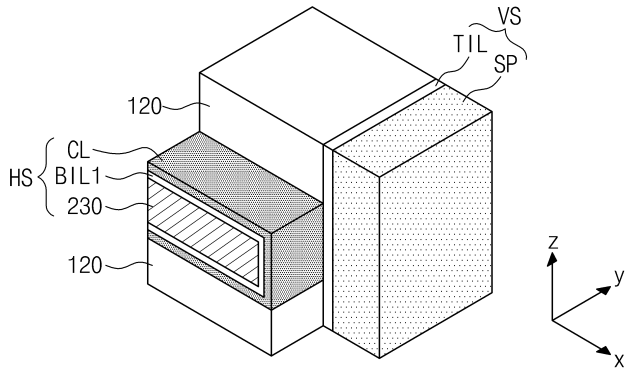
도면30



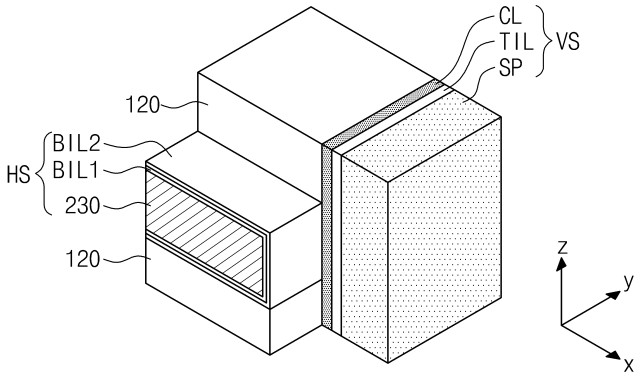
도면31



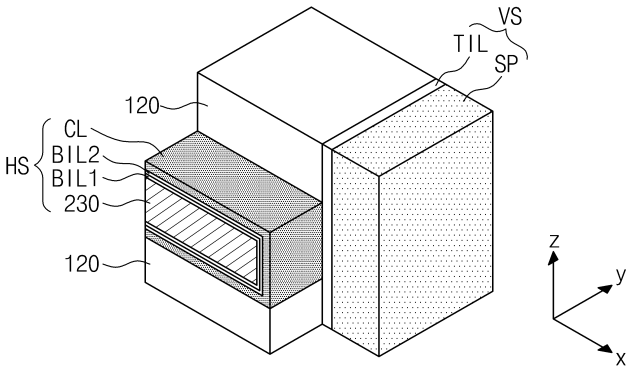
도면32



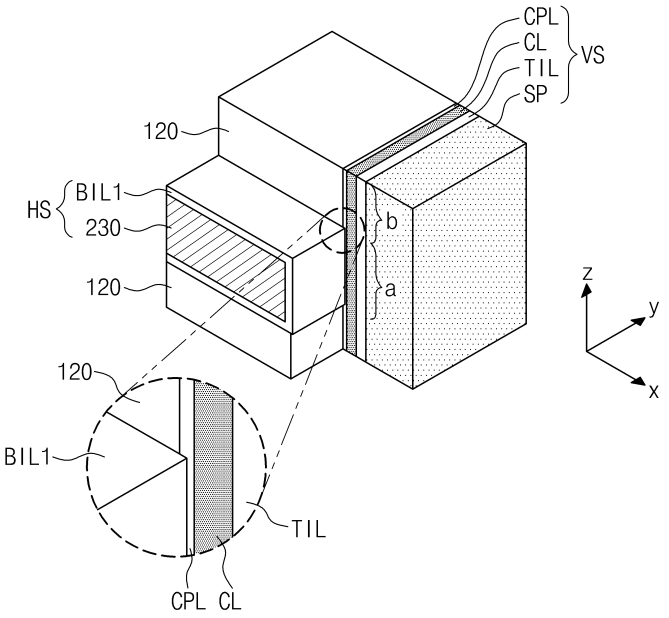
도면33



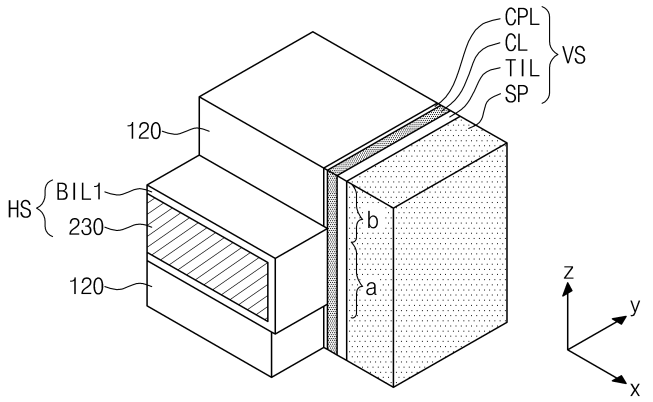
도면34



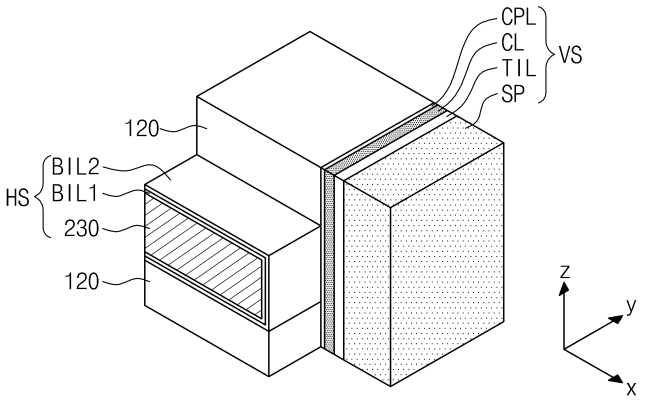
도면35



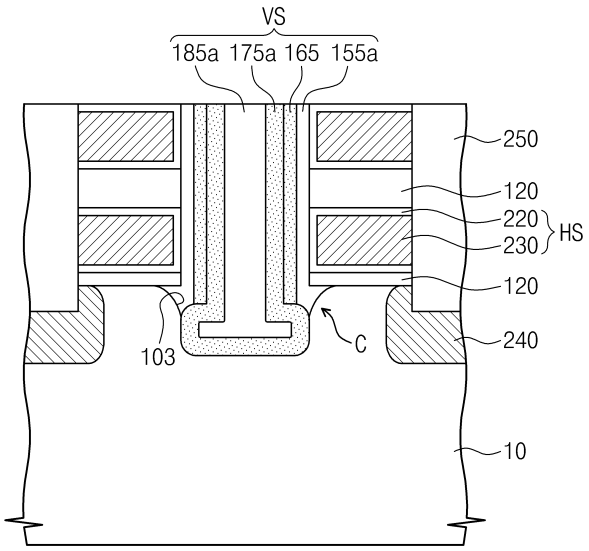
도면36



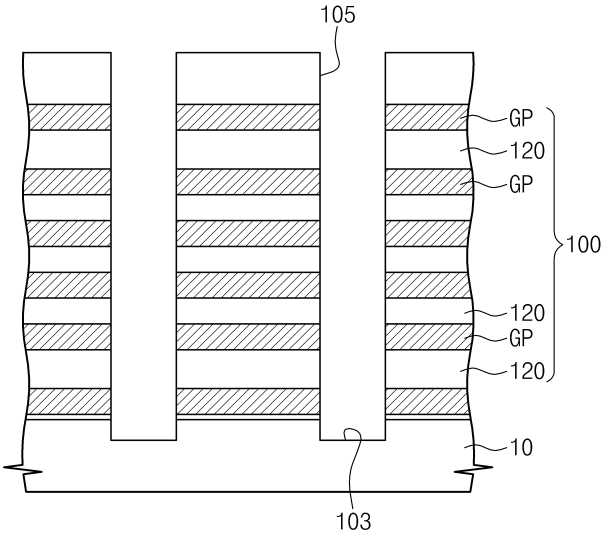
도면37



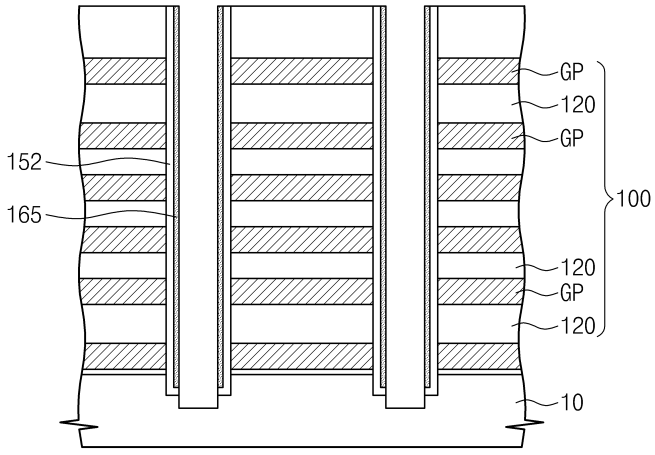
도면38



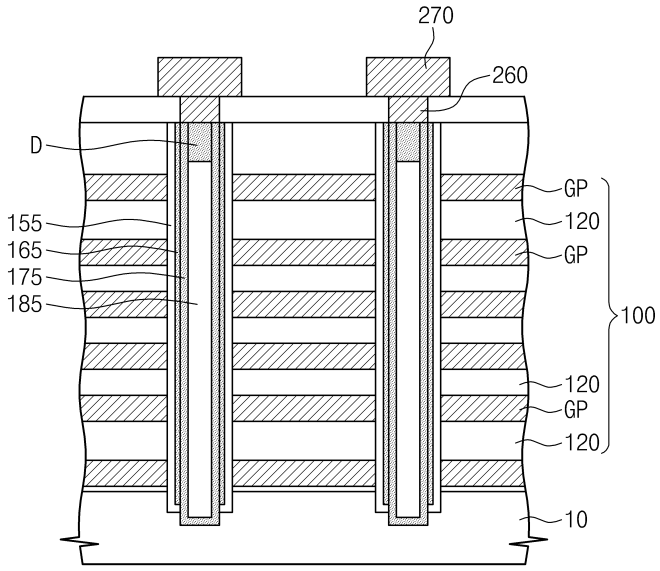
도면39



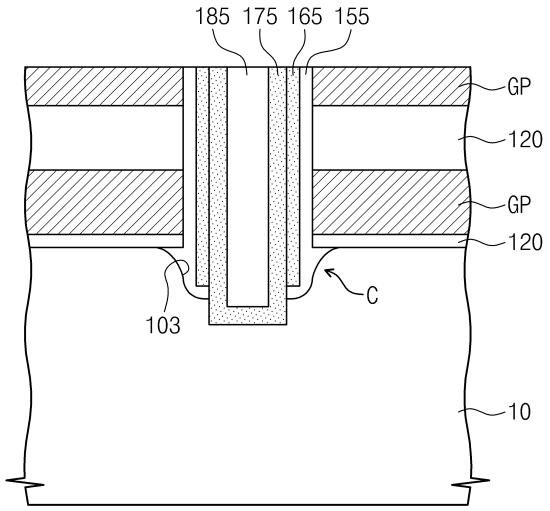
도면40



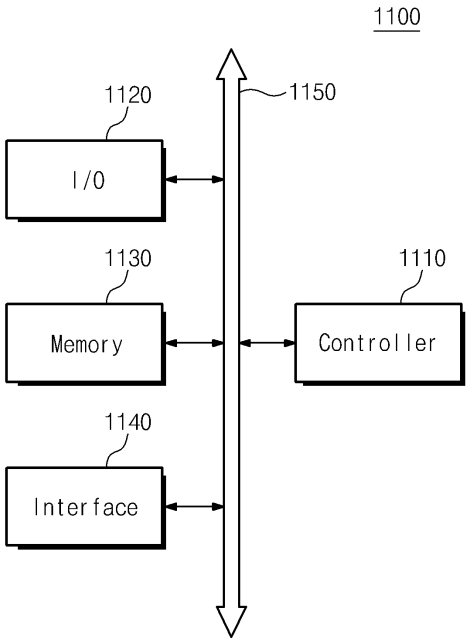
도면41


270
260
D
155
165
175
185
GP
120
GP
100
120
GP
120
10

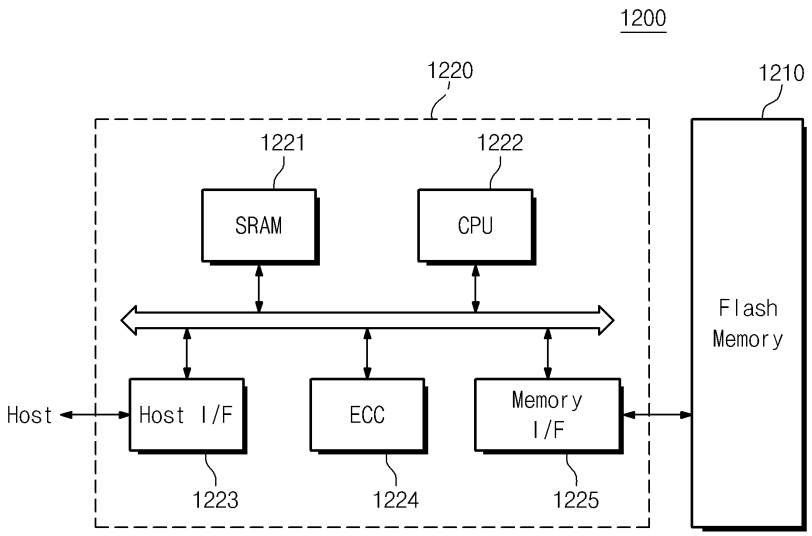
도면42


185 175 165 155
GP
120
GP
120
C
103
10

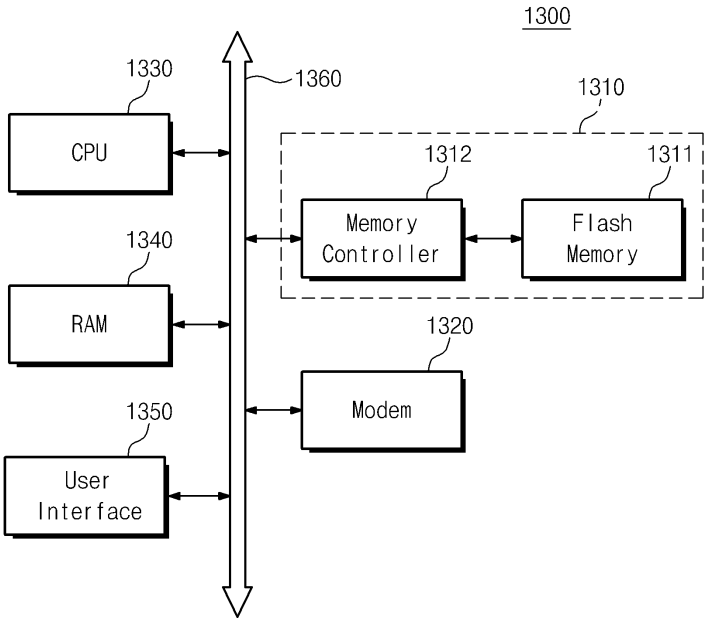
도면43


1100
1120
1150
I/O
1130
1110
Memory
Controller
1140
Interface

도면44


1200
1220
1210
1221
1222
SRAM
CPU
Flash
Memory
Host
Host I/F
ECC
Memory
I/F
1223
1224
1225

도면45


1300
1330
1360
1310
CPU
1312
1311
Memory Controller
Flash Memory
1340
RAM
1320
Modem
1350
User Interface