

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97/2516>

※ 申請日期：97.07.04

※ I P C 分類：H01L 23/488 (2006.01)

一、發明名稱：(中文/英文)

封裝基板結構

PACKAGE SUBSTRATE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

全懋精密科技股份有限公司

PHOENIX PRECISION TECHNOLOGY CORPORATION

代表人：(中文/英文) (簽章) 吳健漢 / WU, CHIEN HAN

住居所或營業所地址：(中文/英文)

新竹市科學園區力行路 6 號

No. 6, Li-Hsin Road, Science-Based Industrial Park, Hsin-Chu,
Taiwan, R. O. C.

國 籍：(中文/英文) 中華民國/R. O. C.

三、發明人：(共 1 人)

姓 名：(中文/英文)

許詩濱 / HSU, SHIH-PING

國 籍：(中文/英文) 中華民國/R. O. C.

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種封裝基板結構，尤指一種可埋設半導體元件之封裝基板結構。

【先前技術】

目前業界為滿足半導體封裝件高積集度(Integration)及微型化(Miniaturization)的封裝需求，且為求提昇單一半導體封裝件之性能(ability)與容量(capacity)以符合電子產品小型化、大容量與高速化之趨勢，係發展出半導體晶片之堆疊技術。

請參閱第 1A 圖，一般具有堆疊技術之半導體封裝件係將一第一半導體晶片 11 以覆晶(Flip Chip)方式電性連接於一基板 10 上，且於該基板 10 相對接合第一半導體晶片 11 之一側設置供外接其他電子裝置之焊料球 12，並於該第一半導體晶片 11 上黏接至少一第二半導體晶片 13，且該第二半導體晶片 13 以打線(Wire bonding)方式藉由導線 14 電性連接至該基板 10，並於該基板 10 上形成包覆該第一及第二半導體晶片 11, 13 之封裝材 15。

然，因第一及第二半導體晶片 11, 13 均電性連接同一基板 10，若其中一半導體晶片故障，將導致半導體封裝件整體失效，且僅能從基板 10 上測試全部晶片的良率，而無法單獨檢測單一半導體晶片的良率，致使該半導體封裝件需整件報廢，而浪費成本。

請參閱第 1B 圖，為解決上述之問題，遂發展 POP

(Package on Package) 技術，以提供另一種半導體封裝件，係包括至少二封裝件 16，各該封裝件 16 之間藉由導電件 17 相互電性堆疊；其中，該封裝件 16 具有一基板 160、設於該基板 160 上並以打線方式電性連接至該基板 160 之半導體晶片 161、以及設於部份之基板 160 上且覆蓋該半導體晶片 161 之封裝材 162，且該導電件 17 設於該基板 160 上；另外，於最下層之基板 160 之相對堆疊之一側設有供外接其他電子裝置之焊料球 163。

惟，各該封裝件 16 的高度係為該基板 160 及覆蓋該半導體晶片 161 之封裝材 162 的高度總和，且因該半導體晶片 161 設於基板 160 上，迫使封裝材 162 的高度需配合半導體晶片 161 的高度，而使整體半導體封裝件高度過高，俾使 POP 技術之半導體封裝件不易製成輕薄短小之裝置，因而使電子產品的應用受限；另外，因半導體晶片 161 被封裝材 162 所覆蓋，導致半導體晶片 161 於作動過程中不易散熱，而產生高熱，致使半導體晶片 161 過熱，進而使半導體晶片 161 發生損毀。

因此，如何解決上述習知半導體封裝件的問題，實為目前亟欲解決的課題。

【發明內容】

鑑於上述習知技術之種種缺失，本發明之一目的在於提供一種降低封裝高度之封裝基板結構。

本發明之另一目的在於提供一種具散熱功能之封裝基板結構。

為達上述及其它目的，本發明揭露一種封裝基板結構，係包括：基板，係具有相對之第一及第二表面，於該第一表面上具有複數打線墊，於該第二表面上具有複數植球墊，且具有貫穿該第一及第二表面之開口；金屬板，係設於該基板之第二表面上，並封住開口，且該金屬板之厚度大於各該植球墊，該金屬板面積略大於該開口；以及防焊層，係設於該基板之第一及第二表面上，並具有對應開口之防焊層開口，且該防焊層具有複數開孔，以對應露出各該打線墊、植球墊及金屬板。

上述之封裝基板結構中，該基板係為已完成線路佈局之兩層或多層封裝基板；該金屬板係為銅，且該基板之第二表面及防焊層之間復具有介電層，以使金屬板部份埋入該介電層；該開孔可設置複數接觸該金屬板或植球墊之焊料球。

上述之封裝基板結構復可包括電性接觸墊、半導體晶片、導線或封裝材。該電性接觸墊係可設於基板之第一表面上，以結合導電件，俾供電性連接至一半導體封裝件；該半導體晶片係可容設於開口中並結合於金屬板上，且具有相對之作用面及非作用面，該作用面上具有複數電極墊，且該非作用面結合於金屬板上；該導線可用以電性連接該打線墊及電極墊；該封裝材係可設於基板之第一表面並填充於開口中，以包覆該半導體晶片、導線及打線墊。

此外，上述之封裝基板結構復可包括表面處理層，係設於該打線墊上，且該表面處理層係可為鎳、鈮、金、錫

所組群組之其中一者。

本發明之封裝基板結構藉由開口之設計，以供半導體晶片置入，而可降低整體之封裝高度；另外，該金屬板之厚度係大於該植球墊之厚度，以供該半導體晶片穩固設於金屬板上，且利用金屬材質導熱性佳之特性，俾使半導體晶片可藉由金屬板散熱，以達到具散熱功能之目的。

【實施方式】

以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。

請參閱第 2A 及 2B 圖，係為本發明之封裝基板結構接置半導體晶片封裝後之剖面示意圖；係包括：基板 20、金屬板 21、防焊層 22、半導體晶片 23、導線 25 以及封裝材 26。

所述之基板 20 係為已完成線路佈局之兩層或多層封裝基板，該基板內部或表面之線路層係藉由導電盲孔或是電鍍導通孔電性連接(圖未示)，該基板 20 具有相對之第一表面 20a 及第二表面 20b，於該基板 20 之第一及第二表面 20a, 20b 上具有介電層 201，且於該第一表面 20a 之介電層 201 上設有複數打線墊 202，又於該第二表面 20b 之介電層 201 上設有複數植球墊 203，且具有貫穿該介電層 201 及基板 20 之開口 200。

其中，該打線墊 202 上以電鍍或化學沉積形成一表面處理層 202a，以提升連接結構之電性效果，而該表面處

理層 202a 係為鎳、鈀、金、錫所組群組之一者，如鎳/金 (Ni/Au，係先形成鎳，之後再形成金)、化鎳浸金 (Electroless Ni & Immersion Gold, ENIG)、化鎳鈀浸金 (Electroless Nickel/Electroless Palladium/Immersion Gold, ENEPIG)、化學鍍錫 (Immersion Tin, IT)、及直接浸金 (Direct Immersion Gold, DIG) 之其中一者。

所述之金屬板 21 係為銅 (Cu) 且設於該基板 20 之第二表面 20b 上的介電層 201 上 (如第 2A 圖所示)，或部份嵌入介電層 201 中 (如第 2B 圖所示)，以封住該開口 200 之一端，且該金屬板 21 之厚度 s 大於植球墊 203 之厚度 h ，該金屬板 21 之面積略大於開口 200 之面積，以供承載半導體晶片 23 之用。

所述之防焊層 22 設於該第一及第二表面 20a, 20b 之介電層 201 上，該防焊層 22 並具有對應開口 200 之防焊層開口 220，且該防焊層 22 具有複數開孔 221，以對應露出各該打線墊 202、金屬板 21 及植球墊 203。

圖中之半導體晶片 23 具有相對之作用面 23a 及非作用面 23b，於該作用面 23a 上具有複數電極墊 231，且該半導體晶片 23 以該非作用面 23b 藉由黏著層 24 固定於該開口 200 中之金屬板 21 上，而該電極墊 231 藉由該導線 25 以電性連接至該基板 20 之打線墊 202。

因金屬板 21 之厚度 s 大於植球墊 203 之厚度 h ，使該半導體晶片 23 得以穩固設置於金屬板 21 上，且藉由金屬板 21 導熱性佳的特性，俾使該半導體晶片 23 藉由金屬

板 21 以達散熱之作用。

圖中之封裝材 26 係設於該基板 20 之第一表面 20a 的介電層 201 上，並填充於開口 200 中，以包覆該半導體晶片 23、導線 25 及打線墊 202。

另外，俾於該基板 20 之第二表面 20b 的防焊層 22 之開孔 221 中，使外露之金屬板 21 及植球墊 203 上接置焊料球 27, 27'，其中，位於金屬板 21 上的焊料球 27' 係供散熱用，而位於該植球墊 203 上之焊料球 27 係供外接其他電子裝置。

本發明藉由半導體晶片 23 置於開口 200 中之設計，而可降低整體之封裝高度，相較於習知技術，本發明封裝基板結構之封裝材 26 不需配合半導體晶片 23 的高度，使得整體封裝基板結構的高度明顯降低；此外，因半導體晶片 23 容置於開口 200 中，且藉由金屬板 21 承載半導體晶片 23，而使半導體晶片 23 可藉由金屬板 21 進行散熱。

請參閱第 3 圖係為本發明之封裝基板結構之堆疊應用之剖面示意圖；如圖所示，依第 2 圖所示之結構向上堆疊，於該基板 20 之第一表面 20a 的介電層 201 上設有電性接觸墊 204，且該電性接觸墊 204 上接置有導電件 28，以支撐且電性連接至少一半導體封裝件 30。

該半導體封裝件 30 係包括一封裝基板 300、設於封裝基板 300 上並以導線 303 電性連接至封裝基板 300 之半導體晶片 301、以及設於部份封裝基板 300 上且包覆該半導體晶片 301 之封裝材 302。

201003866，於其他實施例中，亦可將半導體封裝件 30 以他種之半導體封裝件取代，而使整體高度更低；然，有關於半導體封裝件 30 之種類繁多，惟乃業界所周知，並不限於上述，且其非本案技術特徵，故不再贅述。

藉由上述堆疊結構，相較於習知技術，因最底部之半導體封裝基板結構的整體高度明顯降低，俾使整體堆疊之封裝結構得以製成輕薄短小的產品，而使電子產品的應用增廣。

綜上所述，本發明之封裝基板結構藉由基板設置開口以供半導體晶片置入，使主要結構高度僅為基板的高度，而不需考量半導體晶片厚度，以有效達到降低高度之目的；另外，藉由係為銅且較厚的金屬板作為承載半導體晶片之元件，不僅可使半導體晶片承載穩固，且達到具散熱功能之目的。

上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修改。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

【圖式簡單說明】

第 1A 及 1B 圖係為習知半導體封裝件之剖面示意圖；
第 2A 及 2B 圖係為本發明之封裝基板結構接置半導體晶片封裝後之剖面示意圖；以及

第 3 圖係為本發明之封裝基板結構之堆疊應用之剖

【主要元件符號說明】

| | |
|---------------|---------|
| 10、160 | 基板 |
| 11 | 第一半導體晶片 |
| 12、163、27、27' | 焊料球 |
| 13 | 第二半導體晶片 |
| 14、25、303 | 導線 |
| 15、162、26、302 | 封裝材 |
| 16 | 封裝件 |
| 161、23、301 | 半導體晶片 |
| 17、28 | 導電件 |
| 20 | 基板 |
| 20a | 第一表面 |
| 20b | 第二表面 |
| 200 | 開口 |
| 201 | 介電層 |
| 202 | 打線墊 |
| 202a | 表面處理層 |
| 203 | 植球墊 |
| 204 | 電性接觸墊 |
| 21 | 金屬板 |
| 22 | 防焊層 |
| 220 | 防焊層開口 |
| 221 | 開孔 |

201003866

23a

作用面

23b

非作用面

231

電極墊

24

黏著層

30

半導體封裝件

300

封裝基板

h、s

厚度

五、中文發明摘要：

一種封裝基板結構，係包括：基板，係具有相對之第一及第二表面，於該第一表面上具有複數打線墊，於該第二表面上具有複數植球墊，且具有貫穿該第一及第二表面之開口；金屬板，係設於該第二表面上，並封住開口，且該金屬板之厚度大於各該植球墊，該金屬板面積略大於該開口；以及防焊層，係設於該第一及第二表面上，並具有對應開口之防焊層開口，且該防焊層具有複數開孔，以對應露出各該打線墊、植球墊及該金屬板。俾使半導體晶片設於開口中能降低封裝高度，且該金屬板能提供半導體晶片散熱的功能。

六、英文發明摘要：

A package substrate is proposed, comprising a substrate having a first surface and an opposing second surface, wherein a plurality of bonding pads are formed on the first surface and a plurality of ball-implanting pads are formed on the second surface, and the substrate is formed with an opening penetrating the two surfaces thereof; a metal board disposed on the second surface and covering the opening, wherein the thickness of the metal board is larger than that of each of the ball-implanting pads and the metal board is slightly larger than the opening; and a solder mask layer formed on the first surface and the second surface of the substrate and with an opening corresponding to the opening of the substrate, the solder mask layer being formed with a plurality of openings for respectively exposing each of the bonding pads and the ball-implanting pads and the metal board therefrom, such that the subsequent semiconductor chip can be disposed in the opening to reduce the package height, and also the chip is mounted on the metal board that facilitates heat dissipation.

十、申請專利範圍：

1. 一種封裝基板結構，係包括：

基板，係具有相對之第一表面及第二表面，於該第一表面上具有複數打線墊，於該第二表面上具有複數植球墊，且具有貫穿該第一及第二表面之開口；

金屬板，係設於該基板之第二表面上，並封住該開口，且該金屬板之厚度大於各該植球墊之厚度，該金屬板面積略大於該開口面積；以及

防焊層，係設於該基板之第一及第二表面上，並具有對應該開口之防焊層開口，且該防焊層具有複數開孔，以對應露出各該打線墊、植球墊及該金屬板。

2. 如申請專利範圍第 1 項之封裝基板結構，其中，該基板係為已完成線路佈局之兩層或多層線路層封裝基板。

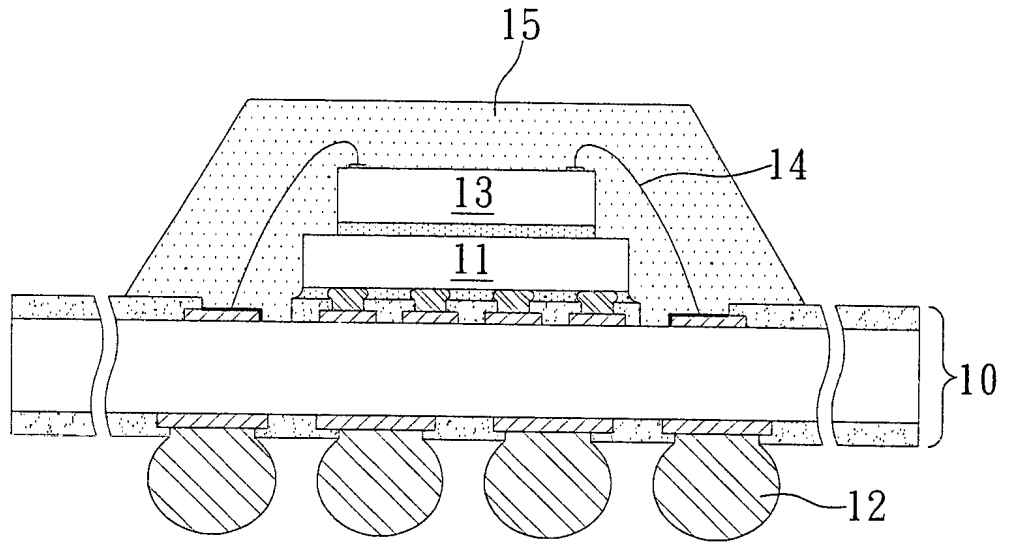
3. 如申請專利範圍第 1 項之封裝基板結構，其中，該基板之第二表面及該防焊層之間復具有介電層，且該金屬板部份埋入該介電層。

4. 如申請專利範圍第 1 或 3 項之封裝基板結構，復包括半導體晶片，係容設於該開口中並結合於該金屬板上，該半導體晶片具有相對之作用面及非作用面，該作用面上具有複數電極墊，且該非作用面結合於該金屬板上。

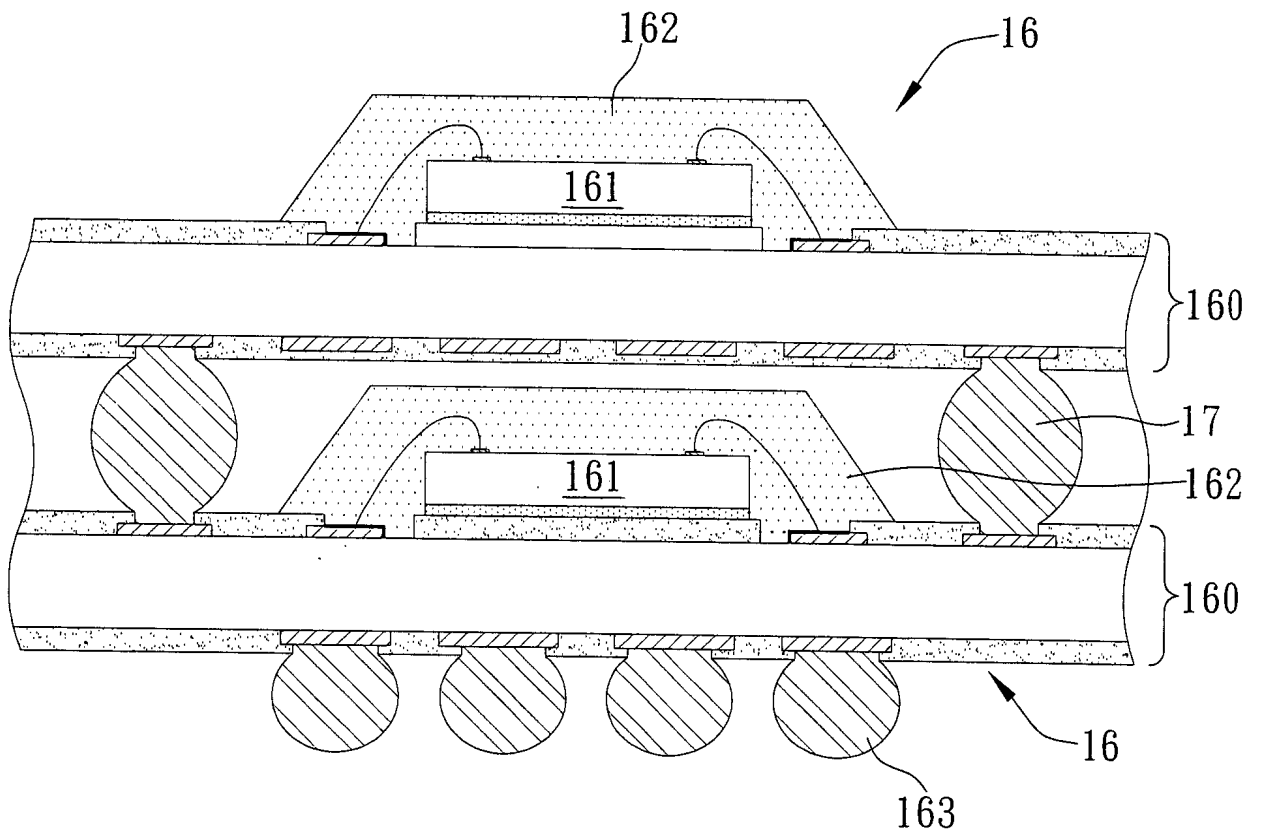
5. 如申請專利範圍第 4 項之封裝基板結構，復包括導線，係電性連接該基板之打線墊及該半導體晶片之電

極墊。

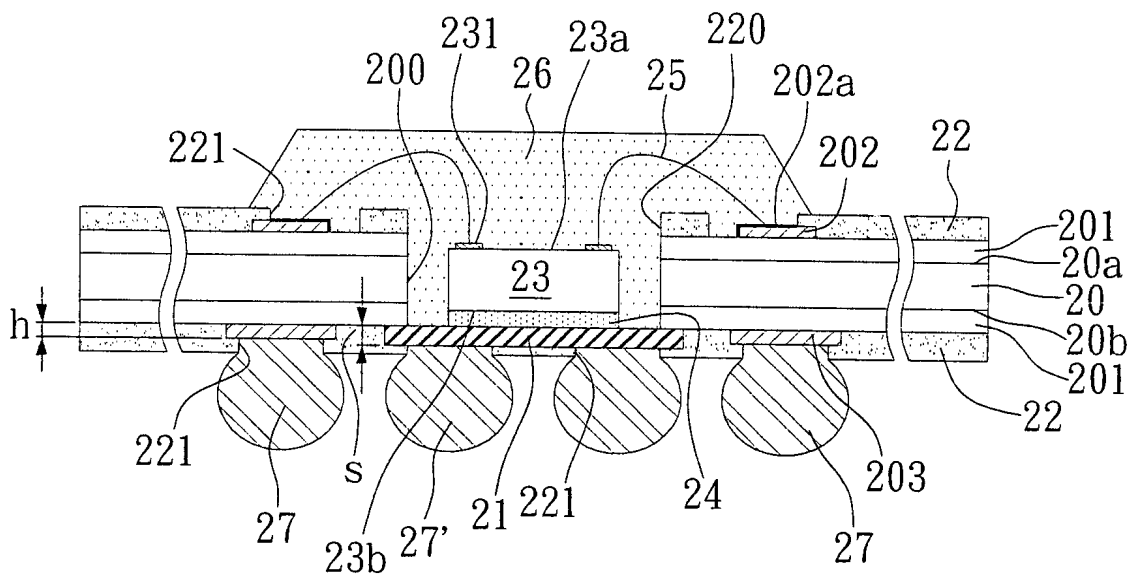
6. 如申請專利範圍第 5 項之封裝基板結構，復包括封裝材，係設於該基板之第一表面，並填充於該開口中，以包覆該半導體晶片、導線及打線墊。
7. 如申請專利範圍第 1 項之封裝基板結構，復包括電性接觸墊，係設於該基板之第一表面上。
8. 如申請專利範圍第 7 項之封裝基板結構，復包括導電件，係設於該電性接觸墊上，以供電性連接至一半導體封裝件。
9. 如申請專利範圍第 1 項之封裝基板結構，復包括表面處理層，係設於該打線墊上。
10. 如申請專利範圍第 9 項之封裝基板結構，其中，該表面處理層係為鎳、鈮、金、錫所組群組之一者。
11. 如申請專利範圍第 1 項之封裝基板結構，其中，該金屬板係為銅。
12. 如申請專利範圍第 1 項之封裝基板結構，其中，該防焊層之開孔中設置有複數接觸該金屬板之焊料球。
13. 如申請專利範圍第 1 項之封裝基板結構，其中，該防焊層之開孔中設置有複數接觸該植球墊之焊料球。



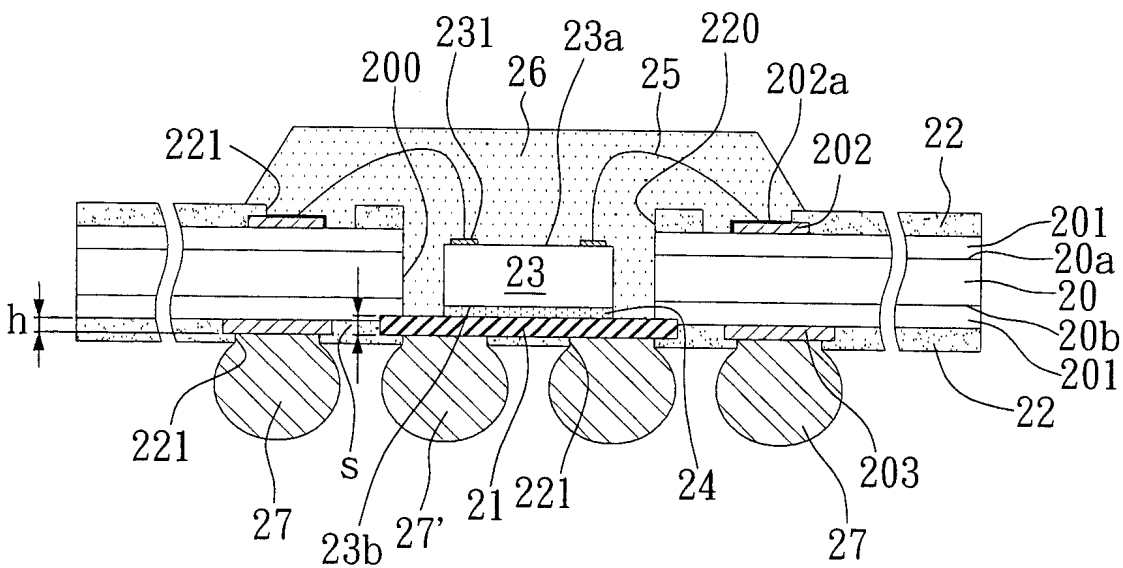
第 1A 圖



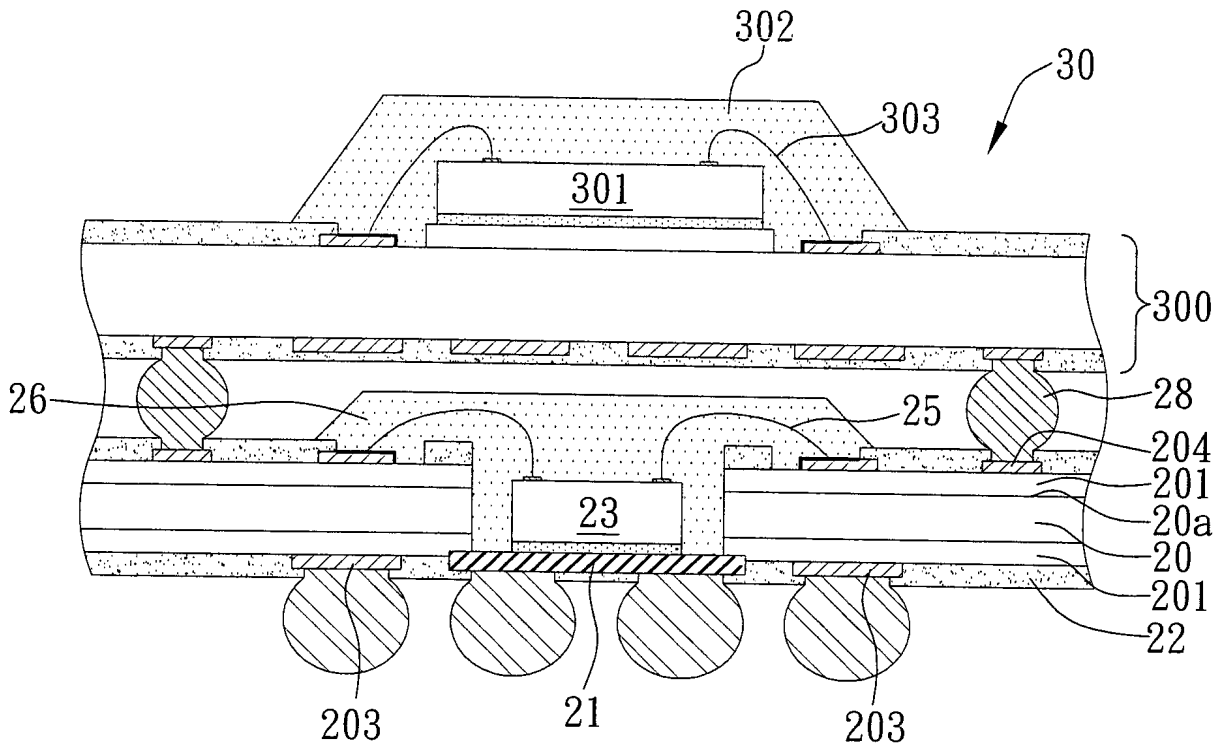
第 1B 圖



第 2A 圖



第 2B 圖



第 3 圖

七、指定代表圖：

(一)本案指定代表圖為：第(2A)圖。

(二)本代表圖之元件代表符號簡單說明：

| | |
|--------|-------|
| 20 | 基板 |
| 20a | 第一表面 |
| 20b | 第二表面 |
| 200 | 開口 |
| 201 | 介電層 |
| 202 | 打線墊 |
| 202a | 表面處理層 |
| 203 | 植球墊 |
| 21 | 金屬板 |
| 22 | 防焊層 |
| 220 | 防焊層開口 |
| 221 | 開孔 |
| 23 | 半導體晶片 |
| 23a | 作用面 |
| 23b | 非作用面 |
| 231 | 電極墊 |
| 24 | 黏著層 |
| 25 | 導線 |
| 26 | 封裝材 |
| 27、27' | 焊料球 |
| h、s | 厚度 |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。