

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 27/115 H01L 21/8247	(45) 공고일자 (11) 등록번호 (24) 등록일자	2000년09월01일 10-0264929 2000년06월08일
(21) 출원번호 (22) 출원일자 (30) 우선권주장	10-1997-0058048 1997년11월04일 8/851252 1997년05월05일 미국(US)	(65) 공개번호 (43) 공개일자 특 1998-0086412 1998년12월05일
(73) 특허권자 (72) 발명자 (74) 대리인	내셔널 세미컨덕터 코포레이션 클라크 3세 존 엠. 미국 캘리포니아주 95052-8090, 산타 클라라, 2900 세미컨덕터 드라이브 베르그몬트 알버트 미국 캘리포니아주 94306 팔로 알토 비론 스트리트 4149 치 민화 미국 캘리포니아주 94306 팔로 알토 애들리 애버뉴 320 박해선, 조영원	

심사관 : 오세준

(54) 고밀도 EEPROM 셀의 제조방법

요약

본 발명의 반도체 기판에 EEPROM 셀구조를 제조하는 방법은 실리콘 기판상에 제 1 두께를 갖는 실리콘 산화물층을 형성하는 것을 포함한다. 이후, 그 실리콘 산화물층의 하부에 매몰된 영역을 한정하기 위하여, n형 도판트가 그 반도체 기판으로 도입된다. 다음으로, 그 매몰된 영역의 표면영역을 노출시키기 위하여 실리콘 산화물층에 터널 윈도우 개구가 형성된다. 이후, 그 매몰된 영역의 노출표면상의 터널 산화물 개구에 터널 산화물층이, 실리콘 산화물의 두께 이하의 두께를 갖도록 형성된다. 이후, 이전단계로부터 제조된 구조물상에 제 1 폴리실리콘층이 형성된 후, 그 상부에 산화물/질화물/산화물 (ONO) 및 그 상부에 제 2 폴리실리콘층이 형성된다. 그 후, 폴리-2/ONO/폴리-1 샌드위치에 이방성 에칭되어, EEPROM 셀 액세스 트랜지스터에 대한 부동게이트/제어게이트 전극과 EEPROM 셀 기억셀 구조물에 대한 부동게이트/제어게이트 전극을 각각 제공하는 제 1 스택 및 제 2 스택이 형성되어진다.

대표도

도4a

명세서

도면의 간단한 설명

도 1a 은 종래 FLOTOX EEPROM 셀 아키텍처를 설명하는 단면도.
도 1b 는 도 1a 의 FLOTOX 셀의 레이아웃.
도 2a 내지 2g 는 도 1a 의 FLOTOX 셀을 제조하는 공정단계를 나타낸 단면도.
도 3 은 내부 액세스 트랜지스터를 이용하는 종래기술의 EEPROM 셀을 나타낸 단면도.
도 4a 내지 4c 는 본 발명에 따른 EEPROM 셀을 제조하는 공정단계를 설명하는 단면도.
도 5a 는 본 발명에 따른 EEPROM 셀구조를 설명하는 단면도.
도 5b 는 도 5a 를 간략히 나타낸 개략도.
도 6 은 본 발명에 따른 EEPROM 셀의 프로그래밍을 설명하는 개략도.
도 7 은 본 발명에 따른 EEPROM 셀의 소거를 설명하는 개략도.

* 도면의 주요부분에 대한 부호의 설명

100 : 산화물층	102 : 실리콘 기판
104 : 포토레지스터 층	106 : 매몰된 n+ 영역
108 : 터널 산화물	110 : 제 1 폴리실리콘층
112 : 유전재료층	114 : 제 2 폴리실리콘층

116 : 포토레지스터 마스크 118 : 개구
 120 : n+ 소오스 및 드레인 영역 122 : 유전층
 126 : 산화물 스페이서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 고밀도의 전기적인 소거 및 프로그래밍이 가능한 ROM (EEPROM) 장치에 관한 것으로, 특히, 저장된 독출시간을 갖는 고밀도 EEPROM 셀을 제조하는 방법에 관한 것이다.

기본적으로 EEPROM 셀을 제조하는데 있어서의 주과제로는, 메모리셀이 1ms 이하에서 하나의 전압으로 기록 또는 소거되면서도 프로그램된 데이터가 10년 이상동안에 아무런 변화도 없이 또다른 전압에서 독출될 수 있도록, 충분한 비선형성을 갖는 제어 및 재생가능한 전기 효과를 이용하는데 있다. 파울러-노드하임 (Fowler-Nordheim) 터널링이 그와 같이 요구되는 비선형성을 나타냄으로써, EEPROM 기억 동작에 널리 이용되어 왔다.

실리콘 (Si) 에서, 전도대 (conduction band) 와 가전자대 (valence band) 간의 에너지 차이는 1.1 eV 이다. 이산화실리콘 (SiO₂) 에서, 이들 밴드간의 에너지 차이는 실리콘에서의 에너지 차이보다 높은 약 8.1 eV 이고 SiO₂ 의 전도대는 Si 의 전도대보다 더 높은 3.2 eV 를 갖는다. 실온에서 전자의 에너지가 약 0.025eV 이므로, Si 내의 전자는 Si와 SiO₂ 간 장벽을 타고 올라서 SiO₂ 의 전도대로 들어가기 위하여 충분한 열에너지를 얻을 수 있는 확률이 매우 작다. 만약 전자들이 SiO₂ 에 의해 포위된 실리콘 부동게이트상에 위치되게 되면, 그자체로 그 밴드 다이어그램은 데이터의 보유를 보증하게 될 것이다.

또한, 금속에서 진공으로의 전자방출의 경우에 있어서 일찍이 20세기 초기에 발견된 파울러-노드하임 방출이, 1969년에 실리콘에서 이산화실리콘으로의 전자방출에 대하여 렌즈링거와 스노우에 의해 발견되었다. Si 와 SiO₂ 의 계면에서 고전기장의 존재시에는, 에너지 밴드가 외곡되므로, Si 의 전도대에서 전자가 에너지 장벽을 양자역학적으로 터널링하여 SiO₂ 의 전도대로 들어갈 확률이 적고 제한적이다.

터널링 전류는 하기 일반 전류밀도 식;

$$J = (AE^2) \exp (-B/E)$$

에 따라 인가된 장 (field) 에 지수함수적으로 증가하며, 여기서, A 및 B 는 상수이고, E 는 Si 와 SiO₂ 의 계면에서의 장이다.

이 전류는 Si 와 SiO₂ 의 계면에서의 장이 약 10MV/cm 일 때 10E-6 A/cm² 의 전류밀도에서 관찰할 수 있다. 이러한 전자공학에 사용하는데 적용가능한 크기의 국부적인 장은 벌크 실리콘상에 성장된 얇은 (약 100 Å) 산화물이나 또는 폴리실리콘상에 성장된 두꺼운 (약 500 Å) 산화물을 가로질러 전압을 인가함으로써 얻어질 수 있다. 후자의 경우에, 폴리실리콘과 폴리실리콘 산화물의 계면의 구조화된 폴리실리콘 형성, 즉 양의 곡률영역에 의해 장이 강화되어, 첫번째 경우와 같은 전압에서 터널링이 향상되게 된다.

이론적으로 이상적인 EEPROM 메모리셀은 메모리 매트릭스의 소정 행과 소정 열에 전기신호를 인가하여 어드레스 할 수 있는 단일 트랜지스터를 포함한다. 예를들어, 이 '이상적인' 셀에 논리 '1' 또는 논리 '0' 을 기록하기 위하여는, '1' 또는 '0' 에 대응하는 전압이 선택된 셀의 열 (column) (비트선) 에 대응하는 소오스 또는 드레인에 인가될 때, 그 선택된 셀의 행 (row) (워드선) 에 대응하는 제어게이트에 전압이 인가된다.

이러한 '이상적인' 셀의 실현을 시도하는데 있어 부당한 주요 문제점으로는, 선택된 셀에서 데이터를 교환하는 동안에 다른 행에 저장된 데이터를 돌발적으로 기록 또는 소거하지 않고, 메모리 셀의 단일 행을 선택할 수 있도록 하기 위하여, 각 메모리셀에 부가적인 액세스 트랜지스터를 필요로 한다는 것이다. 그러나, 각 메모리에서 부가적인 트랜지스터의 존재는 셀의 크기를 증가시켜 고밀도의 메가비트급 메모리 어레이에 대하여 사용불가능한 다이의 크기로 된다.

따라서, 데이터를 교환하는데 있어, 비선택된 셀에서의 돌발적인 동시 프로그램 또는 소거가 없이도, 단일 셀을 확실히 선택할 수 있도록, 각 메모리셀에 부가적인 별도의 액세스 트랜지스터를 필요로 하지 않는 EEPROM 을 제공하는 것이 목표이다.

도 1a 는 널리 공지되어 있는 FLOTOX EEPROM 메모리셀의 단면을 나타낸 것이다. FLOTOX 셀에서, 통상적으로 100 Å 보다 작은 터널 산화물이 드레인 영역 (또는 드레인 영역의 확장부, 매몰된 n+ 로 지칭됨) 에서 사진인쇄술로 한정된 영역에 걸쳐 성장된다. 셀을 프로그래밍하기 위한 부동게이트의 충전은 소오스와 드레인을 접지시켜 그 제어게이트에 고전압을 인가함으로써 이루어진다. FLOTOX 셀은 인가 전압의 많은 부분이 터널 산화물을 가로질러 접속되어 드레인으로부터 부동게이트로 전자를 이송할 수 있도록 구성된다. 셀을 소거하기 위한 부동게이트의 방전은 제어게이트를 접지하고, 소오스를 부동시켜, 드레인에 고전압을 인가함으로써 이루어진다. 이 경우에, 대부분의 인가된 전압은 터널 산화물을 가로질러 접속되나, 장이 역전되지 않아, 부동게이트로부터 드레

인으로 전자가 터널링되게 된다. 소오스는, 5V 이하의 인가량으로부터 고전압을 발생시키기 위하여 내부 충전펌프가 사용될 때 주요 인자인, 연속적인 전류경로가 없도록 부동된다.

단일 트랜지스터 메모리 셀이 금속 열에 접속된 드레인과 공통 폴리실리콘 워드선에 접속된 게이트를 갖는 통상의 어레이에 위치되게 되면, 워드선을 접지시키게 되는 셀의 소거는 공통 열의 모든 드레인에 고전압이 인가됨을 의미할 것이다. 소거는 비선택된 셀을 고전압으로 취하게 함으로써 비선택된 셀에서 금지될 수 있다. 그러나, 이는 동일 워드선을 따른 비선택된 셀이 프로그래밍될 수 있음을 의미한다. 이러한 간섭을 제거하기 위하여, 도 1a 에 나타난 바와 같이, FLOTOX 셀은 열 비트선으로부터 드레인을 분리하기 위하여 별도의 액세스 트랜지스터를 이용한다. 그 액세스 트랜지스터는 소거동안에 선택되지 않은 행에 대하여 오프된다.

도 1b 는 도 1a 의 단면이 워드선 (제어게이트) 에 수직하고 터널 산화물 윈도우를 통과하도록 취한, 도 1a 의 FLOTOX 셀의 레이아웃을 나타낸 것이다.

도 2a 내지 2g 는 도 1a 의 FLOTOX 셀을 제조하는데 이용된 공정 흐름 순서를 나타낸 것으로, 그 제조 순서는 실리콘 기판 (12) 상에 산화물층 (10) 의 형성을 시작으로, EEPROM 메모리 셀의 매몰된 n+ 영역 (16) 을 형성하기 위하여, 포토레지스트 마스크 (14) 의 패턴 및 이온주입 단계가 뒤이어나간다.

도 2b에 나타난 바와 같이, 매몰된 n+영역 (16) 의 형성에 뒤이어, 터널 윈도우 개구 (18) 가 제 2 포토레지스트 마스크 (20) 를 이용하여 산화물층 (10) 에서 에칭된다. 그후, 얇은, 약 80Å 인 터널 산화물층 (22) 이 도 2c 에 나타난 바와 같이, 터널 윈도우에서 성장된다.

도 2d 를 참조하면, 터널 산화물 (22) 의 성장에 뒤이어, 제 1 폴리실리콘층이 증착되어 소정의 전도율로 도핑된다. 뒤이어, 그 제 1 폴리실리콘층에 걸쳐서 산화물/질화물/산화물 (ONO) 층이 형성된다. 그후, 상부에 ONO 층 (26) 을 갖는 메모리셀의 폴리실리콘 부동게이트 (24) 를 한정하기 위하여, ONO 와 그 하부의 제 1 폴리실리콘층이 마스크되어 에칭된다. 재산화와 에치백으로 부동게이트 (24) 와 ONO (26) 의 에지상에 산화물 측벽 스페이서 (28) 가 형성된다.

도 2e 를 참조하면, 그후, 제 2 폴리실리콘층이 증착되어, 소정의 농도로 도핑된 후, FLOTOX 셀의 액세스 트랜지스터의 게이트 (32) 및 메모리 셀의 제어게이트 (30) 을 한정하기 위하여 에칭된다. 그후, 도 2f에 나타난 바와 같이, n+ 소오스/드레인/주입이 수행되어, 액세스 트랜지스터의 소오스/드레인 영역 (34) 및 메모리 셀이 한정되어진다.

마지막으로, 유전재료층 (36) 을 형성하여 평탄화시킨 후, n+ 드레인/비트선 (34) 에 개방된 콘택을 형성한다. 뒤이어, 금속 비트선 구조물 (38) 를 형성하여, (도 1a 의 셀과 동일한) 도 2g 에 나타난 FLOTOX 셀이 이루어진다.

이 FLOTOX 셀은 많은 문제점을 가지고 있다. 먼저, 터널 윈도우와 메모리셀의 매몰된 n+영역 사이의 오정렬에 민감하다. 제 2 폴리실리콘층은 액세스 트랜지스터 게이트와 메모리의 워드선을 형성하기 위하여 사용된다. 그러나, 메모리셀 트랜지스터의 폴리 1 게이트와 폴리 2 게이트를 한정할 수 있는 폴리 1/폴리 2 자기정렬된 에칭이 없다. 또한, 메모리셀의 폴리 2 액세스 트랜지스터 게이트와 폴리 1 부동게이트 사이의 오정렬에 셀이 민감하다.

1980년 7월 31 일자 간행된 Electronics of the 페이지 89 내지 92 의, 저자 이.케이. 셀튼의 '저출력 EEPROM 은 고속으로 프로그래밍될 수 있다' 에서는 상술한 FLOTOX 개념과 유사한 기본적인 EEPROM 개념을 개시하고 있다. 그러나, 도 3 에 나타난 바와 같이, 드레인 (매몰된 n+) 상에 걸쳐서 사진인쇄술로 한정된 터널 산화물 영역 대신에, 셀튼 셀은 폴리실리콘 부동게이트 하부의 채널에 한정된 터널링 영역을 갖는다. 그 폴리실리콘 부동게이트는 채널의 드레인 측을 부분적으로 포함하는 한편, 채널의 나머지 (소오스 측) 는 상부 알루미늄 제어게이트에 의해 포함되어진다. 그 알루미늄 제어게이트는 얇은 실리콘 질화물층에 의해 폴리실리콘 부동게이트로부터 절연된다.

또한, 셀튼 메모리셀은 n 형 기판상의 p형 우물에 형성된다. p형 우물의 퍼텐셜을 제어함으로써 각 메모리 셀에서 별도의 액세스 트랜지스터를 제거하는 것이 가능하다. 프로그래밍 동작동안에, 어떠한 부동게이트들이 소수 캐리어를 기판으로 방전시키는 것을 방지하여 각 선택된 부동게이트가 프로그래밍되어 지도록, p형 우물, 및 비선택된 소오스와 드레인의 퍼텐셜이 선택된다.

도 3 의 셀의 프로그래밍은 p형 우물을 접지시켜, 드레인을 부하 저항을 통하여 프로그래밍 전압에 접속함으로써 달성된다. 소오스는 '1' 또는 '0' 이 저장되었는지의 여부에 따라 프로그래밍 전압 또는 접지에 접속된다. 프로그래밍을 초기화하기 위하여, 알루미늄 제어게이트가 고전압에 접속된다. 만약, 소오스 퍼텐셜도 고전압에 접속하게 되면, 내부 액세스 트랜지스터는 온되지 않아, 부동게이트 하부의 p형 우물의 표면은 전자를 공핍시킨다. 그 p형 우물의 표면과 그 부동게이트 간의 단지 미소한 퍼텐셜 차이만이 존재하게 된다. 따라서, 게이트 및 셀로의 전자 터널링이 0 상태로 유지된다. 만약 소오스 단자가 접지에 (1을 프로그래밍하기 위하여) 접속되게 되면, 내부 액세스 트랜지스터가 온되어, 부동게이트 하부의 표면 퍼텐셜이 0 근처까지 하강하고, 반전층으로부터의 전자들은 얇은 산화물을 통하여 부동게이트로 터널링한다.

도 3의 셀은 제어게이트를 접지시킨 후, p형 우물을 프로그래밍 전압까지 상승시킴으로써 소거되어진다. 이는 전자가 터널 산화물을 통하여 부동게이트로부터 p형 우물로 터널링되어 지도록 한다. 전자가 그 터널 산화물을 통하여 터널링됨에 따라서, 부동게이트는 순수한 양전하를 얻게 된다.

비록, 도 3 의 셀튼 셀은 별도의 액세스 트랜지스터를 이용하지 않는 점에서 도 1 의 FLOTOX 셀과 다르지만, 내부 액세스 트랜지스터를 필요로 함으로써, 이 또한 비교적 큰 셀크기를 필요로 한다.

1995년 1월 3일자로 등록 및 양도된 미국 특허 제 5,379,253호 공보에는 인접 메모리 셀로부터 프로그래밍되도록 선택되어진 메모리 셀 및 프로그래밍되도록 선택되지 않은 메모리 셀을 분리하는데 (FLOTOX 에서와 같이) 별도의 액세스 트랜지스터나 또는 (셀튼 셀에서와 같이) 내부 액세스 메모리를 필요로 하

지 않는 메모리 셀이 개시되어 있다. 그 결과, 미국 특허 제 5,379,253호 공보에 설명된 메모리 셀로부터 구성된 고밀도 EEPROM 어레이의 다이 크기는 FLOTOX 셀 또는 셀톤 셀로부터 구성된 EEPROM 어레이의 다이 크기보다 더욱 작아지게 된다.

널리 공지된 바와 같이, 메모리 셀을 독출하기 위하여 필요한 시간은 EEPROM 선택에서 중요 인자일 수 있다. 비록 미국 특허 제 5,379,253호 공보에 개시된 메모리 셀이 별도의 액세스 트랜지스터 및 내부 액세스 트랜지스터에 대한 필요성을 제거하더라도, 셀을 독출하기 위하여 필요한 시간은, 어레이를 구성하는데 이용된 셀 유형에 상관없이, 실제로 여전히 문제점으로 남아 있다. 따라서, 어레이 셀을 독출하는데 필요한 시간을 매우 저감시킨 EEPROM 어레이가 요구되고 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 액세스 트랜지스터에 대하여 부동게이트 아키텍처 및 액세스 트랜지스터와 메모리 셀 양자의 제어게이트와 부동게이트가 자기 정렬되는 이중 폴리공정을 이용한, 고밀도 EEPROM 셀 어레이 구조를 제공한다. 따라서, 본 발명은 종래 입수할 수 있는 셀보다 더욱 더 컴팩트한 셀을 제공한다. 또한, 본 발명의 공정은 종래 기술에서 이용된 4개의 마스크 비해, 단지 2개의 마스크만을 이용한다. 이는 제조공정의 비용절감을 유도한다. 본 발명의 구조는 셀 어레이에 대한 독출시간을 상당히 감소시키게 된다.

따라서, 본 발명은 반도체 기판에 EEPROM 셀 구조를 제조하는 방법을 제공한다. 본 발명의 방법에 따르면, 제 1 두께를 갖는 실리콘 산화물층은 실리콘 기판상에 형성된다. 이후, 그 실리콘 산화물층 하부에 매몰된 영역을 한정시키기 위하여, n형 도판트가 반도체 기판으로 도입된다. 다음으로, 그 매몰된 영역의 표면영역을 노출시키기 위하여 터널 윈도우 개구가 실리콘 산화물층에 형성된다. 그 후, 그 실리콘 산화물층의 두께보다 작은 두께를 갖도록, 터널 산화물층이 그 매몰된 영역의 표면상의 터널 윈도우 개구에서 성장된다. 이후, 제 1 폴리실리콘층이 이전 단계로부터 형성된 구조물상에 형성된 후, 그 상부에 산화물/질화물/산화물 (ONO) 층과 그 상부에 제 2 폴리실리콘층이 형성된다. 이후, ONO/폴리-1의 샌드위치인 폴리-2가 이방성 에칭되어, EEPROM 셀 액세스 트랜지스터와 EEPROM 셀 기억셀 구조에 부동게이트/제어게이트 전극을 각각 제공하는 제 1 스택 및 제 2 스택이 형성된다.

이하, 본 발명의 원리를 이용한 예시적인 실시예를 개시한 첨부도면과 그의 상세한 설명을 통하여 본 발명의 특징 및 이점을 더욱 잘 이해할 수 있을 것이다.

발명의 구성 및 작용

이하, 본 발명의 개념에 따른 EEPROM 셀구조를 제조하는 공정단계를 도 4a 내지 4d에 제공된 부분 단면도를 참조하여 설명한다. 특정 공정변수가 제공되지 않지만, 당해분야의 전문가들은 본 발명의 개념이 제조사의 특정 메모리 셀구조에 따라 서로 다르게 될 이들 변수에 무관하게 적용가능함을 알 수 있을 것이다.

도 4a를 참조하면, 본 발명에 따른 초기 제조공정은 종래방법으로 n형 우물, p형 우물 및 필드 산화물의 형성으로 시작한다. 이후, 두께 약 500Å의 산화물층 (100)이 실리콘 기판 (102) 상에 형성된다. 그 후, 포토레지스터 층 (104)이 그 산화물층 (100) 상에 형성 및 패턴되어, 기판 (102)의 하부 영역이 노출되어진다. 이후, 이온 주입단계에서 n형 도판트가 기판으로 주입되어, 매몰된 n+ 영역 (106)이 형성된다.

이후, 도 4b에 나타낸 바와 같이, 산화물층 (100)이 마스크 및 에칭되어, 그 매몰된 n+ 영역 (106) 상에 걸쳐 터널 산화물 윈도우가 형성된다. 이후, 셀 (V_T)을 조절하기 위하여 주입이 수행된다. 이후, 열 단계에서, 그 터널 산화물 윈도우에 두께 약 70Å로 터널 산화물 (108)이 성장되어진다.

그 터널 산화물 (108)의 형성후, 제 1 폴리실리콘층 (110)이 산화물 (100) 및 터널 산화물 (108) 상에 형성된다. 이후, 그 제 1 폴리실리콘층 (110) 상에 걸쳐서 통상적으로 산화물/질화물/산화물 (ONO)인 유전재료층 (112)이 형성된다. 이후, 그 ONO (112) 상에 제 2 폴리실리콘층 (114)이 형성된다. 이후, 그 구조물은 그 매몰된 n+영역 (106) 상에 걸쳐 폴리 2/ONO/폴리 1 샌드위치가 노출되도록 패턴된 포토레지스터 마스크 (116)으로 덮여진다. 그 후, 도 4c에 나타낸 바와 같이, 폴리 2/ONO/폴리 1 스택이 에칭되어, 매몰된 n+ 영역 (106) 상에 걸쳐 개구 (118)가 제공되어진다.

이후, 그렇게 최종적으로 제조된 폴리 2/ONO/폴리 1 스택은 메모리 셀구조의 n+ 소오스 및 드레인 영역 (120)을 제공하는 추가적인 n형 도판트 이온주입을 위하여 이용된다. 뒤이어, 유전층 (122)이 형성되며, n+ 드레인 영역에 대한 유전층에 콘택 개구를 형성하고, 각 셀의 폴리 2의 상부에 콘택개구가 형성되어진다. 각 셀의 제어게이트를 접촉시키기 위하여 제 1 금속 (M1) 워드선층이 형성된다. 도 4d에 나타낸 바와 같이, 금속 플러그 및 M1 콘택을 통하여 n+ 드레인 영역에 접촉시키기 위하여, 제 2 금속층 (M2)이 비트선으로 사용된다.

최종 장치구조는 도 5a에 도시되어 있다. 도 5a는 최종적으로 n+ 소오스/드레인 접합을 형성하는데 n형 도판트의 소오스/드레인 영역으로의 자기정렬 주입이 용이하도록, 산화물 스페이서 (126)가 폴리 2/ONO/폴리 1 스택의 에지에 형성되는 것으로 나타내었다. 따라서, 본 발명에 따라 최종적으로 제조되어진 EEPROM 셀구조 및 폴리 2/ONO/폴리 1 스택의 섬 (island)은 기억 트랜지스터의 부동 게이트가 상부 폴리 2 제어게이트에 자기정렬된 메모리 셀 트랜지스터를 포함하고, 특히 액세스 트랜지스터도 또한 부동게이트가 상부 제어게이트에 자기정렬된 부동게이트 구조이다.

도 5b는 도 5a 메모리 셀구조를 개략적으로 나타낸 것이다. 어레이에서 메모리셀은 n+ 드레인 콘택 (V_d) 주변에서 서로 거울상이다.

도 6 은 페이지로 또는 다른 방법으로는 바이트로 모든 메모리셀을 프로그래밍하는 방법을 설명한 것이다. 도 6 에 나타난 바와 같이, 선택된 워드선을 따라 셀을 프로그래밍하기 위하여, 그 워드선에 접속된 셀의 제어게이트에 프로그래밍 전압 (V_{pp}) 이 인가된다. 어레이의 열 드레인은 인가전압 (V_{ss}) 으로 유지된다. 프로그래밍되어질 셀의 액세스 트랜지스터는 액세스 트랜지스터를 스위치시켜 그 인가전압을 프로그래밍되어질 셀의 드레인으로 통과시킴으로써 셀의 부동게이트로 열전자를 용이하게 주입하기에 충분히 큰 액세스 전압 (V_{cc}) 으로 유지된다. 프로그래밍 전압 (V_{pp}) 은 열전자를 부동게이트상으로 주입할 수 있을 정도로 충분히 크다. 예를들어, 통상의 0.35 마이크로 기술에서, $V_{acc} = 5 V$ 이고, V_{pp} 는 9V 이다.

도 7 은 본 발명에 따른 셀을 이용하여 구성된 EEPROM 메모리 어레이에서 셀의 선택적인 소거를 나타낸 것이다. 셀 (A) 을 소거하기 위하여, 셀 (A) 이 접속된 열의 트랜지스터의 매몰된 n+ 드레인에 프로그래밍 전압 (V_{pp}) 이 접속된다. 셀 (A) 에 대한 액세스 트랜지스터의 제어게이트에 액세스 트랜지스터를 V_{pp} 를 통과시키기에 충분히 큰 액세스 전압 (V_{acc}) 이 인가된다. 셀 (A) 의 게이트는 인가전압 (V_{ss}) 에서 유지된다. 따라서, 셀 (A) 의 부동게이트로부터 그 드레인으로 파울러-노드하임 터널링을 통하여 전자들이 제거되어진다. 소거가 금지되어지는 바이트의 셀은 도 7 에 나타난 바와 같이, 인가전압 (V_{ss}) 에서 유지된 제어게이트를 갖는다. 또한, 0.35 마이크로 기술에 대한 통상의 전압은 V_{acc} 은 5 V 이고, V_{pp} 은 9 V 가 될 것이다.

이상 여기에 설명된 본 발명의 실시예에 대한 여러가지 다른 방법들이 본 발명을 실시하는데 채용되어질 수 있는 것으로 이해되어야 한다. 하기 청구범위는 본 발명의 범주를 정하려는 것으로, 이에 의해, 그 이들 청구범위와 그 등가물의 범주내의 구조와 방법을 포함시키려는 의도이다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따른 반도체 기판에 EEPROM 셀 구조를 제조하는 방법은, 액세스 트랜지스터에 대하여 부동게이트 아키텍처 및 액세스 트랜지스터와 메모리셀 양자의 제어게이트와 부동게이트가 자기 정렬되는 이중 폴리공정을 이용함으로써, 종래 입수할 수 있는 셀보다 더욱 더 컴팩트한 셀을 제공한다. 또한, 본 발명의 공정은 종래 기술에서 이용된 4개의 마스크 비해, 단지 2개의 마스크만을 이용함으로써, 제조비용을 절감케 하고, 나아가 본 발명의 구조로, 셀 어레이에 대한 독출시간을 상당히 감소시킬 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

반도체 기판에 EEPROM 셀구조를 제조하는 방법에 있어서,

실리콘 기판 상에 제 1 두께를 갖는 실리콘 산화물층을 형성하는 단계,

상기 실리콘 산화물층 하부에 매몰된 영역을 한정하기 위하여, 상기 반도체 기판으로 n형 도판트를 도입하는 단계,

상기 매몰된 영역의 표면영역을 노출시키기 위하여, 실리콘 산화물층에 터널 윈도우 개구를 형성하는 단계,

매몰된 영역의 노출표면 영역상의 터널 윈도우 개구에 상기 제 1 두께 이하의 제 2 두께를 갖는 터널 산화물층을 형성하는 단계,

이전 단계에 의해 제조되어진 구조물상에 제 1 폴리실리콘층을 형성하는 단계,

상기 제 1 폴리실리콘층상에 유전재료층을 형성하는 단계,

상기 유전재료층상에 제 2 폴리실리콘층을 형성하여, 상기 제 2 폴리실리콘층, 상기 유전재료층 및 상기 제 1 폴리실리콘층으로 폴리 2/유전체/폴리 1 샌드위치를 한정시키는 단계,

이격된 제 1 및 제 2 폴리 2/유전체/폴리 1 스택으로 한정하기 위하여, 상기 폴리 2/유전체/폴리 1 샌드위치를 이방성 에칭시키는 단계,

자기정렬 이온주입 단계에서, 반도체 기판에 형성된 n형 전도율의 드레인/비트 선 영역을 한정하여 그들 사이에 액세스 트랜지스터 기판 채널 영역을 한정하고, 반도체 기판에 형성된 n형 전도율의 소오스 영역을 매몰된 영역과 이격되게 한정하여 그들 사이에 기억셀 기판 채널 영역을 한정시키기 위하여, 상기 제 1 및 제 2 폴리 2/유전체/폴리 1 샌드위치를 이용하는 단계를 포함하고,

상기 제 1 폴리 2/유전체/폴리 1 스택은 축 트랜지스터 기판 채널영역상에 형성되며 이로부터 제 1 두께를 갖는 실리콘산화물에 의해 분리되어진 제 1 부분 및 상기 매몰된 영역의 제 1 부분상에 형성되며 이로부터 터널 산화물에 의해 분리되어진 제 2 부분을 갖는 폴리-1 액세스 트랜지스터 부동게이트, 및 액세스 트랜지스터 부동게이트상에 형성되며 이로부터 유전재료에 의해 분리되어진 폴리-2 액세스 트랜지스터 부동게이트를 포함하고,

상기 제 2 폴리 2/유전체/폴리 1 스택은 기억셀 채널영역상에 형성되며 이로부터 제 1 두께를 갖는 실리콘산화물에 의해 분리되어진 제 1 부분 및 상기 매몰된 영역의 제 2 부분상에 형성되며 이로부터 터널 산화물에 의해 분리되어진 제 2 부분을 갖는 폴리-1 기억셀 부동게이트, 및 기억셀 부동게이트상에 형성되며 이로부터 유전재료에 의해 분리되어진 폴리-2 기억셀 부동게이트를 포함하는 것을 특징으로 하는 EEPROM 셀구조의 제조방법.

청구항 2

제 1 항에 있어서, 상기 제 1 두께는 약 500Å 인 것을 특징으로 하는 EEPROM 셀구조의 제조방법.

청구항 3

제 1 항에 있어서, 상기 제 2 두께는 약 70Å 인 것을 특징으로 하는 EEPROM 셀구조의 제조방법.

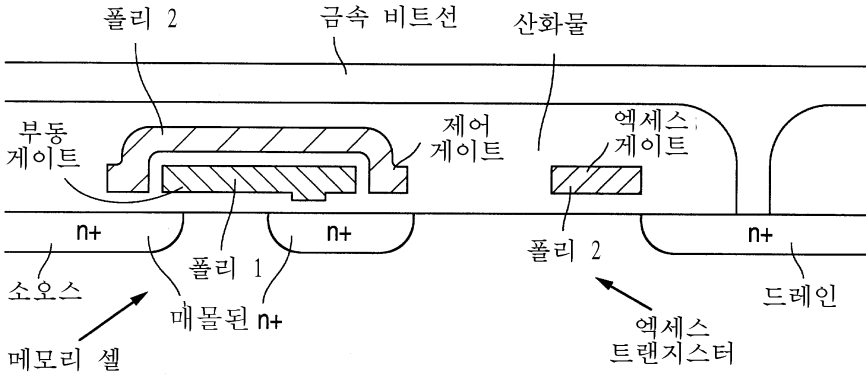
청구항 4

제 1 항에 있어서, 상기 유전재료는 산화물/질화물/산화물 (ONO) 인 것을 특징으로 하는 EEPROM 셀구조의 제조방법.

도면

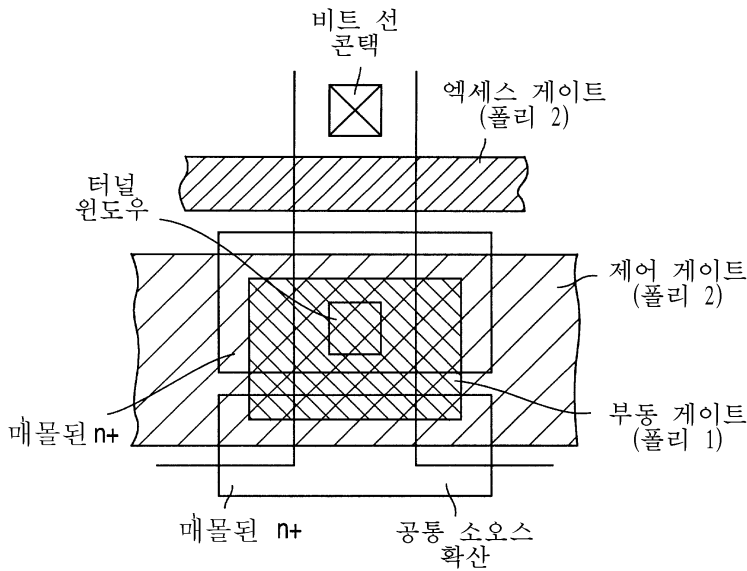
도면 1a

종래 기술



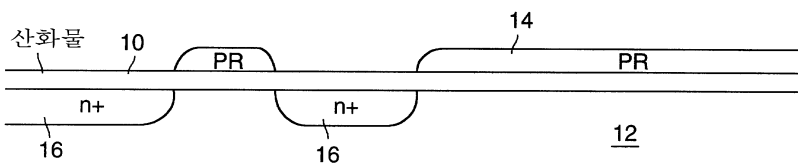
도면 1b

종래 기술



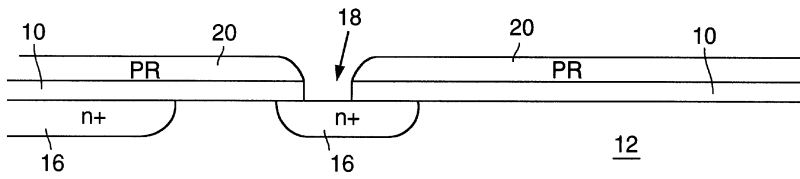
도면 2a

종래 기술



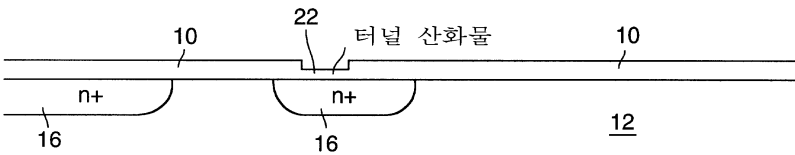
도면2b

종래 기술



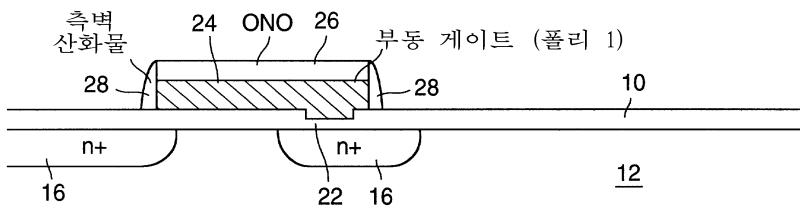
도면2c

종래 기술



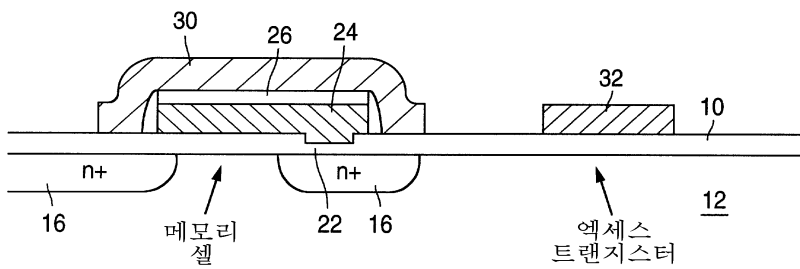
도면2d

종래 기술



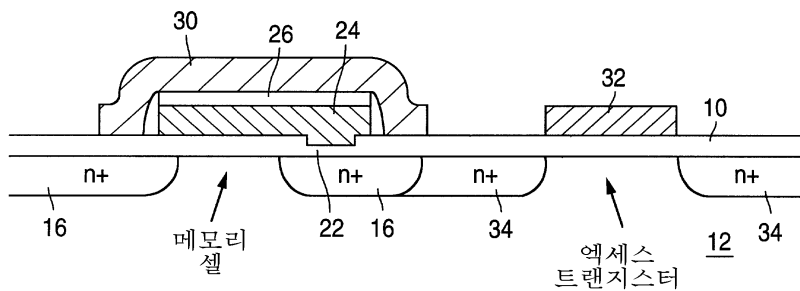
도면2e

종래 기술



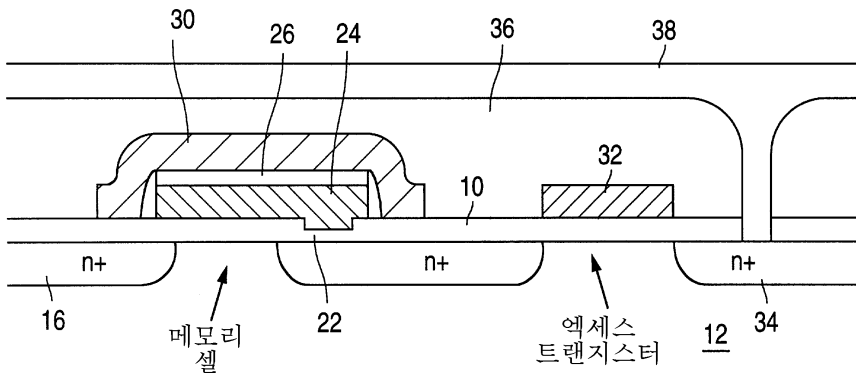
도면2f

종래 기술



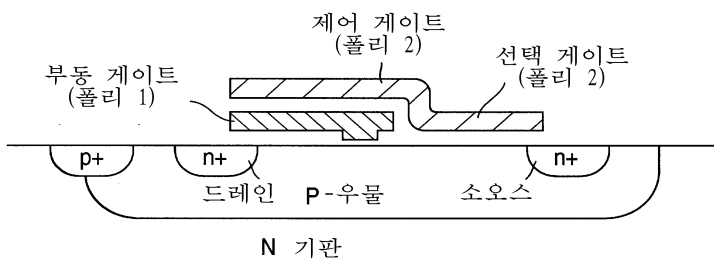
도면2g

종래 기술

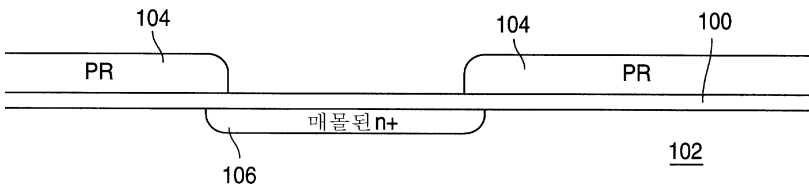


도면3

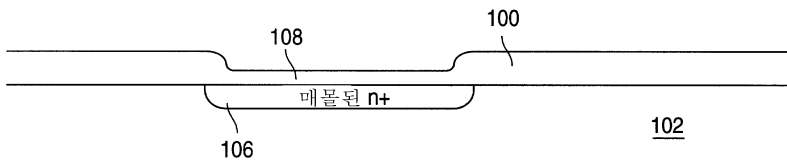
종래 기술



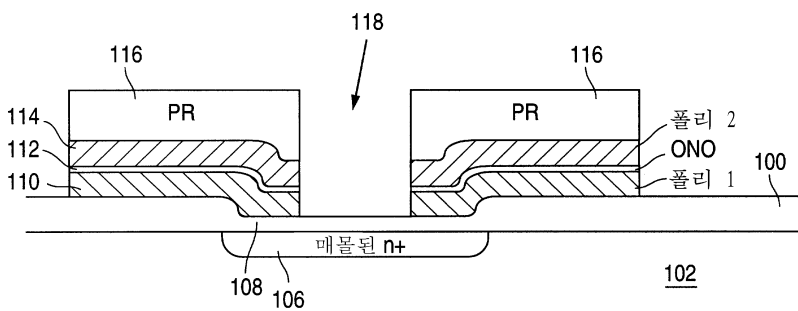
도면4a



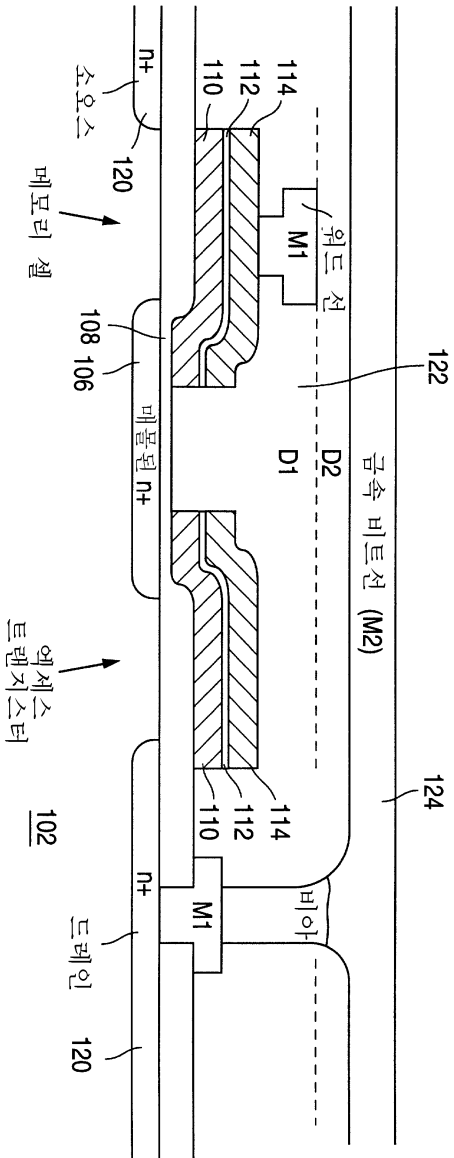
도면4b



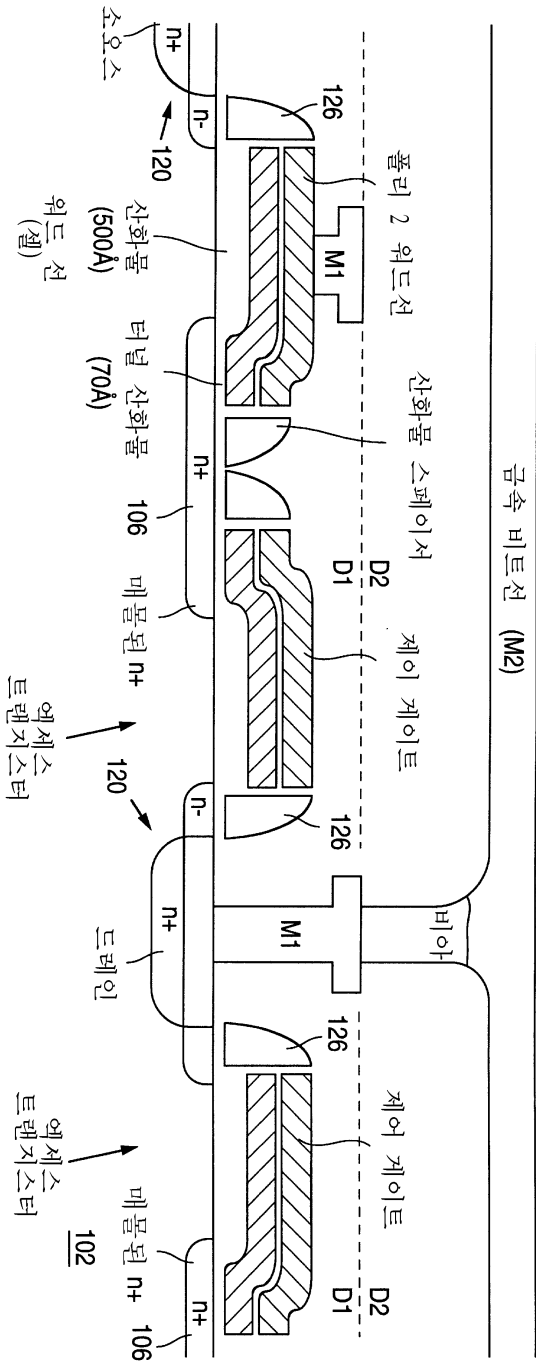
도면4c



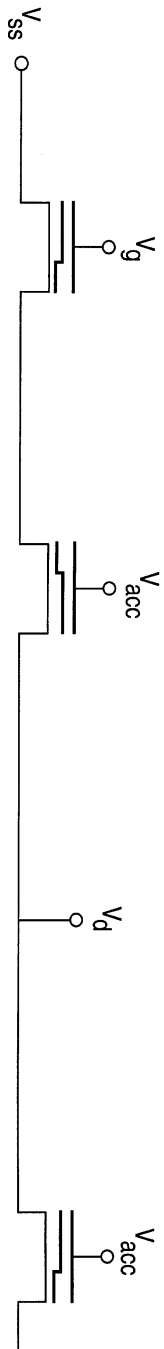
도면4a



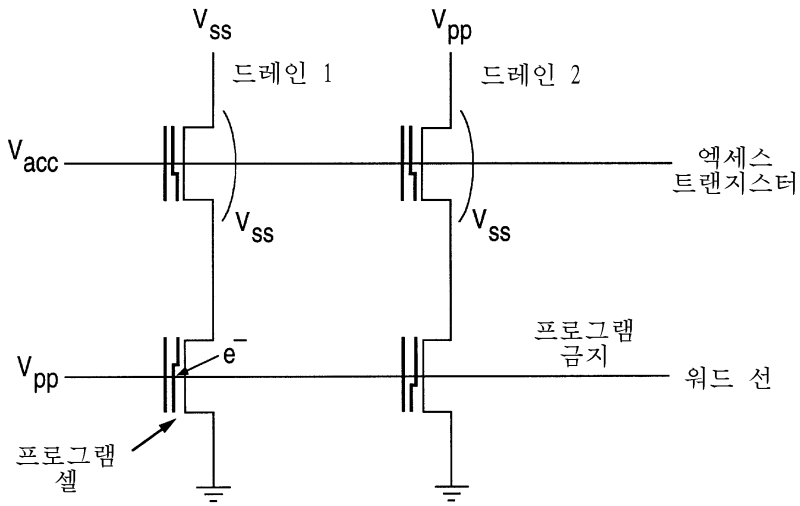
도면5a



도면5b



도면6



도면7

