

公告本

414875

修正
7月28日
補充

申請日期	87.02.10
案 號	87101803
類 別	G06F 1/08

(以上各欄由本局填註)

414875

發明專利說明書

一、發明名稱	中文	於低功率狀態運作之積體電路中維持快取記憶體一致性之方法及裝置
	英文	"METHOD AND APPARATUS FOR MAINTAINING CACHE COHERENCY IN AN INTEGRATED CIRCUIT OPERATING IN A LOW POWER STATE"
二、發明人	姓名	1. 詹姆士 P. 卡達曲 2. 約翰 荷如根 3. 拉米 亞卡巴隆 4. 中西 郁策 5. 曲赫 莊 6. 洛伊斯 S. 森伊可
	國籍	1. 2. 5. 6. 均美國 3. 印度 4. 日本
三、申請人	住、居所	1. 美國加州沙拉塔加市拉帕拉瑪大道20271號 2. 美國加州山景市米拉街1209號 3. 美國加州聖喬斯市阿波羅歌路1758號 4. 美國俄勒岡州喜斯波羅市NE湯登路23號 5. 美國加州聖塔卡拉瓦市韋克漢路2534號 6. 美國加州聖喬斯市波可巷1020號
	姓名 (名稱)	美商英特公司
代表人名	國籍	美國
	住、居所 (事務所)	美國加州聖塔卡拉瓦市米遜大學路2200號
代表人名	姓名	F. 湯姆士. 當烈二世

經濟部中央標準局員工消費合作社印製

裝

訂

線

公告本

414875

修正
7月19日
補完

申請日期	87.02.10
案 號	87101803
類 別	G06F 1/08

(以上各欄由本局填註)

414875

發明專利說明書

一、發明名稱	中 文	於低功率狀態運作之積體電路中維持快取記憶體一致性之方法及裝置
	英 文	"METHOD AND APPARATUS FOR MAINTAINING CACHE COHERENCY IN AN INTEGRATED CIRCUIT OPERATING IN A LOW POWER STATE"
二、發明人	姓 名	1. 詹姆士 P. 卡達曲 2. 約翰 荷如根 3. 拉米 亞卡巴隆 4. 中西 郁策 5. 曲赫 莊 6. 洛伊斯 S. 森伊可
	國 籍	1. 2. 5. 6. 均美國 3. 印度 4. 日本
三、申請人	住、居所	1. 美國加州沙拉塔加市拉帕拉瑪大道20271號 2. 美國加州山景市米拉街1209號 3. 美國加州聖喬斯市阿波羅歌路1758號 4. 美國俄勒岡州喜斯波羅市NE湯登路23號 5. 美國加州聖塔卡拉瓦市韋克漢路2534號 6. 美國加州聖喬斯市波可巷1020號
	姓 名 (名稱)	美商英特公司
代 表 人 姓 名	國 籍	美國
	住、居所 (事務所)	美國加州聖塔卡拉瓦市米遜大學路2200號
	代 表 人 姓 名	F. 湯姆士. 當烈二世

經濟部中央標準局員工消費合作社印製

裝

訂

線

414875

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權
 美國 1997年5月5日 08/841,858 有 無主張優先權

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

89年9月6日 修正
補充

五、發明說明 (5)

取記憶體控制、內部快取控制與定址驅動器與接收器。匯流排介面裝置 32 連接經由指示快取記憶體來使預提取器 34 存取電腦系統的主記憶體 18 中。預提取器 34 可提取由指示快取記憶體 38 的指示指標器來變址，或經由匯流排介面裝置 32 來自主記憶體 18 變址。分支預測裝置 35 提供由預提取器 34 擷取的分支指示之推測式的預測，然後再輸出指示指標器，依分支是否預測，而決定後續記憶體位址或目標記憶體位址來變址。預提取器 34 傳輸自指示快取記憶體 38 或主記憶體 18 所接收到的指示，至指示解碼器 42 以解碼成一組的微運作 (μ ops)，作為下流處理。控制唯讀記憶體 (ROM) 44 連接至指示解碼器 42，並接收解碼器 42 的輸入點。解碼器 42 與控制 ROM 44 供應微運作至控制裝置 46。控制裝置 46 供應整數管線執行裝置 48 與流動點管線執行裝置 50 可在執行指示時存取至資料快取記憶體 51。微處理運作可自控制裝置 46 供應至位址產生裝置 52，該裝置可產生並轉換位址資訊。

時脈狀態

參照圖式 3，依本發明顯示狀態圖 100 說明處理器不同的時脈狀態。所說明的時脈狀態可單一處理器 (UP) 行動電腦系統與對稱多重處理器 (SMP) 桌上型與伺服器電腦系統，促進處理器的功率控制。說明 6 種時脈狀態，它們分別是時脈執行狀態 102、停止授權狀態 104、自動停止狀態 106、快速開始狀態 108、睡眠狀態 110 與沉睡狀態 112。在時脈狀態 102 到 108，如以上線 114 所示，處理器

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(1)

發明範疇

本發明與電腦系統範疇有關，特定而言，本發明與能在低功率消耗狀態下運作的之積體電路有關，以及一種方法可在積體電路在低功率消耗狀態運作下時維持快取記憶體一致性。

發明背景

在積體電路(IC)中，如處理器，降低功率耗損的技術之一為，停止或限定時脈信號至處理器的一部份或整個處理器中。這種方法可能會需要插入“停止時脈”信號，在處理器輸入低功率(如低功率消耗狀態)狀態時，許多功能裝置就不再具時脈。為維持以處理器有關的快取記憶體之性能優點，需要維持快取記憶體的一致性，即使處理器在低功率消耗狀態下。

許多電腦系統均採取多個處理器，一個或多個處理器若在低功率消耗狀態下，而其他的處理器會在全功率狀態下仍能操作資料。為在此類電腦系統中維持快取記憶體一致性，在低功率消耗狀態下運作的處理器必須監測並回應由其他處理器所傳導的信號。快取記憶體一致性以及要回應其他處理器所發出的偵察請求時會花費很多能源，因此必須在處理器進入低功率消耗狀態時將功率降至最小。

發明摘要

依本發明，提供一種裝置可在低功率運作狀態下運作積體電路。本裝置包括一輸入端，該輸入端連接來接收可表示記憶體存取的存取信號，以及由積體電路所存取的記憶

(請先閱讀背面之注意事項再
向本頁)

裝

訂

線

89年9月6日 修正
補充

五、發明說明 (9)

作處理器 14，而圖式 5 說明在快速開始模組 108 中的組態運作處理器 14。圖式 4 與 5 所表示的處理器 14 包括多個 FUB，分別是流點裝置(FPU) 50、等差邏輯裝置(ALU) 53、預提取器 34、匯流排時脈產生邏輯 152、資料快取 51、密碼快取 38、以及匯流排介面裝置 32。處理器 14 包括多個 FUB，以方塊 33 作為代表。讀者應了解以上的 FUB 具示範性，但並不提供 FUB 表。顯示在處理器 14 (如 FUB 51, 38, 32, 33) 右手邊的 FUB 的特點為，它們須要內部與外部偵測運作性能。相反地，處理器 14 左手邊的 FUB 50, 53 與 34 在偵測運作時不需要啟動。

每個 FUB 經由 NAND 閘道 143 或 144 連接以接收主時脈中樞 150 時脈信號。匯流排時脈產生邏輯 152 更提供反饋匯流排時脈信號 132 至相位鎖定邏輯(PLL) 115，該邏輯可提供鎖定的核心時脈信號 133 至時脈中樞 150。處理器 14 亦包括快速開始邏輯 116 與停止授權邏輯 117。參照圖式 4，處理器 14 表示可以在停止授權模組 104 運作組態，停止授權邏輯 117 可利用將時脈中樞 150 的時脈信號供應至 FUB 以降低 FUB 50, 53 與 34 的功率。特定而言，解除插入與插入全球停止時脈啟動(GSCLK_EN)信號 141，停止授權邏輯 117 可運作與 FUB 50, 53 與 34 有關的 NAND 閘道 143 以傳送或阻礙由時脈中樞 150 傳送時脈信號至 FUB。因此，將處理器 14 置於停止授權模組 104 中，停止授權邏輯 117 可解除插入 GNSCLK_EN 信號 114，因此可防止 FUB 50, 53, 34 所發生的切換動作。讀者應注意，在停止授

(請先閱讀背面之注意事項再填寫本頁)

(裝

訂

五、發明說明(2)

體資源，並利用積體電路外部的裝置。降低功率邏輯可傳輸時脈信號至積體電路的第一與第二組的功能裝置，第一功能裝置必須在積體電路內執行快取記憶體一致性運作。為回應本信號的插入，功率降低邏輯會將時脈信號輸入第一組功能裝置，本發明的其他特色可參照以下圖式與說明獲致更明確的了解。

圖式的簡單說明

本發明以以下範例來說明，並不限於相關圖式說明，其中相似參照表示相似元件以及：

圖式 1 電腦系統概要圖，說明執行本發明的情形。

圖式 2 為本發明的內處理器的概要圖。

圖式 3 為說明不同時脈狀態的概要圖，該概要圖依本發明的具體實施例由處理器所運作。

圖式 4 說明圖式 2 的處理器，依本發明組態以操作允許停止模式。

圖式 5 為圖式 2 的處理器，依本發明組態以低功率消耗狀態操作積體電路。

圖式 6 為時脈電路概要圖，可在低功率消耗狀態下操作積體電路。

圖式 7 為概要圖，說明圖式 6 的時脈電路合作之開始/停止邏輯細節。

圖式 8 為概要圖，提供圖式 6 的時脈電路之時脈啟動/關閉邏輯結構之其他細節。

圖式 9A 與 9B 參照了圖式 4-8 為計時圖，表示不同信號

(請先閱讀背面之注意事項再)

向本頁)

裝

訂

線

五、發明說明(3)

的計時。

圖式 10 為流程圖，說明方法的具體實施例，依本發明組態處理器以在低功率消耗狀態下，仍能維持快取記憶體一致性。

圖式 11 依本發明說明本方法的流程圖，在低功率消耗狀態下運作積體電路。

圖式 12 依本發明說明本方法的流程圖，在低功率消耗狀態下運作積體電路。

詳細說明

一種方法與裝置可在積體電路在低功率消耗狀態下，仍維持快取記憶體一致性。在以下的敘述中，為求解釋的目的地，多個特定細節會依序以提供本發明的詳細說明。然而，熟知本項技藝的人士應了解不需特定細節便能實現。

電腦系統與微處理器概觀

參照圖式 1，可以與本發明的具體實施例一併使用的電腦系統 10，以概要圖的形態表示。雖然圖式 1 有助您了解電腦系統的整體敘述，但系統的多個細節仍未顯示出來。在了解本發明時，需要更多的參照細節及規格圖式供了解。更甚者，本發明以示範性實施例來說明。替代式實施例可以由熟知技藝的人士所了解，並不背離本發明的範疇。如圖式 1 所示，電腦系統 10 為單處理器系統並包括處理器 14，該處理器利用處理器匯流排 12 連接至記憶體與匯流排控制邏輯 16 (亦稱為匯流排橋接)。其他的處理器更可以連接至處理器匯流排 12 以建立多重處理器系

五、發明說明(4)

統。處理器 14 顯示包括內部資料與指示快取記憶體 15，並經由已顯示匯流排存取至層級 2 (L2) 快取記憶體 17 中。記憶體與匯流排邏輯 16 可以插入代理匯流排請求 19 至處理器，以在周邊裝置的處理器匯流排 12 來請求控制。例如，匯流排請求 19 可能為優先權代理匯流排請求 (BPRI#) 信號，該信號可以在由加州聖克拉拉英代爾公司所發展出的英代爾建構 (IA) 中受到定義。處理器 14 已經由記憶體與匯流排邏輯 16 來存取至主記憶體 18。主記憶體 18 一般包括隨機存取記憶體 (RAM)，並利用處理器 14 來儲存指示與資訊。處理器 14 亦可以經由邏輯 16 存取層級 3 (L3) 快取記憶體 20。記憶體與匯流排邏輯 16 連接至系統匯流排 22，經由多個周邊裝置，利用輸入端/輸出端 (I/O) / 埠 21 與系統匯排 22 相連，記憶體 18 與 20 和處理器 14 互相溝通。周邊裝置包括顯示裝置器 24 (如陰極射線管 (CRT) 或液晶顯示器 (LCD))，數字字母輸入裝置 26 (如鍵盤)，游標控制裝置 28 (如滑鼠或其他指標裝置)，硬碟裝置 30 (如列表機或繪圖儀，可提供電腦影像的硬拷貝)，以及信號產生裝置 32 (如揚聲器)。電腦系統 10 亦包括大儲存裝置 34，該裝置連接至系統匯流排 22。

參照圖式 2，圖式 1 的處理器 14 的更詳細說明顯示在方塊圖形中。處理器 14 包括多個功能裝置方塊 (FUB)，匯流排介面裝置 32，該裝置可在處理器 14 與電腦系統 10 的處理器匯排器 12 之間提供介面。匯流排介面裝置 32 包括數個功能裝置，它們是寫入暫存器、匯流排邏輯、L2 快

89年9月6日 修正
補充

五、發明說明 (5)

取記憶體控制、內部快取控制與定址驅動器與接收器。匯流排介面裝置 32 連接經由指示快取記憶體來使預提取器 34 存取電腦系統的主記憶體 18 中。預提取器 34 可提取由指示快取記憶體 38 的指示指標器來變址，或經由匯流排介面裝置 32 來自主記憶體 18 變址。分支預測裝置 35 提供由預提取器 34 擷取的分支指示之推測式的預測，然後再輸出指示指標器，依分支是否預測，而決定後續記憶體位址或目標記憶體位址來變址。預提取器 34 傳輸自指示快取記憶體 38 或主記憶體 18 所接收到的指示，至指示解碼器 42 以解碼成一組的微運作 (μ ops)，作為下流處理。控制唯讀記憶體 (ROM) 44 連接至指示解碼器 42，並接收解碼器 42 的輸入點。解碼器 42 與控制 ROM 44 供應微運作至控制裝置 46。控制裝置 46 供應整數管線執行裝置 48 與流動點管線執行裝置 50 可在執行指示時存取至資料快取記憶體 51。微處理運作可自控制裝置 46 供應至位址產生裝置 52，該裝置可產生並轉換位址資訊。

時脈狀態

參照圖式 3，依本發明顯示狀態圖 100 說明處理器不同的時脈狀態。所說明的時脈狀態可單一處理器 (UP) 行動電腦系統與對稱多重處理器 (SMP) 桌上型與伺服器電腦系統，促進處理器的功率控制。說明 6 種時脈狀態，它們分別是時脈執行狀態 102、停止授權狀態 104、自動停止狀態 106、快速開始狀態 108、睡眠狀態 110 與沉睡狀態 112。在時脈狀態 102 到 108，如以上線 114 所示，處理器

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(6)

匯流排在某些程度上可偵測加強快取記憶體一致性，然而在線 114 之下的狀態 110 與 112，不偵測處理器。不同時脈狀態之間的差異會在以上敘述。

處理器的時脈執行狀態 102 為正常運作模式，其中處理器內部時脈在執行，而處理器正積極地在執行指示。在插入停止時脈(STPCLK#)信號時，處理器輸入停止授權狀態 104 或快速開始狀態 108，是依“功率擴充選項”如何在自引狀態下運作或處理器的重新設定。特定而言，處理器組態以輸入停止授權狀態 104 或快速開始狀態 108 為開啓狀態，只要在擴充選項線上放置邏輯 0 或 1。在某一實施例中，本擴充選項可以由驅動 0 或 1 位址線 15 (A15#) 在重設的狀態下運作。當然可以用其他的方法運作擴充選項。

假設處理器已設定為開啓，以進入停止授權狀態 104 (如將 A15# 設定為 1)，在插入 STPCLK# 信號時，處理器即會輸入停止授權狀態 104。在此狀態中，功率可依時脈執行狀態 102 降低，而處理器的內部功能裝置方塊(FUB)則取消運作。然而，在停止授權狀態 104 內的處理器積體電路保持啓動中且設有時脈，如此一來可使處理器回應以偵測請求並鎖存中斷，有關此項將在以下加以說明。以此方法，快取記憶體可在低功率的狀態下維持一致性。由停止授權狀態 104 移轉至時脈執行狀態 102 可在解除 STPCLK# 信號時，或發生停止中斷情形時獲取，如處理器啓動，清除或重新設定。

假設處理器已設定為啓動以進入快速開始狀態 108 (如

五、發明說明(7)

設定 A15# 為邏輯 0)，在插入 STPCLK# 信號時，處理器可輸入快速開始狀態 108。在此狀態下，功率可依時脈執行狀態 102 與停止授權狀態 104 而降低，而處理器的內部功能裝置方塊(FUB)則取消運作，但其相位鎖定環(PLL)仍維持運作。在快速開始狀態 108 時提供處理器已降低的回應能力，可獲致低功率。在某一具體實施例中，在快速開始狀態 108 的處理器能回應鎖存中斷(如，NMI, SMI# 或 INTR 信號)，且不會回應以重設，啟動或清除請求。因此，回應這些請求的電力並未啟動，而由於它處於停止授權狀態 104，因此可在快速開始狀態 108 中節省更多的電力。在處理器係於快速開始狀態 108 時，仍產生中斷、啟動、重設或清除等請求，這些請求將不會被確認，而且必須被保留(或鎖存)直到取消 STPCLK# 信號插入，而處理器回到時脈執行狀態 102，此時這類請求才會被回應。在本發明的具體實施例中，快速開始狀態 108 的處理器只能回應偵測請求，當一匯流排的外部輸入/輸出端(I/O)裝置請求控制時，可偵測一匯流排。在其他的具體實施例中，在快速開始狀態 108 的處理器只能回應 I/O 橋接存取由優先權代理匯流排請求(BPRI#)信號的回應插入，如英代爾建構(IA)定義。參照圖式 1，BPRI# 信號 19 由記憶體以及匯流排邏輯 16 (以匯流排橋接來定義)所插入，以獲取處理器的控制(或 CPU)匯流排 12 以回應由 I/O 裝置 21 的請求。如以下的說明，在插入 BPRI# 信號 19 插入之後，有 3 種時脈周期發生，處理器輸入快速開始+(QS+)模組 109，其中處理器的

五、發明說明(8)

FUB 需要接受啓動與設定時脈的偵測周期。在某項實施例中，在快速開始+模組 109 中的處理器偵測行爲，可以在單一處理器(UP)組態進行，由於它不偵測處理器匯流排存取，而以 BPRI# 信號 19 所啓動，且不執行匯流排資料運作偵測，在採取多重處理器環境及接至處理器 12。

自動暫停狀態 106 輸入到停止(HLT)指示執行，並回到時脈執行狀態 102，而以自動停止事件來產生，而回到時脈執行狀態 102 在自動暫停事件中產生。在處理器向英代爾建構規格確定時，自動暫停事件可能會在 NMI, INTR, BINT#, FLUSH# 或 SMI# 信號啓動時或作下試驗模組時而產生。

依本發明的處理器可在睡眠與深沉狀態 110 與 112 中運作。而睡眠狀態 110 可輸入停止許可狀態 104，而此種轉接可發生在睡眠(SLP#)信號插入時。在睡眠狀態 110 中，處理器維持其內容，關閉全部的時脈，但維持其相位鎖定環(PLL)電路啓動中，因此可使處理器以最小鎖存來離開睡眠狀態 110。當全部內部時脈停止時，在睡眠狀態 110 的處理器不能執行偵測，鎖存或中斷信號或重設。

利用降低處理器的 PLL 電路功率，輸入沉睡狀態 112。可利用停止輸入時脈頻至處理器獲取。

時脈電路

圖式 4 與 5 爲處理器 14 的概要圖，並表示不同的功能裝置方塊(FUB)，時脈控制電路，以及其他依本發明內容的相關電路。圖式 4 說明在停止授權 104 模組中的組態運

89年9月6日 修正
補充

五、發明說明 (9)

作處理器 14，而圖式 5 說明在快速開始模組 108 中的組態運作處理器 14。圖式 4 與 5 所表示的處理器 14 包括多個 FUB，分別是流點裝置(FPU) 50、等差邏輯裝置(ALU) 53、預提取器 34、匯流排時脈產生邏輯 152、資料快取 51、密碼快取 38、以及匯流排介面裝置 32。處理器 14 包括多個 FUB，以方塊 33 作為代表。讀者應了解以上的 FUB 具示範性，但並不提供 FUB 表。顯示在處理器 14 (如 FUB 51, 38, 32, 33) 右手邊的 FUB 的特點為，它們須要內部與外部偵測運作性能。相反地，處理器 14 左手邊的 FUB 50, 53 與 34 在偵測運作時不需要啟動。

每個 FUB 經由 NAND 閘道 143 或 144 連接以接收主時脈中樞 150 時脈信號。匯流排時脈產生邏輯 152 更提供反饋匯流排時脈信號 132 至相位鎖定邏輯(PLL) 115，該邏輯可提供鎖定的核心時脈信號 133 至時脈中樞 150。處理器 14 亦包括快速開始邏輯 116 與停止授權邏輯 117。參照圖式 4，處理器 14 表示可以在停止授權模組 104 運作組態，停止授權邏輯 117 可利用將時脈中樞 150 的時脈信號供應至 FUB 以降低 FUB 50, 53 與 34 的功率。特定而言，解除插入與插入全球停止時脈啟動(GSCLK_EN)信號 141，停止授權邏輯 117 可運作與 FUB 50, 53 與 34 有關的 NAND 閘道 143 以傳送或阻礙由時脈中樞 150 傳送時脈信號至 FUB。因此，將處理器 14 置於停止授權模組 104 中，停止授權邏輯 117 可解除插入 GNSCLK_EN 信號 114，因此可防止 FUB 50, 53, 34 所發生的切換動作。讀者應注意，在停止授

(請先閱讀背面之注意事項再填寫本頁)

(裝)

訂

經濟部中央標準局員工消費合作社印製

五、發明說明(10)

權模組 104 中，為快取記憶體一致性所需要的 FUB 51，38，32 與 33，仍以時脈中樞 150 的時脈信號來設定時脈。因此，這些 FUB 能在傳統方法下啟動內部與外部偵測環境，因此可維持快取記憶體一致性，即使處理器 14 在停止授權模組 104 的低功率下。讀者應更注意到，時脈信號供應至匯流排產生邏輯 152 並未傳送。因此，反饋信號 132 會持續供應至 PLL 115 中，PLL 115 會仍維持鎖定狀態。

與沉睡模組 112 相反，在 PLL 115 與匯流排產生邏輯 152 的功率均降低，因此可將核心時脈信號 133 的供應終結到時脈中樞 150。積體電路 152 與 115 的功率均降低，因此時脈中樞 150 不再承載時脈信號，在沉睡模組 112 中處理器所產生的功率耗損是由於漏電。然而，為要再次在時脈中樞 150 中提供穩定的時脈信號，必須重新啟動 PLL 115，且允許鎖定，而造成 1 ms 的重型存取鎖定。

參照圖式 5，處理器 14 的實施例在快速開始模組 108 中組態以運作。特定而言，NAND 開道 144 經由全球無間斷時脈(GNSCLK)信號 146 而供應至 FUB 51，38，32，33，經由全球無間斷啟動(GNSCLK_EN)信號 142 的插入或解除插入來選擇性地由快速開始邏輯 116 來啟動與解除啟動。快速開始邏輯 116 亦可以傳送信號 147 至停止授權邏輯 117，該邏輯可解除插入信號 141，因此時可供應時脈信號至 FUB 50，53 與 34。因此，在進入快速開始模組 108 時，快速開始邏輯自己會關閉 FUB 51，38，32 與 33，並

五、發明說明 (11)

將信號傳送至停止授權邏輯 117 中，此動作會造成邏輯 117 關閉 FUB 50，53 與 34。如以下所述，在插入預決存取信號，表示在電腦系統內自周邊裝置來存取記憶體(如 BPRI#信號)，快速開始邏輯 116 會將處理器 14 放置於快速開始+模組 109，利用插入 GNSCLK_EN 信號 142，因此可重新啓動時脈信號 146 供應至資料快取記憶體 51、密碼快取記憶體 38、匯流排介面裝置 32 其他 FUB 33。然而，停止授權邏輯 117 的信號 147 仍不變，因此會造成 FUB 50，53 與 34 仍維持在低功率消耗狀態下。在快速開始+模組 109 中，需要 FUB 51，38，32 與 33 來造成快取記憶體一致性，因此是可運作的並可回應至偵測請求。因此，只有在回應偵測請求時需要 FUB，會在快速開始+模組 109 中啓動，但剩餘的低功率電路仍保持在該狀態下。在完成偵測運作時，處理器可利用快速開始邏輯 116 輸入回快速開始模組 108 中，116 邏輯會關閉信號 142。

總而言之，當在停止授權模組 104 中運作時，處理器 14 可執行快取記憶體一致性運作，以回應第一組信號(如，偵測互動、啓動與重設信號)，其中在快速開始模組 108 中，處理器只回應表示由內部周邊裝置請求的記憶體存取之信號(如 BPRI#信號)。處理器 14，當在以上的模組中時，會回應相關信號以維持快取記憶體一致性，並在與處理器 14 相關的快取記憶體資源中啓動快取記憶體線。

圖式 6 提供時脈中樞 150 更詳細的說明，匯流排產生邏輯 152，PLL 115 與快速開始邏輯 116。特定而言，圖式 6

五、發明說明(12)

表示時脈控制電路 112，該電路連接經由針距 122A 來接收重設(RESET)信號 122，停止時脈(STPCLK#)信號 124 經針距 124A，睡眠(SLP#)信號 126 經由針距 126A，組態(或擴充選項)信號 128 經位址(A15#)針距 128A，以及優先權代理匯流排請求(BPRU#)信號 130 經針距 130A。每一供給針距 122A-130A 的信號均利用合適的鎖存 134 以被鎖存回應前側匯流排(FSB)時脈信號 132，並代表睡眠/開始狀態邏輯 136，此種情形會在圖式 5 中說明。結合時脈啓動/關閉邏輯 140 的睡眠/開始狀態邏輯 136 包括快速開始邏輯 116，顯示在圖式 4 與 5 中。為要回應由鎖存 134 所接收的不同輸入，睡眠/開始狀態邏輯 136 輸出睡眠信號 138 至時脈啓動/關閉邏輯 140。時脈啓動/關閉邏輯 140，為回應睡眠信號 138 的狀態，產生全求無間斷時脈啓動(GNSCLK_EN)信號 142，該信號會輸入 NAND 閘道 144。NAND 閘道 144 互相連接以接收 GNSCLK_EN 信號 142 以及 GNSCLK 信號 146 為輸入資料。NAND 閘道 144 的輸出包括時脈信號 145 (GNSCLK)，該信號傳送至 FUB 在偵測運作維持快取記憶體一致性時。因此，GNSCLK_EN 信號 142 的插入與解除插入會造成時脈信號至處理器 14 的 FUB 51，38，32 與 33 啓動或關閉。

時脈控制電路 120 亦包括主時脈中樞 150，匯流排時脈產生邏輯 152，以及 PLL 115。主時脈中樞 150 負責在處理器中分配主時脈信號，而，匯流排時脈產生邏輯 152、核心時脈產生邏輯 154，以及 PLL 115 會專司匯流排時脈與

五、發明說明 (13)

核心信號 132 與 133 的產生。核心時脈信號 133 同步化至匯流排時脈信號 132，該信號會被反饋至核心時脈產生邏輯 154，以及整個多重匯流排時脈信號 132 (例如 x2 或 x3)，或匯流排時脈信號 132 的半個多重匯流排時脈信號 (例如，x2.5 或 x3.5)。

核心時脈產生邏輯 154 亦包括核心時脈/匯流排時脈同步電路 156，可在時脈信號間維持同步化。電路 156 輸出 ENABLE2BYN 信號 158 至時脈啟動/關閉邏輯 140，該邏輯可表示匯流排時脈多路器是否為整數。時脈啟動/關閉邏輯 140 經由 OR 閘道 165 來提供時脈排齊 (CLKALIGN) 信號 164 至同步化電路 156。依 ENABLE2BYN 信號 158 的狀態，時脈啟動/關閉邏輯 160 可在合適的時間內插入 CLKALIGN 信號 164。在重設時，或在插入 CLKALIGN 信號 164 時，核心時脈產生邏輯 154 會強迫核心時脈信號 133 (CORECLK) 的相位轉移，如此一來可在匯流排與核心時脈之間建立下降邊界同步化。核心時脈產生邏輯 154 可連接來接收匯流排時脈信號為反饋。比較匯流排時脈信號 132 與核心時脈信號 133 的相位，同步化電路 156 可提供 ENABLE2BYN 信號 158 為反饋至時脈啟動/關閉邏輯 140。

回到輸入信號，RESET# 信號 122 可經由針距 122A 傳送至睡眠/啟動狀態邏輯 136，造成時脈控制電路 120 重設，而 SLP# 信號 126 的插入會造成時脈控制電路 120 以在睡眠狀態 110 中利用插入睡眠信號 138 放置處理器。RESET# 與 SLP# 信號的詳細內容並不在此說明。

五、發明說明(14)

啓動(亦稱爲“重設”或“啓動”)供應至 A15# 針距 128A 的組態信號 128 決定睡眠/開始狀態邏輯 136 造成處理器置於停止授權狀態 104 或快速開始狀態 108, 當 STPCLK# 信號插入至針距 126A 中。特定而言, 若邏輯 1 在啓動時應用至針距 128A, 則睡眠/啓動狀態邏輯 136 以組態來在插入 STPCLK# 信號 124 時將停止授權狀態 104 中放置處理器, 若邏輯 0 在啓動時應用至針距 128A, 則睡眠/啓動狀態邏輯 136 以組態來在插入 STPCLK# 信號 124 時將快速開始狀態 108 中放置處理器。

當在停止授權狀態 104, 會需要處理器的 FUB 回應偵測請求爲啓動中或設定時脈, 因此可以在需要時執行快取記憶體一致性運作。

當在快速開始狀態 108 時, 睡眠/開始狀態邏輯 136 可監測針距 136 並插入 BPRI# 信號 130。在回應 BPRI# 信號時, 睡眠/開始狀態邏輯 136 會將睡眠信號 138 解除插入, 因此可使處理器執行處理器匯流排 12 的偵測。

參照圖式 7, 本文提供了更詳細睡眠/開始狀態邏輯 136 的概觀。邏輯 136 包括睡眠產生邏輯 69, 該邏輯輸出 SLP 信號 70 以回應 SLP# 信號 126 或 STPCLK# 信號 124 的插入。快速開始模組 108 的重要性在於鎖存器 65, 該鎖存器可在電腦系統啓動時, 鎖存應用至位址針距 128A 的組態信號。若邏輯 0 在啓動時應用至針距 128A, 則鎖存器 65 可組態來輸出邏輯 1 QSS 信號 62 至 4-輸入端 AND 閘道 67。AND 閘道 67 亦連接來接收 STPCLK# 信號 124 的倒相, 以及

五、發明說明 (15)

BPRI# 信號 130 的倒相。因此，當插入 STPCLK# 信號 124 時，QSS 信號 62 居高(具組態鎖存器 65 的組態信號 128)，BPRI# 信號 130 的插入會造成 AND 閘道 67 的輸出居高，因此可使睡眠信號 138 經由 OR 閘道 72 插入。如以上所詳述，睡眠信號 138 的插入會使時脈啓動/關閉邏輯 140 在適當的時機內插入 GNSCLK_EN 信號 142。

圖式 8 更進一步時脈啓動/關閉邏輯 140 的具體實施例。時脈啓動/關閉邏輯 140 的主功能是為確保 GNSCLK_EN 信號 142 在所要的時間內被插入或解除插入。邏輯 140 連接以接收睡眠信號 138，在時脈執行狀態 102 會在其間解除插入(低狀態)。時脈排齊(CLKALIGN)信號 164 相同地被插入至時脈執行狀態 102。GNSCLK_EN 信號 142 經由 R/S 鎖存器 160 的 SET 輸入端插入，該鎖存器的 RESET 輸入端被解除插入。ENABLE2BYN 信號 158 運作多路轉換器 162 以選擇兩路徑之一，在匯流排與核心時脈排齊時，驅動 2/N (非整數)或 1/N(整數)運作模組的停止/開始狀態。GNSCLK# 信號 145 可自 NAND 閘道 144 傳送，可以在核心時脈(CORECLK)信號低時，隨時停止或重新開始(將 GNSCLK_EN 信號 142 插入至 NAND 閘道 144 或解除插入)，以避免小故障或極小脈衝寬度。為要符合此項要件，在 2/N 模組中，GNSCLK_EN 信號 142 的插入或解除插入會發生在非對齊界線中，因此核心時脈(CORECLK)信號 133 會在低狀態中。當在 2/N 模組，CORECLK 的時脈脈衝被“吞噬”，使時脈在核心時脈(CORECLK)與匯流排時脈

五、發明說明 (16)

(BUSCLK)之間排齊。在 1/N 模組中，匯流排時脈(BUSCLK)與核心時脈(CORECLK)信號總是對齊，因此 GNSCLK#停止或重新啓動會顯示到 CORECLK 低相位中，而且緊跟著對齊的界線。因此，當在 1/N 模組中運作時，R/S 鎖存器 160 經由 AND 閘道 166 來 RESET，在睡眠信號 138 之後的處理器時脈周期被解除插入，然後，在睡眠信號之後的 D-正反器 170 的 SET 兩處理器周期被解除插入。

計時概要圖

圖式 9A 與 9B 為計時概要圖，表示以上所述參照圖式 4-8 的不同信號計時。圖式 9A 說明相對時間，CORECLK 信號 133、BUSCLK 信號 132、BPRI#信號 130、SLEEP 信號 138、GNSCLK_EN 信號 142、GNSCLK#信號 145，以及位址狀態(ADSS)#信號 200 等的非整數(2/N)模組。時脈狀態亦在 210 中說明。圖式 9B 說明整數(1/N)模組相同信號的相對時間，每一計時圖在快速開始狀態 108 中執行處理器，其中關閉了 GNSCLK#信號 145。在快速開始狀態 108 中，睡眠/開始狀態邏輯 136 會持續監測 BPRI#信號 130 的插入，如以上所述。一旦睡眠/開始狀態邏輯 136 偵測到 BPRI#信號 130 在點 212 中插入，則 SLEEP 信號 138 會在下次 BUSCLK 信號 132 升起時解除插入，如點 214 所示。為回應 SLEEP 信號的插入，時脈啓動邏輯 140 會在遲滯之後，插入 GNSCLK_EN 信號 142，該遲滯是獨立的，且由時脈電路是否在 2/N 或 1/N 模組中運作，如以上點 214 所示。GNSCLK_EN 信號 142 在 CORECLK 信號 133 功率低時

五、發明說明 (17)

插入。為回應 GNSCLK_EN 信號 142 的插入， NAND 閘道 144 會輸出 GNSCLK 145 到 FUB 以達成偵測請求，而處理器進入“快速開始+”模組 109。

特定而言， GNSCLK 信號 145 會及時重新啟動，以使記憶體的位置(在插入 ADS# 信號 200 有效)存取受到偵測。處理器然後會進入“快速開始偵測”狀態，其中處理偵測請求。

流程圖

圖式 10 為流程圖，依本發明說明方法 300 的實施例，組態處理器以在低功率下維持快取記憶體一致性。在啟動時，步驟 302 決定組態(或擴充)信號 128 的狀態應用至處理器的 A15# 針距 128A。在決定組態信號 128 狀態之後，方法 300 進行至決策方塊 304，其中方法 300 引導至步驟 306，若組態信號為邏輯 1，而進行步驟 308 若組態信號為邏輯 0。在步驟 306 中，處理器被組態以進行快速開始狀態 108，若插入 STPCLK# 信號 124，而因此可回應第一組的信號時仍維持快取記憶體一致性。在某一實施例中，第一組信號只包括 BPRI# 信號 130。替代而言，在步驟 308 中，處理器被組態來進入停止授權狀態 104，在插入 STPCLK# 信號 124 時，因此可在某一包括 ADS# 信號的實施例中，回應第二組的信號。

圖式 11 為一流程圖，說明在處理器中輸入低功率模組。方法 400 在點 402 插入 STPCLK# 信號 124 時執行，方法 400 進行決策方塊 404 以偵測是否發生後續 STPCLK 中斷。

五、發明說明(18)

若是，方法 400 存在。否則，方法 400 會移至決策方塊 406，在此會決定處理器是否組態以進入快速開始狀態 108，其依據端視組態信號 128 是否在處理器啓動時即應用至 A15#針距 128A。若處理器已組態以進入快速開始模組 108 中，則本模組會在步驟 408 中，輸入，自此以後 BPRI#信號 130 會在步驟 410 中受到監測。在決策方塊 412 中，應決定是否已插入 BPRI#信號 130，若不，則重新執行步驟 410，而方法 400 持續循環步驟 410 到 412，直到插入 BPRI#信號 130 或 STPCLK 間斷發生。若已插入 BPRI#信號 130，處理器在步驟 416 進入快速開始+狀態，自此以後，處理器匯流排的偵測運作可在步驟 418 中執行。而方法 400 可回到決策方塊 404 中。

替代性地，若以決策方塊 406 來決定處理器不組態以進入快速開始狀態 108，處理器在步驟 420 進入停止授權狀態 104。自此以後，處理器可監測在步驟 420 的偵測或中斷請求。若偵測不到任何的請求，則步驟 420 必須重新執行，而方法 400 會持續循環 422 到 424，直到接收到偵測或中斷請求或直到 STPCLK 中斷產生。在發生中斷請求偵測發生時，請求會在步驟 428 中處理，自此以後，方法會回到決策方塊 404 中。

圖式 12 為流程圖，說明方法 500，依本發明，在低功率的狀態下操作積體電路。特定而言，方法 500 說明處理器 14 的操作是在快速開始模組 108 中進行。處理器輸入快速開始模組，然後進行步驟 502，其中時脈信號，GNSCLK

五、發明說明(19)

與 GSCLK 時脈受到傳送，而因此可防止傳送至第一與第二組的 FUB，第一與第二組的 FUB 的特徵在於，第一組的 FUB 需要在處理器內執行快取記憶體一致性(如資料快取記憶體 51，密碼快取記憶體 38，以及匯流排介面裝置 32)，而第二組的 FUB 執行指示處理功能(如，流點執行裝置 50，整數執行裝置 48 以及預提取器 34)。因此，在第一組或第二組的 FUB 內不發生切換情形。本方法會進行至決策方塊 504，其中裝置決定信號表示記憶體存取，在積體電路外部裝置會偵測到表示記憶體存取的信號。在某一實施例中，這類信號包括由英代爾建構所定義的 BPRI# 信號。本信號不應被插入，方法 500 回到步驟 502。另一方面，若本信號事實應插入，則步驟應進行至步驟 506，其中 GNSCLK 時脈信號再次啓動並傳送至第一組的 FUB 中，然後會造成第一組 FUB 啓動中。在步驟 508 中，第一組的 FUB 利用外部裝置依記憶體存取執行快取記憶體一致性運作，自此以後，GNSCLK 時脈信號會再次地在步驟 510 傳送至第一組的 FUB 中，因而再將第一組 FUB 送回低功率消耗狀態，所採取的方法會回到決策方塊中。

因此，本文描述一種方法與裝置可在低功率的狀況下，在積體電路中維持快取記憶體一致性。雖然本發明以參照特定範例與實施例作為說明，但在不背離本發明的精神與範疇下，可進行任何的修改與變化。因此，相關圖式與說明應具說明性而非限制性。

四、中文發明摘要(發明之名稱： 於低功率狀態運作之積體電路中
維持快取記憶體一致性之方法及
裝置)

本發明揭示可在低功率消耗狀態下運作積體電路之一種方法與裝置。該裝置包括功率降低邏輯，可將積體電路置於低功率消耗狀態，在積體電路中將時脈信號傳輸至第一與第二組功能裝置。第一組功能裝置的特點在於，必須在積體電路內執行快取記憶體一致性運作。本裝置包括一輸入端，該輸入端利用積體電路的外部裝置，連接以接收表示記憶存取的信號，連接至積體電路可存取的記憶體資源。為回應本信號的插入，功率降低邏輯會將時脈信號輸入第一組功能裝置，以啟動功能裝置執行快取記憶體一致運作，該運作在由外部裝置存取記憶體時為必要的。

英文發明摘要(發明之名稱： "METHOD AND APPARATUS FOR MAINTAINING)
CACHE COHERENCY IN AN INTEGRATED
CIRCUIT OPERATING IN A LOW POWER STATE"

A method and apparatus for operating an integrated in a reduced-power consumption state are described. The apparatus comprises power-reduction logic which, to place the integrated circuit in the reduced-power consumption state, gates a clock signal to both first and second sets of functional units within the integrated circuit. The first set of functional units is distinguished in that it is required to perform cache coherency operations within integrated circuit. The apparatus includes an input which is coupled to receive a signal indicating a memory access, to a memory resource accessible by the integrated circuit, by a further device external to the integrated circuit. In response to the assertion of this signal, the power-reduction logic propagates the clock signal to the first set of functional units, to enable this set of functional units to perform a cache coherency operation which may be necessitated by the memory access by the external device.

六、申請專利範圍

1. 一種在一低功率消耗狀態下運作一積體電路之裝置，該裝置包括：

一輸入端，可利用一積體電路外部裝置連接以接收表示一記憶體存取的一存取信號與可由積體電路存取的記憶體資源；與

低功率邏輯，組態以傳送一時脈信號至積體電路的第一與第二組的功能裝置，第一組的功能裝置必須在積體電路中執行快取記憶體一致性運作，低功率邏輯組態以傳送時脈信號至第一組的功能裝置，以回應存取信號。

2. 如申請專利範圍第 1 項的裝置，其中低功率邏輯組態來傳送時脈信號至第一組功能裝置，在由第一組功能裝置執行快取記憶體一致性運作時。
3. 如申請專利範圍第 1 項的裝置，其中的功能裝置包括一匯流排介面裝置。
4. 如申請專利範圍第 1 項的裝置，其中低功率邏輯組態來傳送時脈信號至第一組與第二組功能裝置，當在第一低功率模組中時，以及在第二低功率時傳送至第二組功能裝置。
5. 一種積體電路，於一全功率消耗模式以及第一與第二低功率消耗模式下運作，該積體電路包括：

快取一致性電路，在一主記憶體與一可由積體電路存取的快取記憶體之間，被適應以維持一致性的；

在積體電路內被適應來處理指示的指示處理電路；與

請先閱讀背面之注意事項再
(本頁)

裝

訂

線

六、申請專利範圍

低功率電路，在第一低功率消耗模式時組態以傳送時脈信號至指示處理電路，在第二低功率消耗模式中傳送信號至快取記憶體一致性以及指示處理電路，以及選擇性地供應時脈信號至快取一致性電路，以在第二低功率消耗模式中回應一輸入信號。

6. 如申請專利範圍第 5 項的積體電路，其中輸入信號表示由積體電路的外部裝置進行的記憶體存取。
7. 如申請專利範圍第 6 項的積體電路，其中該裝置連接至電腦系統的系统匯流排，該系統包括積體電路。
8. 一種電腦系統包括：

- 一處理器匯流排；
- 一連接至匯流排的處理器；
- 一系統匯流排；
- 一連接至系統匯流排的周邊裝置；
- 一可由處理與周邊裝置存取的主記憶體；與
- 一可由處理器存取的快取記憶體；

其中處理器可在全功率消耗模式以及第一與第二低功率模式下運作，並包括：

連接至主記憶體與快取記憶體之間轉接來維持一致性的快取記憶體電路；

轉接來在積體電路中處理指示的指示處理電路；

與

一低功率電路，可組態來在第一低功率消耗模式中傳送時脈信號至指示處理電路，以及當在第二功率消

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

六、申請專利範圍

耗模式中，傳送信號至快取記憶體一致性與指示處理電路，並選擇性地供應時脈信號至快取一致性電路，以回應由周邊裝置表示存取周期至主記憶體的信號，當在第二低功率消耗模式中。

9. 一種可在一低功率消耗狀態運作一積體電路之方法，該方法包括的步驟如下：

在積體電路中傳送一時脈信號至第一與第二組功能裝置，第一組功能裝置必須在積體電路中執行快取記憶體一致性運作；

由積體電路外部的裝置接收一表示一記憶體存取的信號；以及

回應信號，傳送時脈信號至第一組功能方塊。

10. 如申請專利範圍第 9 項的方法，包括第一組功能裝置完成快取記憶體一致性運作時傳送時脈信號至第一組功能裝置中。
11. 如申請專利範圍第 9 項的方法，其中第一組功能裝置包括匯流排介面裝置。
12. 如申請專利範圍第 9 項的方法，包括傳送時脈信號至第一與第二組功能裝置，當在第一低功率模式中時，在第二低功率模式中只傳送信號至第二組功能裝置。
13. 一種組態一積體電路之方法，在低功率消耗模式運作時維持一致性，該方法包括步驟如下：

決定是否一組態信號為第一或第二狀態；

若組態信號處於第一狀態，則組態積體電路以進入

(請先閱讀背面之注意事項五
為本頁)

裝

訂

線

六、申請專利範圍

第一低功率消耗模式，其中指示處理電路關閉，而快取一致性電路則開啓；以及

若組態信號處於第二狀態，則組態積體電路以進入第二低功率消耗模式，其中指示處理電路與快取一致性電路關閉，而快取一致性電路回應表示記憶體存取的一輸入信號而被開啓。

14. 如申請專利範圍第 13 項的方法，其中輸入信號表示外部裝置的記憶體存取。
15. 如申請專利範圍第 14 項的方法，其中外部裝置為周邊裝置，該裝置包括在電腦系統內，其中積體電路為其一部份。

(請先閱讀背面之注意事項)(寫本頁)

裝

訂

線

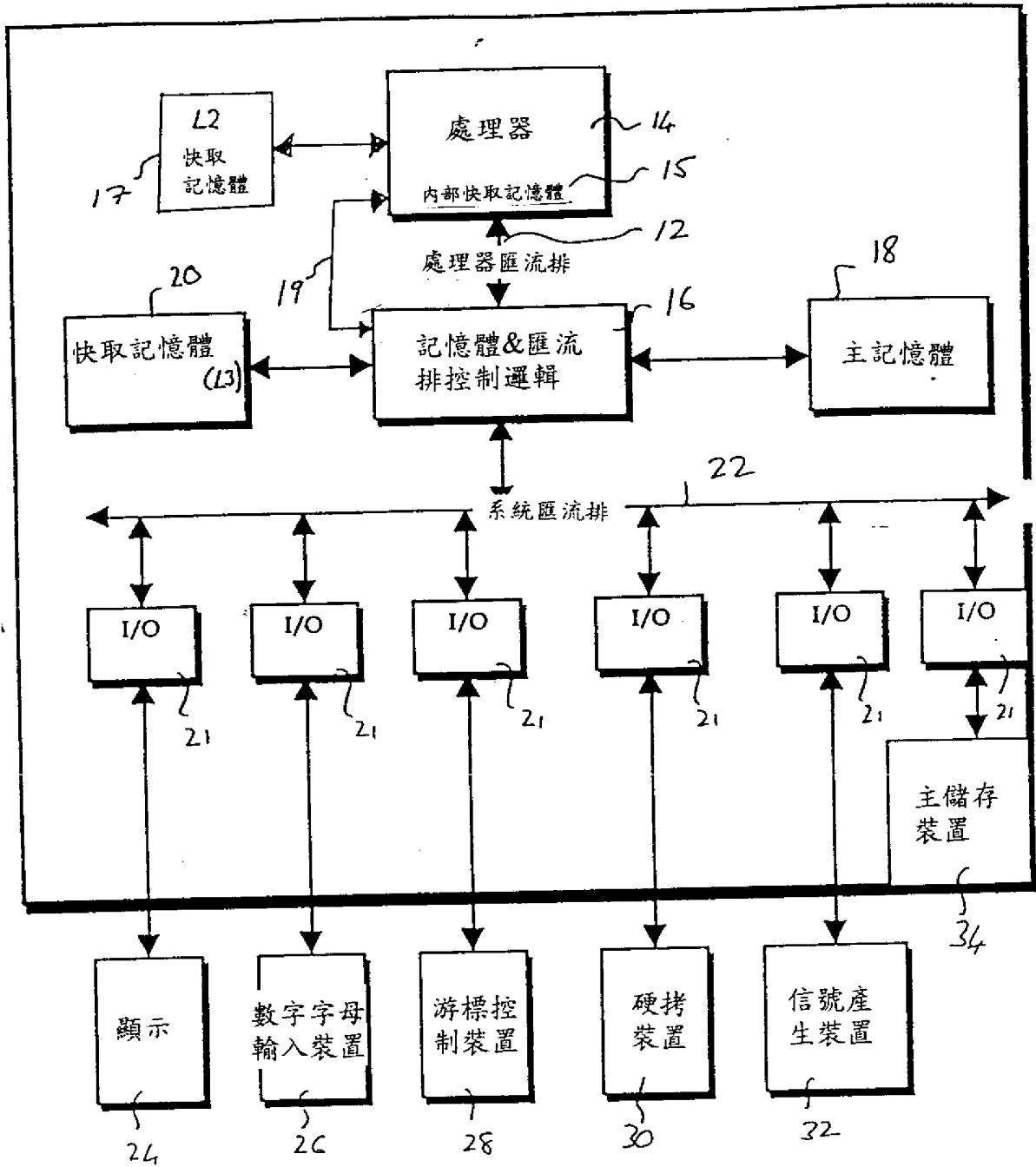


圖 1

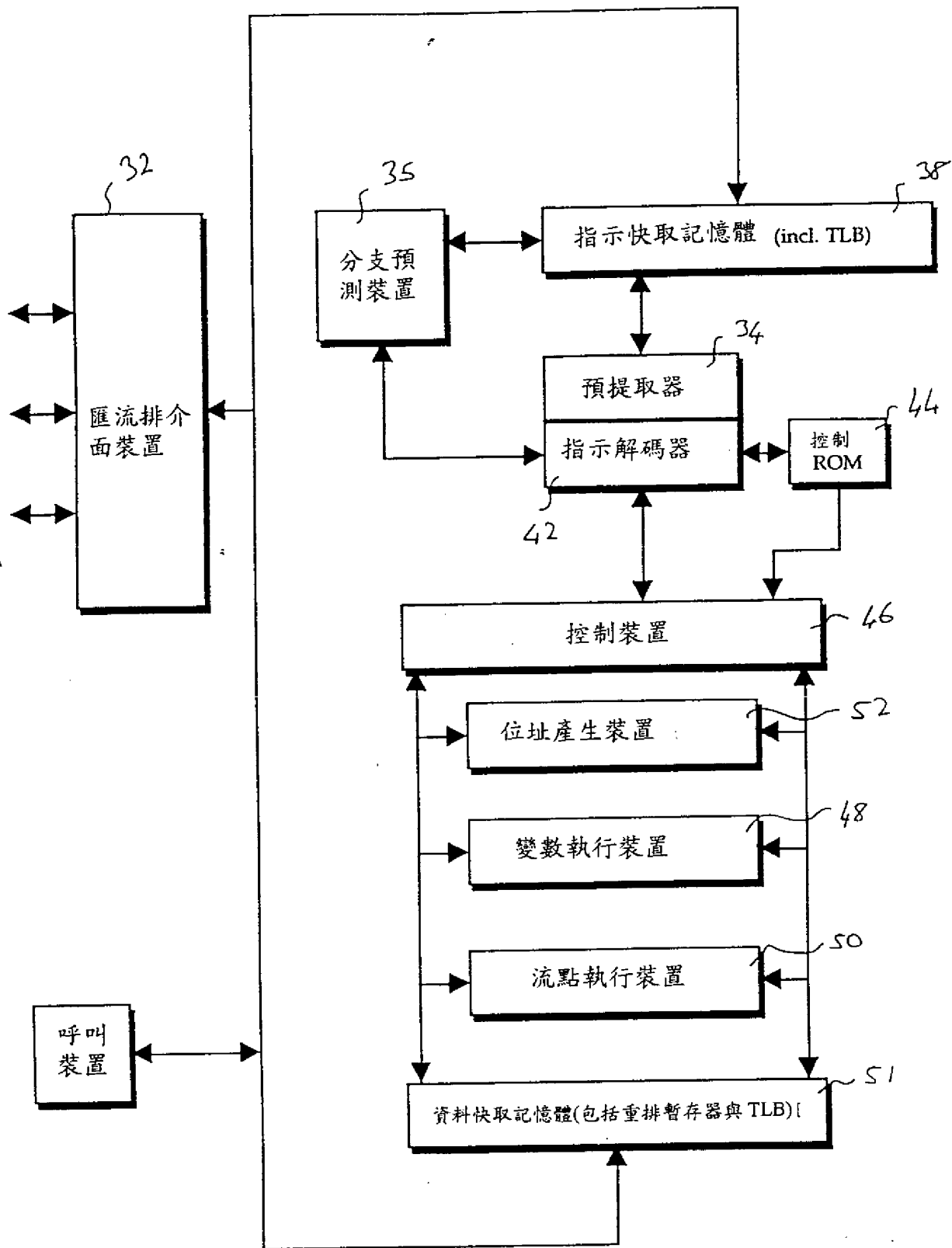


圖 2

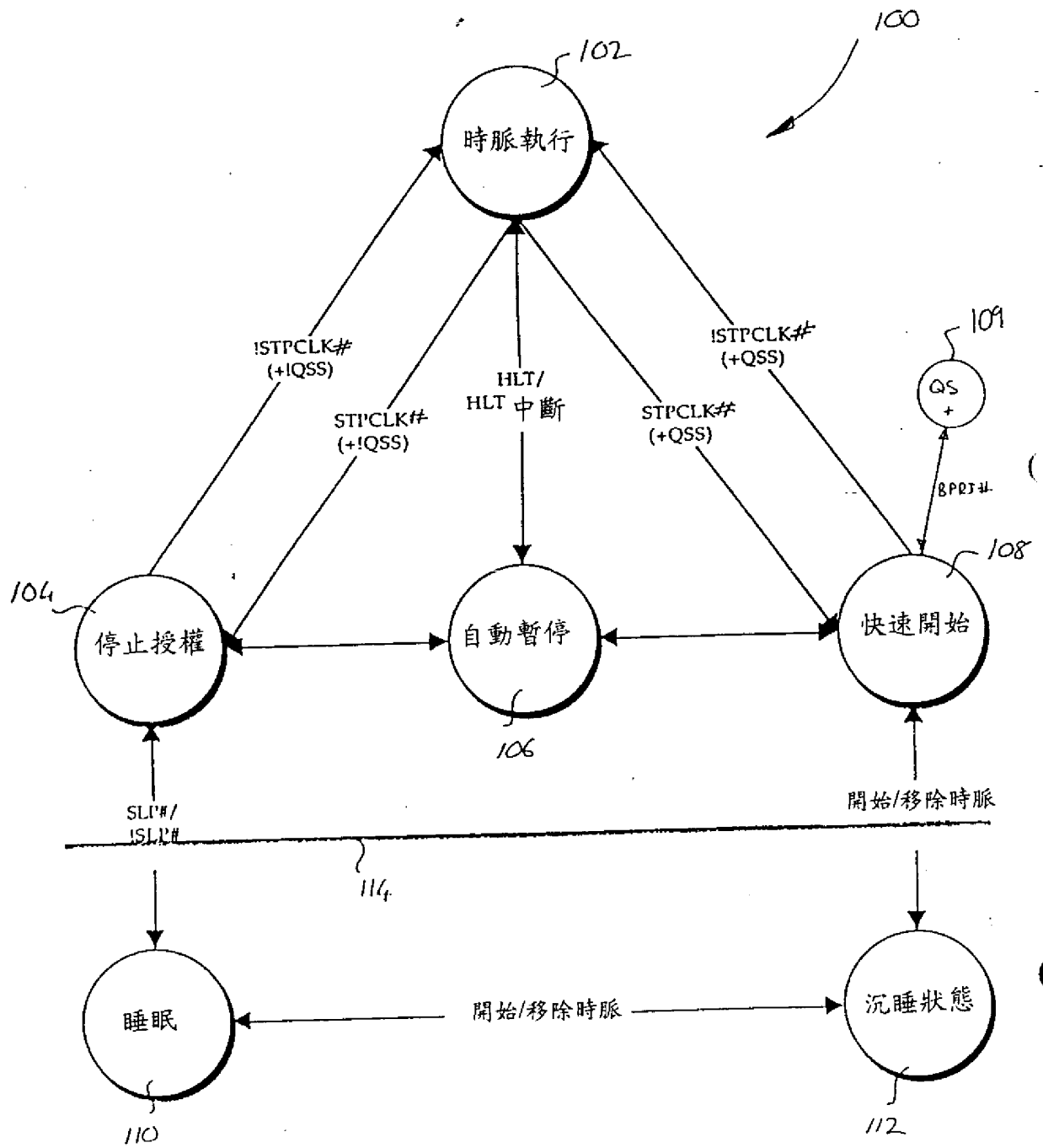


圖 3 |

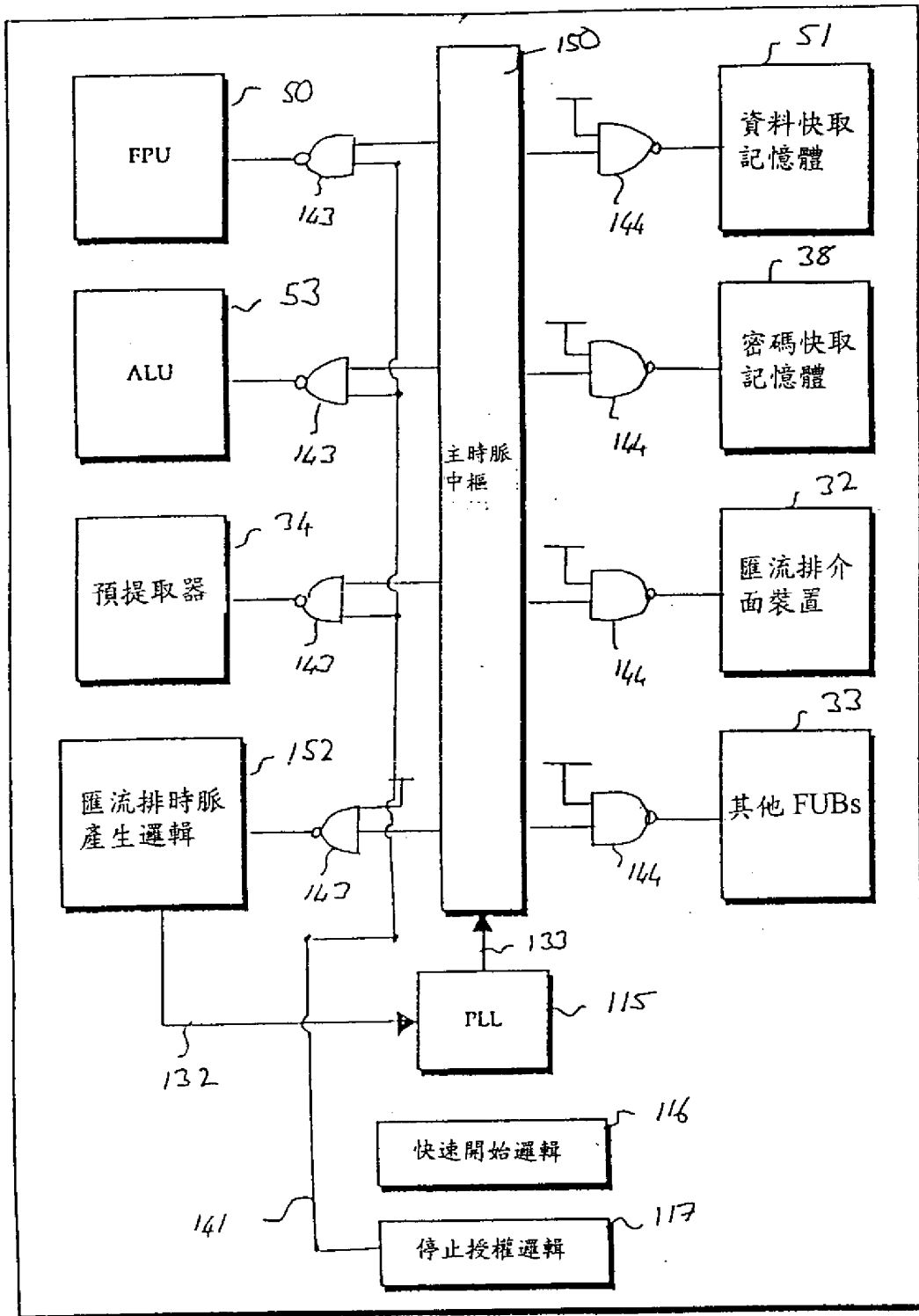


圖 4

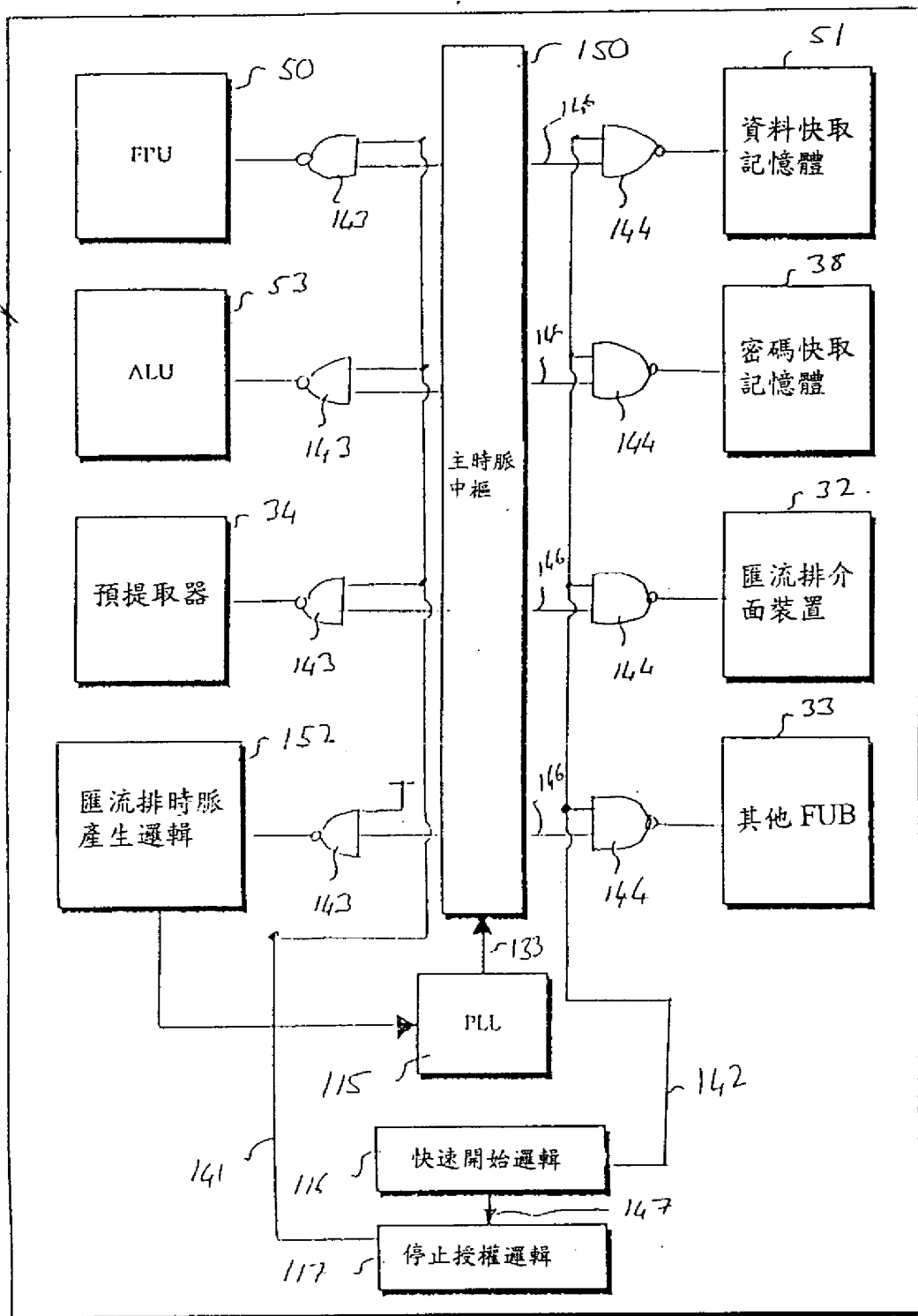


圖 5

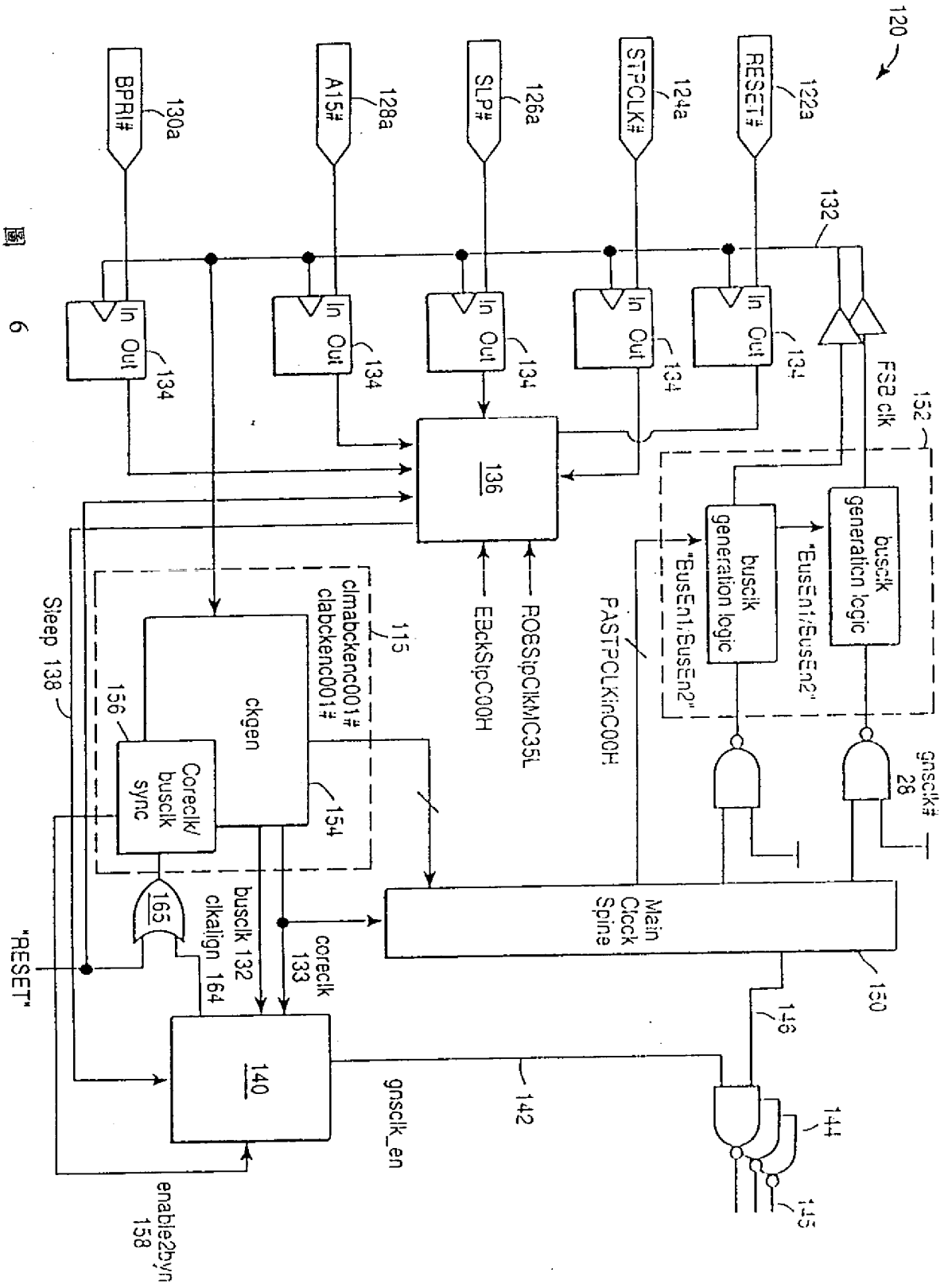


圖 6

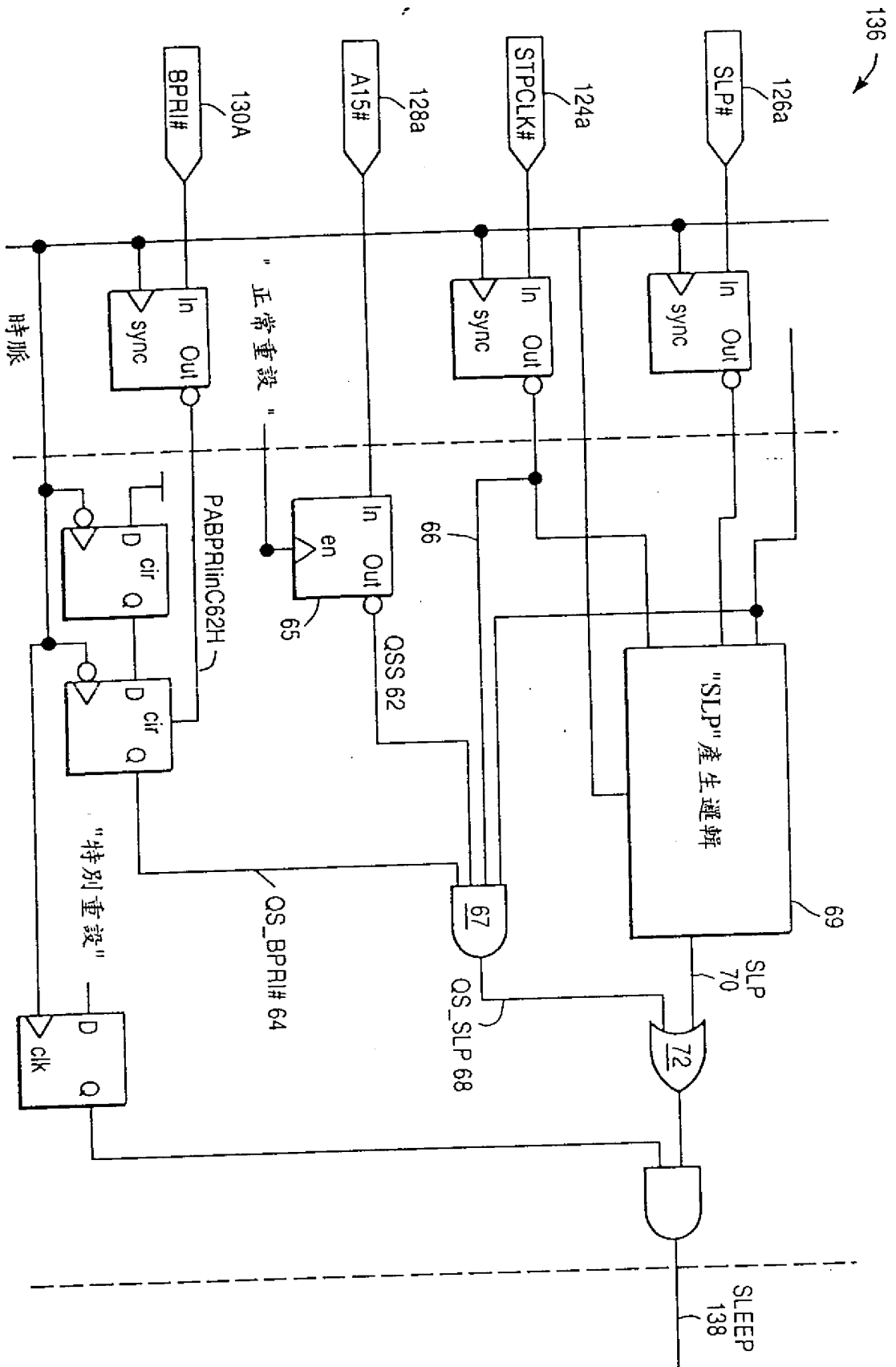


圖 7

414875

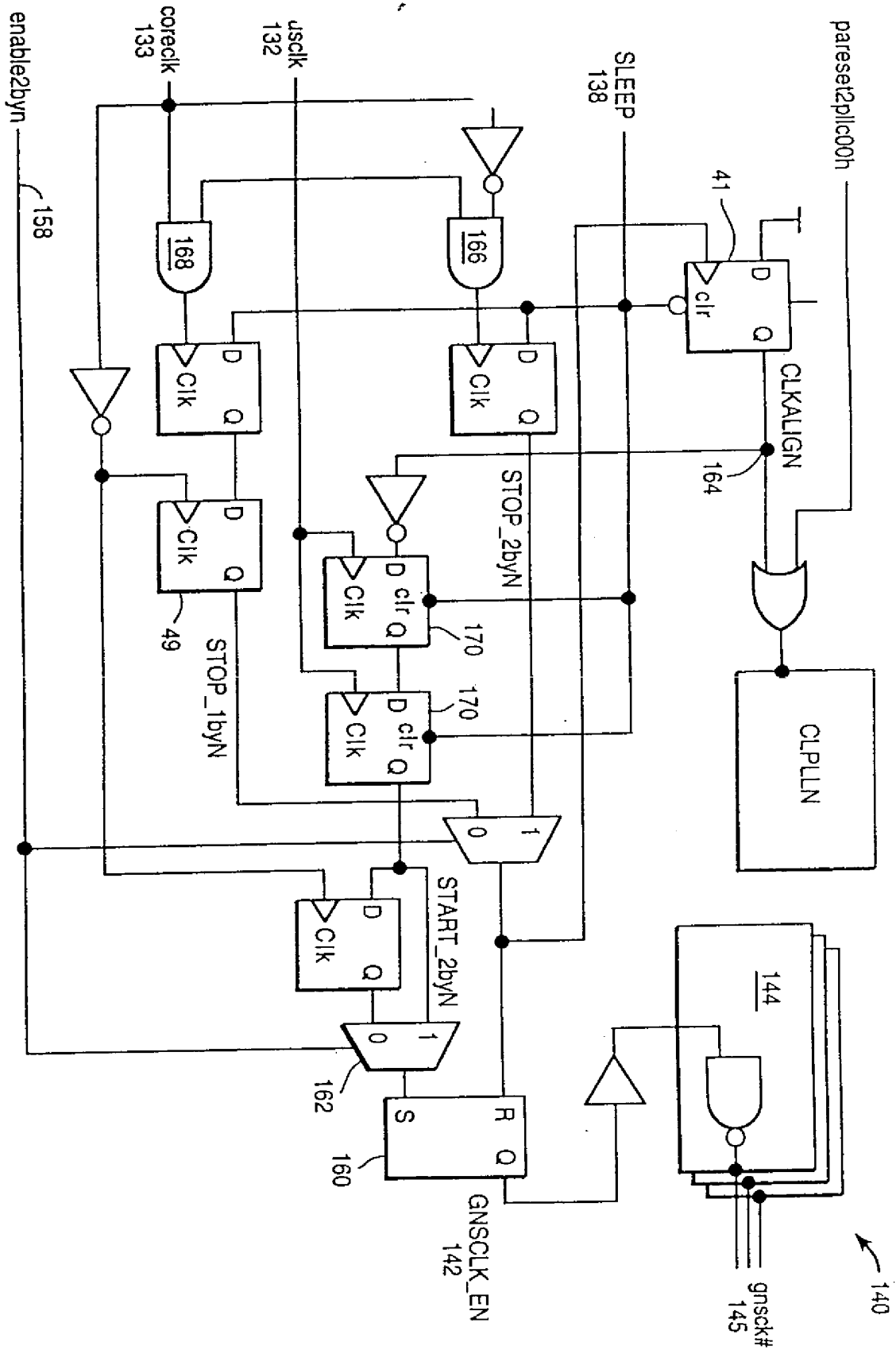


图 8

414875

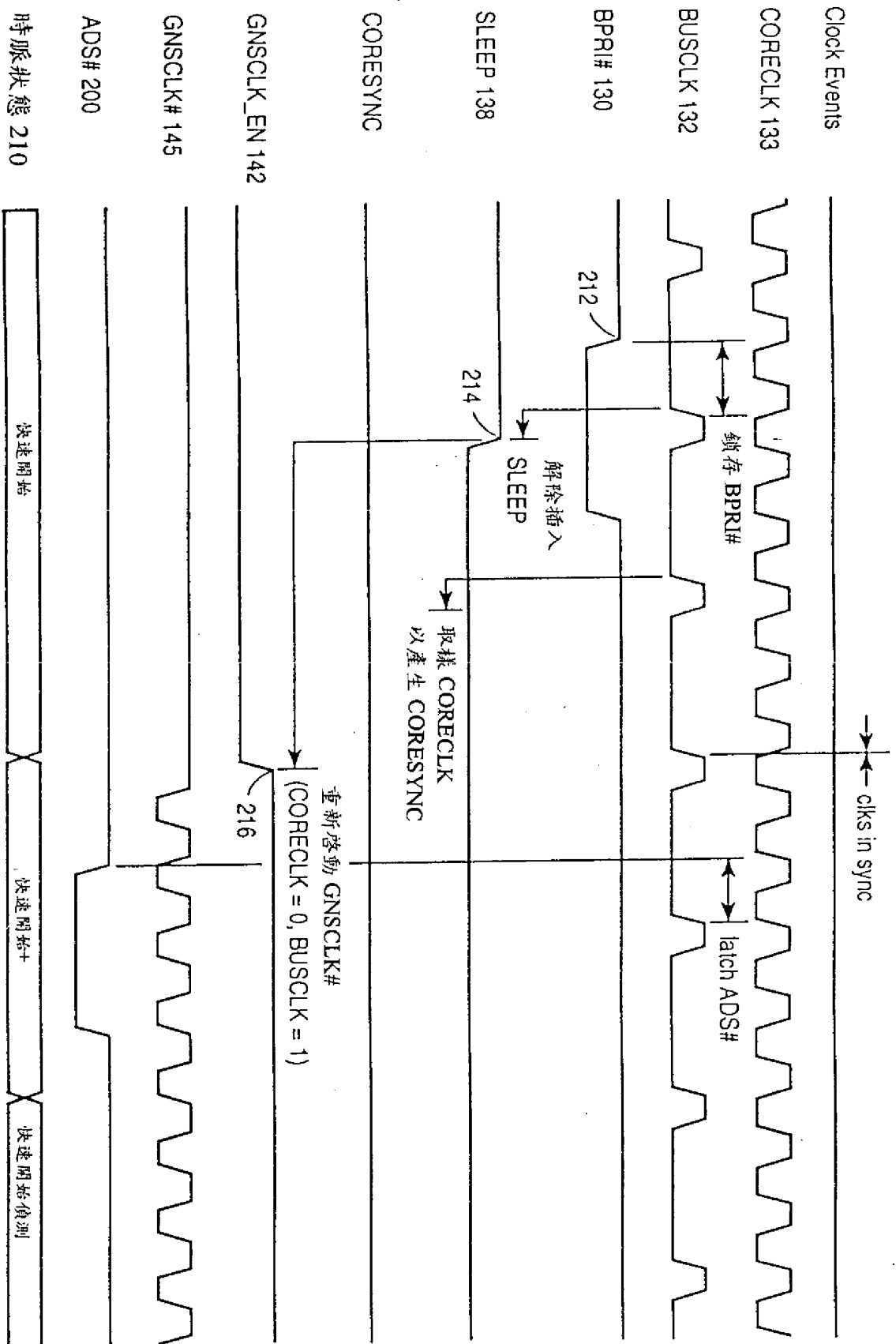


圖 9A

時脈狀態 210

414875

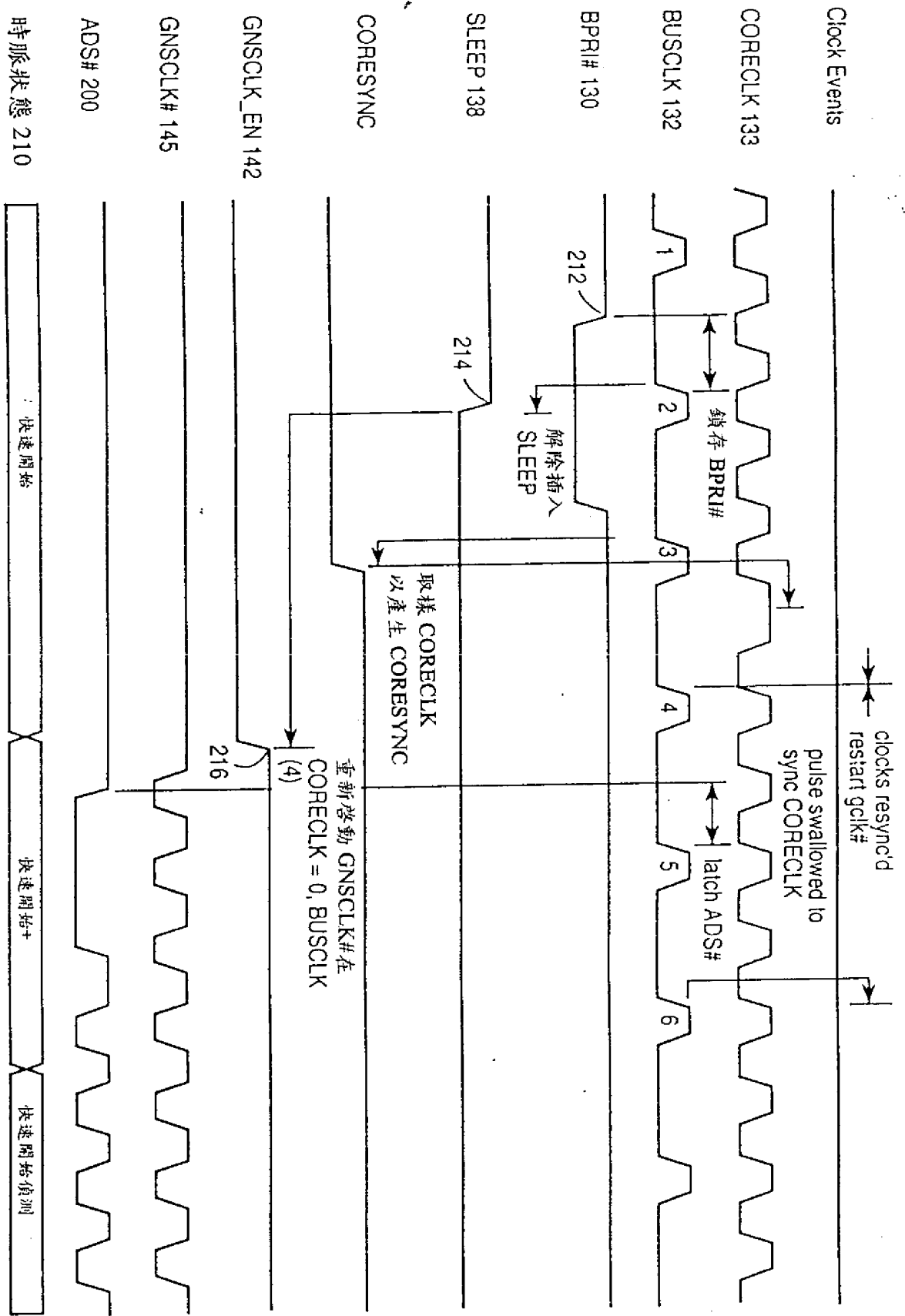


圖 9B

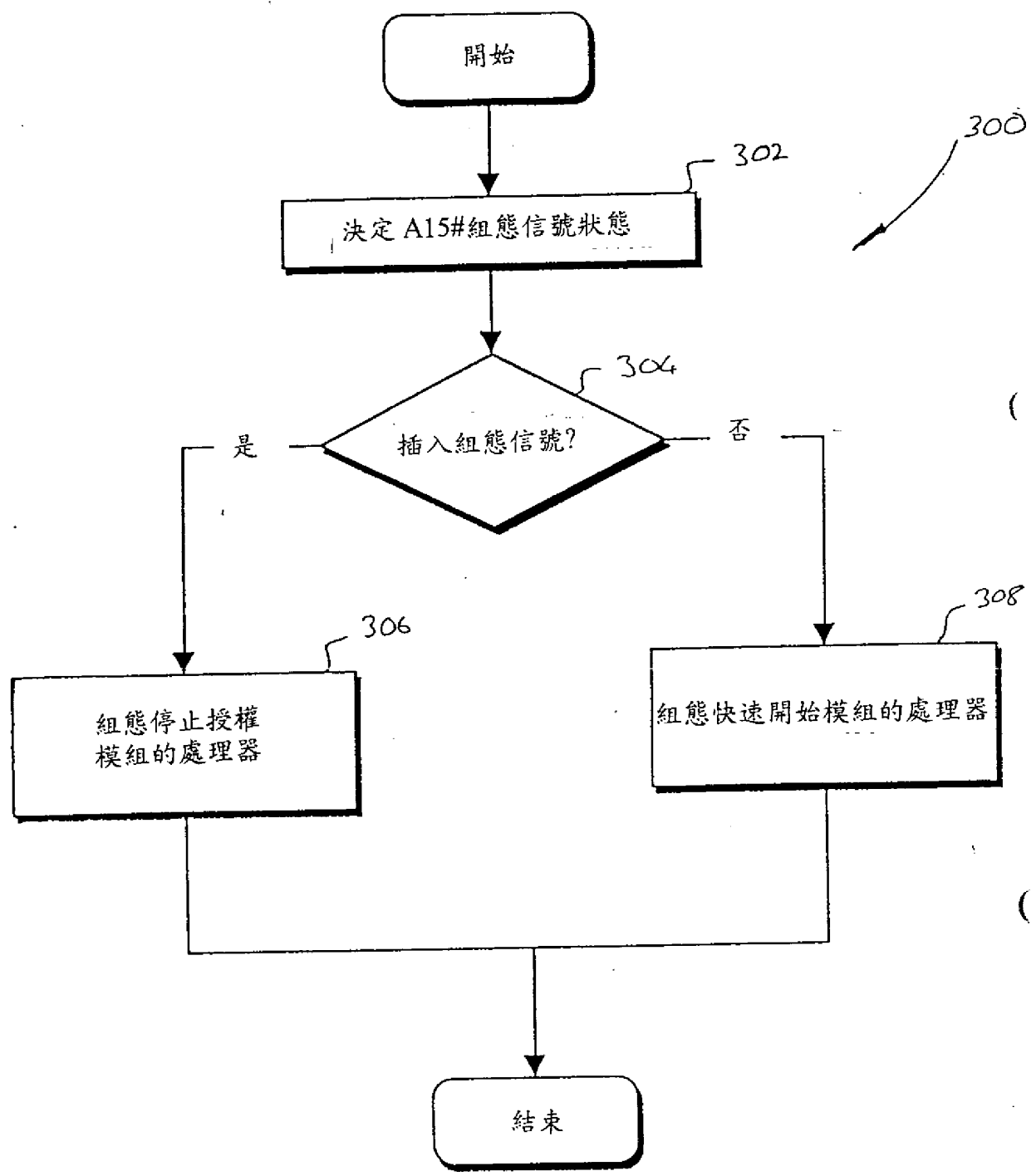


圖 10

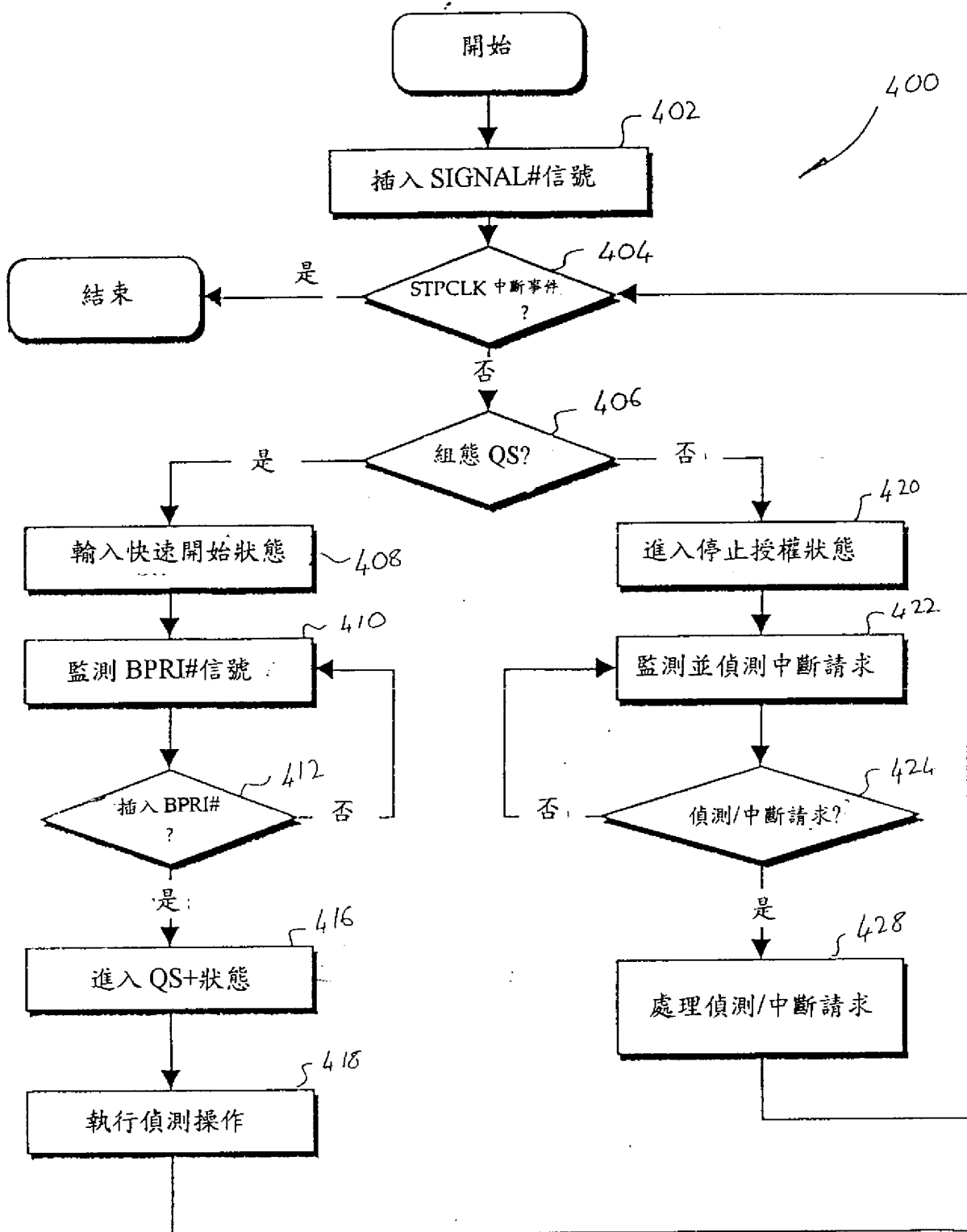


圖 11

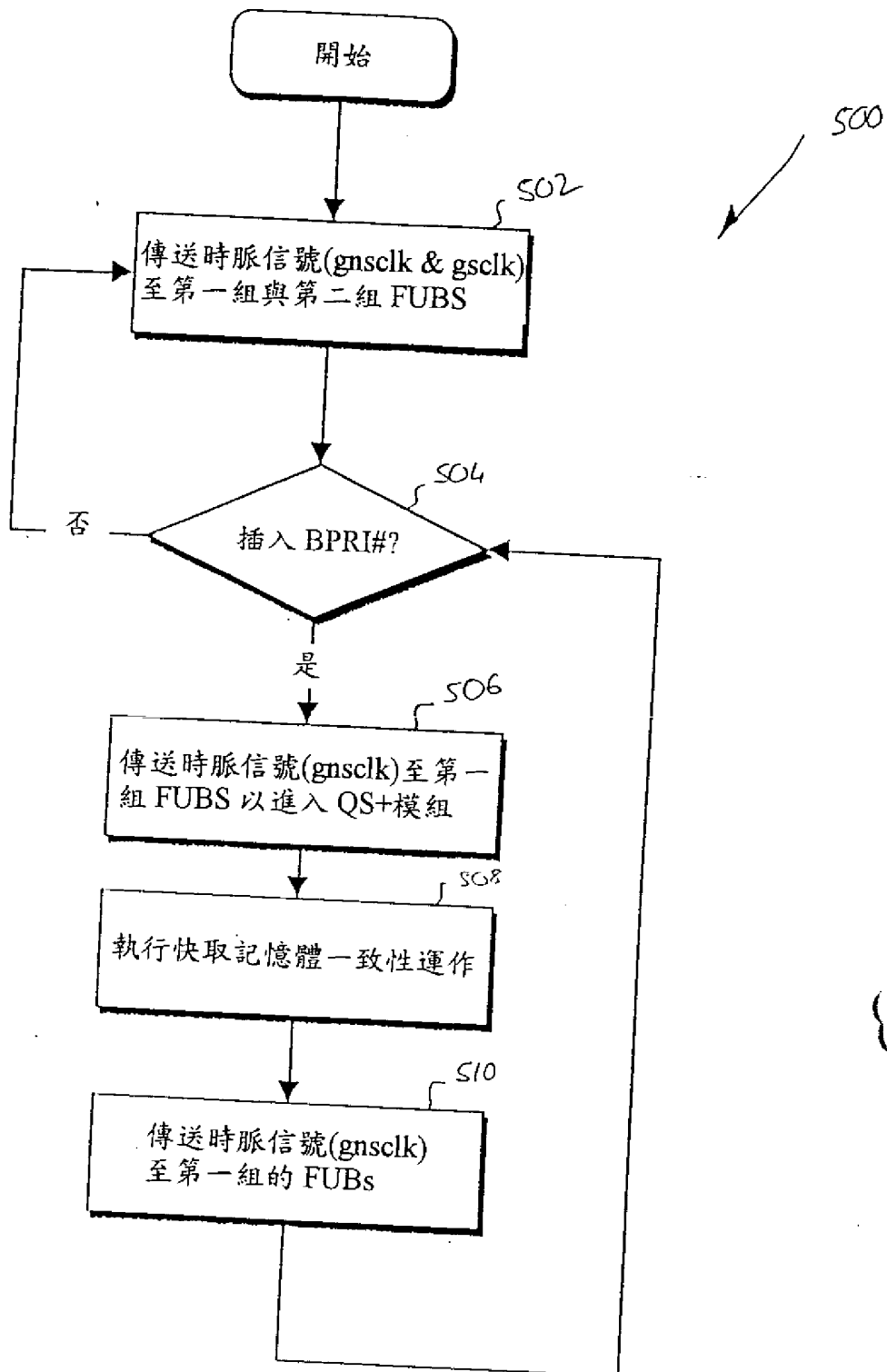


圖 12