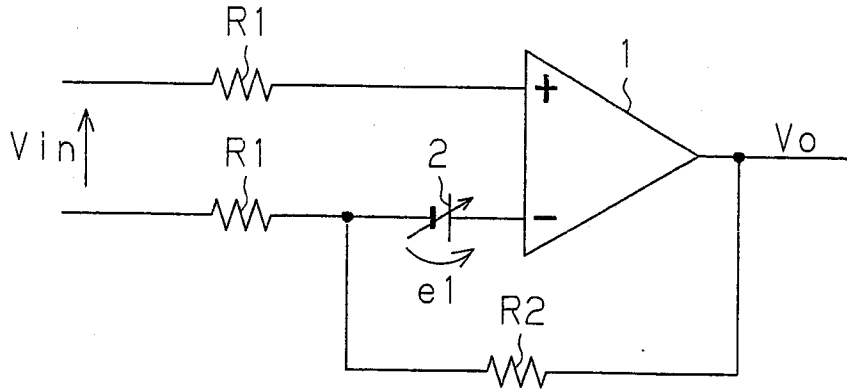
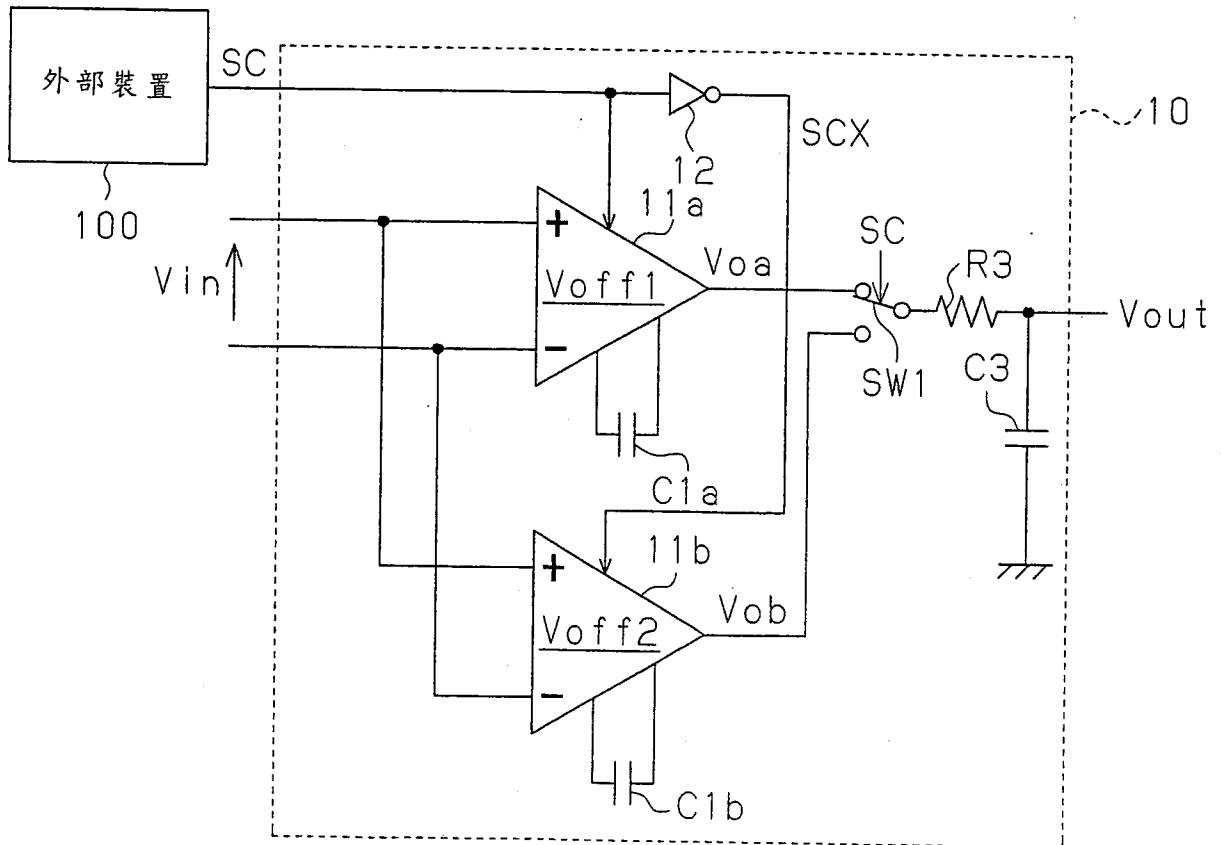


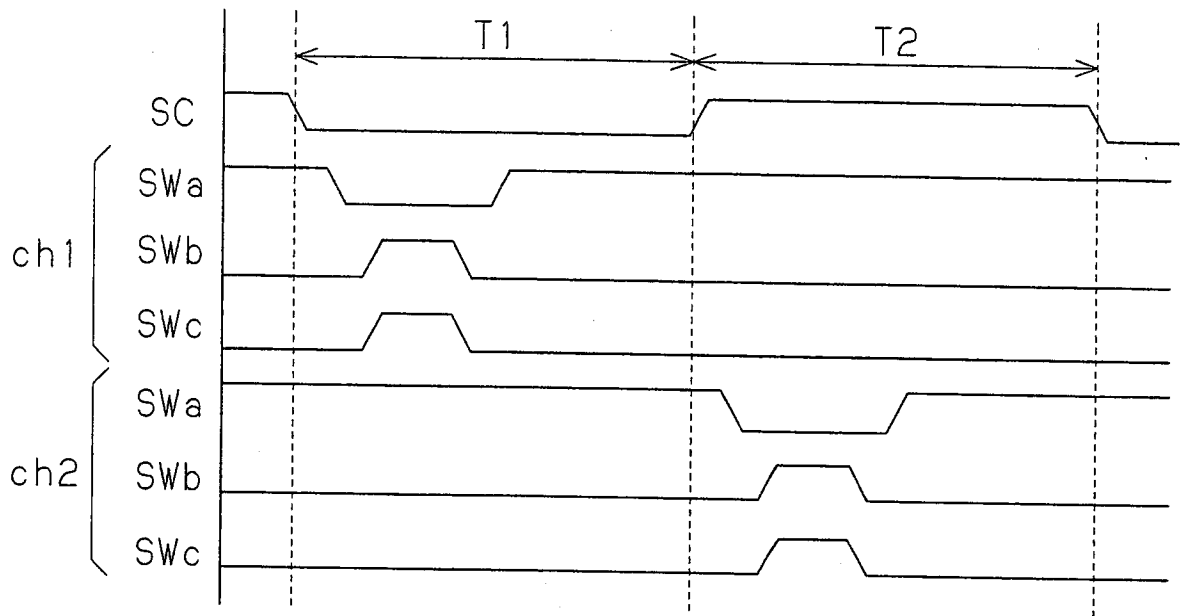
第 1 圖



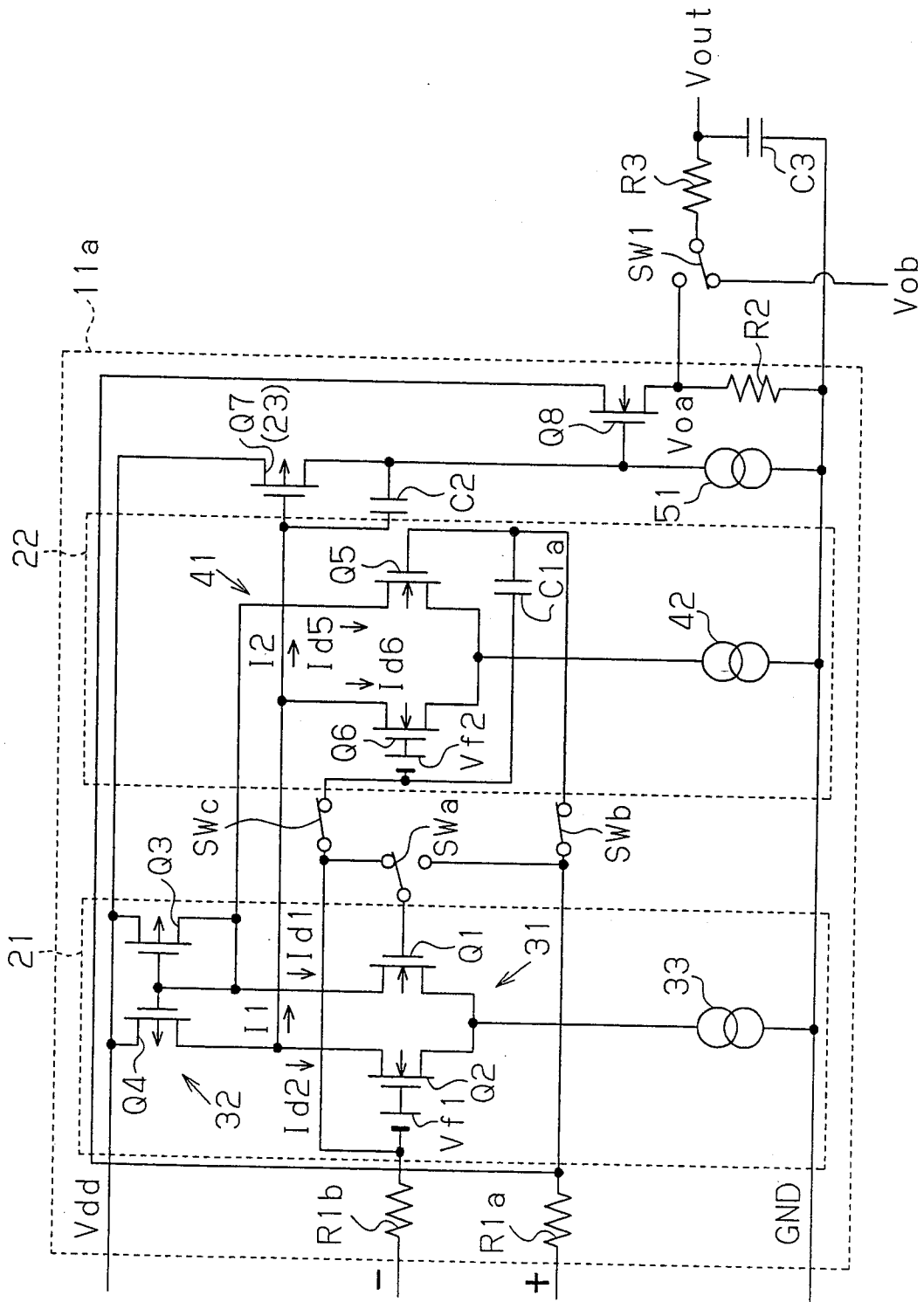
第 2 圖



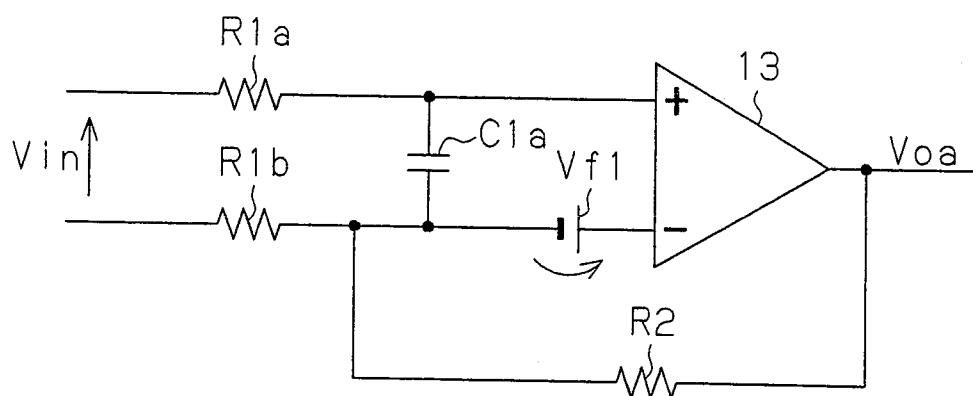
第 3 圖



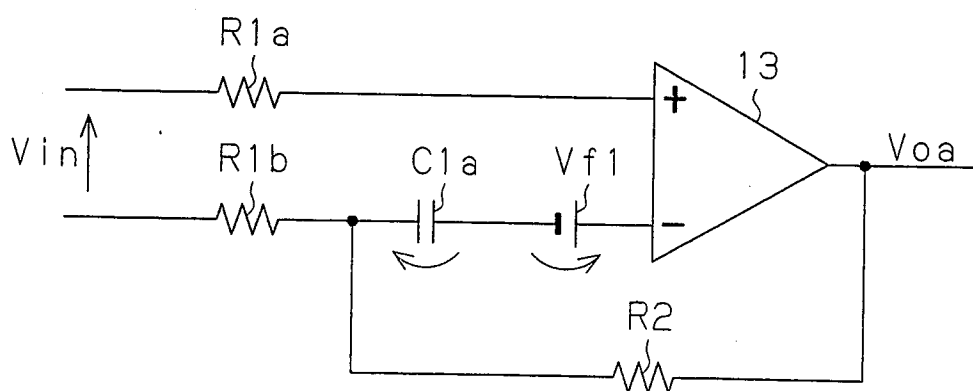
第 4 圖



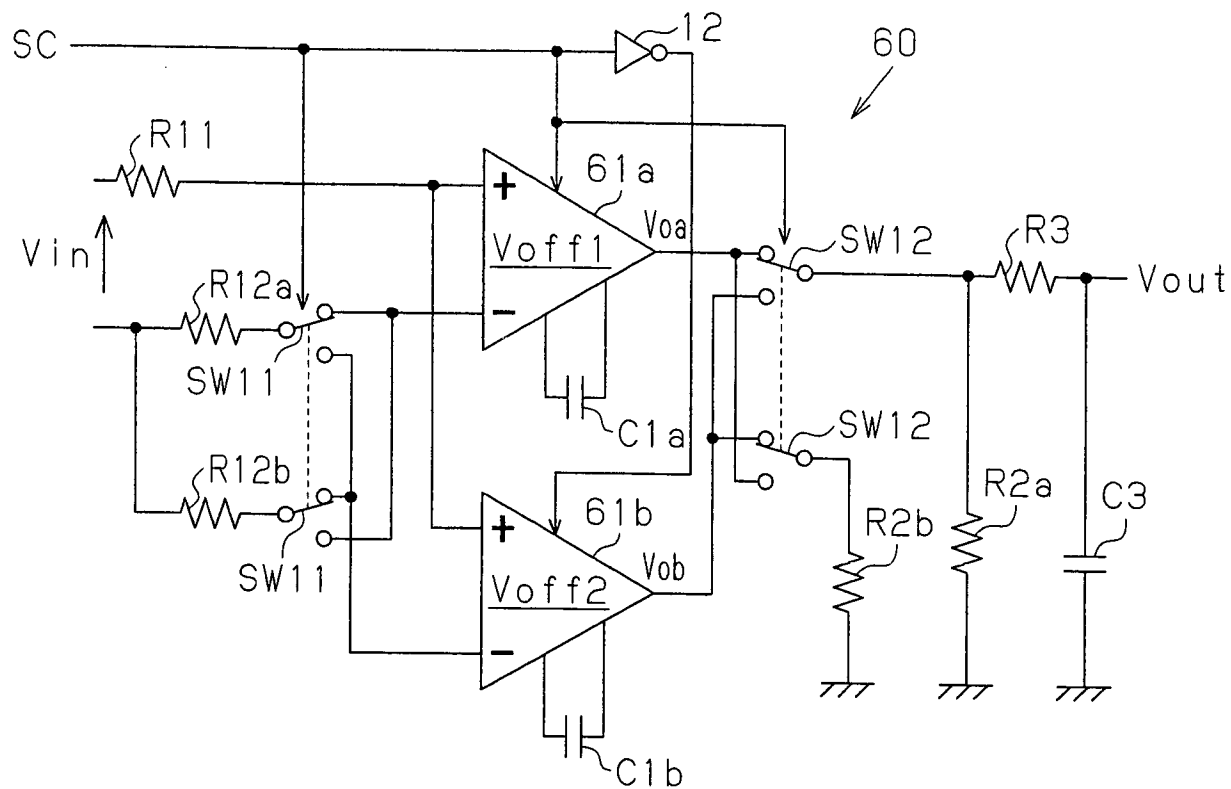
第 5 圖



第 6 圖



## 第 7 圖



雙面影印

98.6.11  
年 月 日修正本

公告本

**發明專利說明書**

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95/20247

※ 申請日期：98.6.7

※IPC 分類：H03F 3/34(2006.01)

**一、發明名稱：**(中文/英文)

運算放大器

OPERATIONAL AMPLIFIER

**二、申請人：**(共 1 人)**姓名或名稱：**(中文/英文)

富士通微電子股份有限公司 / FUJITSU MICROELECTRONICS LIMITED

**代表人：**(中文/英文)

岡田晴基 / OKADA, HARUKI

**住居所或營業所地址：**(中文/英文)

日本國東京都新宿區西新宿二丁目7番1號

7-1, NISHI-SHINJUKU 2-CHOME, SHINJUKU-KU, TOKYO 163-0722 JAPAN

**國 籍：**(中文/英文)

日本 / JAPAN

**三、發明人：**(共 1 人)**姓 名：**(中文/英文)

西森英二 / NISHIMORI, EIJI

**國 籍：**(中文/英文)

日本 / JAPAN

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為：。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本、 2006/02/16、 2006-039290

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

相關申請案之交互參照

本申請案根據並要求於2006年2月16日申請來自習知  
5 日本專利申請案第2006-039290號之優先權的優點，其完整  
內容合併於本文中以供參考。

本發明係有關一種運算放大器，而更特定於，用於從  
一輸出信號取消一偏移電壓之一種運算放大器。

### 【先前技術】

#### 10 發明背景

近年來，一LSI會合併大量的運算放大器。一運算放  
大器是安裝於一LSI之一基本電路。然而，該運算放大器之該  
輸出信號會包含組配該運算放大器之電晶體中的特性變動  
所造成的誤差。因此，誤差必須透過一簡單方法來從該輸  
15 出信號中取消。再者，該運算放大器之一輸出信號用來監  
控在任何給定時間點時的輸出信號。於是，一運算放大器  
需要連續產生一輸出信號。

習知技術中，許多運算放大器用來放大類比信號或放  
大差動信號。然而，既然一運算放大器之該輸出信號包含  
20 誤差，則即使若一輸入信號為0伏特，該輸出信號不會為0  
伏特。有關該輸入信號之該輸出信號中的該類誤差是參照  
為一偏移電壓。第1圖中，該偏移電壓由一電壓源2表示，  
其連接至該運算放大器1之一輸入端子。

該運算放大器1之該輸出電壓 $V_o$ ，其由一輸入電壓



Vin、一輸入電阻R1、以及一回授電阻R2來判定，會從以下顯示之方程式取得。

$$V_o = (1 + R_2/R_1) \times V_{in}$$

然而，該偏移電壓e1，其對應第1圖所示之該電壓源2，  
5 會實際重疊於該輸入電壓Vin上。該輸出電壓Vo之後會使用該偏移電壓e1從以下顯示之方程式取得。

$$V_o = (1 + R_2/R_1) \times (V_{in} - e_1)$$

換言之，該偏移電壓e1會連同該輸入電壓Vin放大。因此該輸入電壓Vin很小時，包含於該輸出電壓Vo之該偏移電壓e1會變大。  
10

爲了取消該運算放大器之該偏移電壓，組配該運算放大器之該等元件的區域會增加。當該元件區域增加兩倍時，此方法一般可將該輸出誤差(偏移)減少至1/2平方根。然而，使偏移最小化需要具有大區域之元件。但這會增加  
15 成本。

不需增加元件區域的情況下，意欲取消該運算放大器之該偏移電壓的一方法，包括將該運算放大器之兩個輸入端子短路、保持該運算放大器之該輸出電壓來作為該偏移電壓、以及將該保持電壓回授至該運算放大器。

20 例如，日本先行公開之專利公開案第8-18353號揭示包括一主要放大器、一輔助放大器、以及一保持裝置之一運算放大器。該輔助放大器接收該主要放大器之該輸出信號，並於與該主要放大器之一反轉方向來操作性放大該輸出信號。該等保持裝置保持該輔助放大器之該輸出信號，

並將該保持電壓回授至該主要放大器。該運算放大器將該主要放大器之該偏移誤差降低至該主要放大器之增益的一反向。

日本先行公開之專利公開案第2001-292041號揭示一運算放大器之另一範例。該運算放大器於一電容器中，累積由一運算放大電路來放大並包含一偏移之電壓。該運算放大器之該電壓值會根據該累積電壓來作回授性控制。

### 【發明內容】

#### 發明概要

10 該運算放大器之該輸出信號是一類比信號。一類比信號一般用來於一給定時間點時監控該類比信號。於是該運算放大器需連續產生該輸出信號。然而，於每一上述公開案中所揭示的運算放大器，可藉由保持或累積該偏移電壓，以及回授該保持或累積的偏移電壓至該運算放大器來取消該偏移。亦即，保持或累積該偏移電壓之操作以及取消該偏移之操作會交替地重複執行。於是該輸出信號相對該輸入信號會變為非連續性。該類輸出信號無法用於上述應用中。

20 本發明提供用於取消該輸出信號之該偏移，並保持該輸出信號之連續性的一運算放大器。

本發明之一觀點是藉由放大一輸入電壓來產生一輸出電壓的一運算放大器。該運算放大器包括一第一電容器。連接至該第一電容器之一第一運算放大單元具有一第一偏移電壓。該第一運算放大單元於該第一電容器中累積對應

該第一偏移電壓之電荷，並交替地實行一取消操作，以便使用該第一電容器中累積之電荷來取消該第一偏移電壓，以及實行一非取消操作，以便藉由放大該輸入電壓來產生一第一輸出電壓。該運算放大器更包括一第二電容器。連接至該第二電容器之一第二運算放大單元具有實質與該第一運算放大單元相同的電氣特性。該第二運算放大單元亦具有一第二偏移電壓。該第二運算放大單元於該第二電容器中累積對應該第二偏移電壓之電荷，並交替地實行一取消操作，以便使用該第二電容器中累積之電荷來取消該第二偏移電壓，以及實行一非取消操作，以便藉由放大該輸入電壓來產生一第二輸出電壓。連接至該等第一與第二運算放大單元之一輸出選定電路，會交替地選定該第一輸出電壓與該第二輸出電壓來作為該運算放大器之該輸出電壓。當該第一運算放大單元實行該取消操作時，該第二運算放大單元實行該非取消操作，而當該第一運算放大單元實行該非取消操作時，該第二運算放大單元實行該取消操作。

本發明之其他觀點與優點將從下列說明、連同伴隨圖式，並經由示範本發明之原則來繪示而變得更加明顯。

## 20 圖式簡單說明

本發明連同其目的與優點，將參照目前較佳實施例，連同伴隨圖式之下列說明而獲得最佳的了解，其中：

第1圖是一習知技術之一運算放大器的示意等效電路圖；

第2圖是一根據本發明之一第一實施例之一運算放大器之示意電路圖；

第3圖是一第2圖所示之該運算放大器中的第一與第二運算放大單元之控制波形圖；

5 第4圖是一第2圖所示之該運算放大器中的該第一運算放大單元之示意電路圖；

第5圖是一第4圖所示之該第一運算放大單元之一保持操作期間所採用之示意等效電路圖；

第6圖是一第4圖所示之該第一運算放大單元之一補償  
10 操作期間所採用之示意等效電路圖；以及

第7圖是一根據本發明之一第二實施例之一運算放大器之示意電路圖。

### 【實施方式】

較佳實施例之詳細說明

15 所有圖式中，相同數字用來表示相同元件。

參照圖式現將說明根據本發明之一第一實施例的運算放大器10。

如第2圖所示，該運算放大器10包括一第一運算放大單元11a與一第二運算放大單元11b。該第一運算放大單元11a  
20 與該第二運算放大單元11b具有實質相同的電氣特性，而該等運算放大單元11a與11b之每一個接收相同的輸入電壓 $V_{in}$ 。特別是，該第一運算放大單元11a之一正向輸入端子連接至該第二運算放大單元11b之一正向輸入端子，而該第一運算放大單元11a之一反向輸入端子連接至該第二運算

放大單元11b之一反向輸入端子。該輸入電壓 $V_{in}$ 供應至該等兩個運算放大單元11a、11b之反向輸入端子與正向輸入端子。該第一運算放大單元11a與該第二運算放大單元11b放大該輸入電壓 $V_{in}$ 並個別產生輸出電壓 $V_{oa}$ 與 $V_{ob}$ 。

- 5 取消偏移之第一與第二電容器C1a與C1b，個別連接至該第一運算放大單元11a與該第二運算放大單元11b。該第一運算放大單元11a於該電容器C1a中累積對應其偏移電壓 $V_{off1}$ (第一偏移電壓)之電荷，並以該電容器C1a中累積之電荷來取消該輸出電壓 $V_{oa}$ 之偏移。同樣地，該第二運算放大
- 10 單元11b於該電容器C1b中累積對應其偏移電壓 $V_{off2}$ (第二偏移電壓)之電荷，並以該電容器C1b中累積之電荷來取消該輸出電壓 $V_{ob}$ 之偏移。亦即，該第一運算放大單元11a與該第二運算放大單元11b個別實行用於該等電容器C1a與C1b中保持該等偏移電壓 $V_{off1}$ 與 $V_{off2}$ 之保持操作。之後，
- 15 該第一運算放大單元11a與該第二運算放大單元11b個別實行藉由以保存於該等電容器C1a與C1b中之該等偏移電壓 $V_{off1}$ 與 $V_{off2}$ 來取消該偏移以產生該等輸出電壓 $V_{oa}$ 與 $V_{ob}$ 之補償操作。

- 一控制信號SC從一外部裝置100提供至該第一運算放大
- 20 單元11a。藉由以一反向器電路12來反向該控制信號SC以產生一反向控制信號SCX提供至該第二運算放大單元11b。當該控制信號SC具有一第一位準(例如，一L位準)時，該第一運算放大單元11a實行包括該保持操作與該補償操作之一取消操作。此外，當該控制信號SC具有一第二位準

(例如，一H位準)時，該第一運算放大單元11a實行一非取消操作以產生該輸出電壓Voa(該運算放大器10之輸出電壓Vout)。同樣地，當該反向控制信號SCX具有一第一位準(例如，一L位準)時，該第二運算放大單元11b實行包括該保持  
5 操作與該補償操作之一取消操作。當該反向控制信號SCX具有一第二位準(例如，H位準)時，該第二運算放大單元11b實行一非取消操作以產生該輸出電壓Vob(該運算放大器10之輸出電壓Vout)。

該反向控制信號SCX藉由反向該控制信號SC之邏輯而  
10 產生。因此，若該控制信號SC具有一H位準，則該反向控制信號SCX設定為一L位準，而反之亦然。亦即，該反向控制信號SCX與該控制信號SC是互補信號。於是該第一運算放大單元11a與該第二運算放大單元11b彼此互補操作。當該第一運算放大單元11a實行該取消操作(保持操作與補償  
15 操作)時，該第二運算放大單元11b實行該非取消操作(產生輸出電壓Vout)。當該第二運算放大單元11b實行該取消操作(保持操作與補償操作)時，該第一運算放大單元11a實行該非取消操作(產生輸出電壓Vout)。該第一運算放大單元11a與該第二運算放大單元11b之一輸出端子連接至一開關  
20 SW1，其作為一輸出選定電路。該開關SW1包括一共同端子、一第一切換端子、以及一第二切換端子。該第一切換端子連接至該第一運算放大單元11a之該輸出端子，而該第二切換端子連接至該第二運算放大單元11b之該輸出端子。該開關SW1用以響應該控制信號SC，而將該共同端子

連接至該第一切換端子或該第二切換端子。該第一實施例中，該控制信號SC具有一L位準時，該開關SW1將該共同端子連接至該第二切換端子，而該控制信號SC具有一H位準時，該開關SW1將該共同端子連接至該第一切換端子。於是，該共同端子選擇性連接至該第一運算放大單元11a與該第二運算放大單元11b之該輸出端子。結果是，該運算放大器10選定該第一運算放大單元11a之該輸出電壓Voa或該第二運算放大單元11b之該輸出電壓Vob來作為該輸出電壓Vout。因此，該輸出電壓Vout會連續輸出。

上述說明與第2圖中，該開關SW1是切換期間該共同端子連接至該等兩個第一與第二切換端子之一所謂先通後斷(MBB)開關。即使當該開關SW之連線已被切換，該MBB開關仍連續產生該輸出電壓Vout。

現將說明該第一運算放大單元11a之組態。

如第4圖所示，該第一運算放大單元11a包括一運算放大電路21、一偏移調整電路22、以及一輸出電路23。

該運算放大電路21包括一第一差動輸入電路31、一電流鏡電路32、以及一固定電流源33。該第一差動輸入電路31是由兩個電晶體Q1與Q2所組成。該等兩個電晶體Q1與Q2之每一個由一N通道MOS電晶體所組配。該等兩個電晶體Q1與Q2之源極彼此連接，並經由該固定電流源33連接至一低電位電源供應器(例如，接地線GND)。

該第一電晶體Q1之閘極連接至一第一開關SWa。該第一開關SWa包括一共同端子、一第一端子、以及一第二端

子。該共同端子連接至該第一電晶體Q1之閘極。該第一端子經由一電阻器R1a連接至該第一運算放大單元11a之該正向輸入端子(第4圖中表示為“+”)。該第二端子經由一電阻器R1b連接至該第一運算放大單元11a之該反向輸入端子(第4圖中表示為“-”)。特別是，該電阻器R1a之該第一端子連接至該第一開關SWa之該第一端子，而該電阻器R1a之該第二端子連接至該運算放大單元11a之該正向輸入端子。此外，該電阻器R1b之該第一端子連接至該第一開關SWa之該第二端子，而該電阻器R1b之該第二端子連接至該運算放大單元11a之該反向輸入端子。該第一實施例中，該等電阻器R1a與R1b具有實質相同的電阻。用於保持該運算放大單元11a之該偏移電壓Voff1的該保持操作期間，該第一開關SWa受控制藉此該共同端子連接至該第二端子。用於取消該運算放大單元11a之該偏移電壓Voff1的該補償操作期間，該第一開關SWa更受控制藉此該共同端子連接至該第一端子。

該第二電晶體Q2之閘極經由一電壓源Vf1連接至該電阻器R1b之該第一端子，代表該運算放大電路21中之該偏移電壓的該電壓源Vf1，實際上並不連接至該第二電晶體Q2之閘極。

該電流鏡電路32是由兩個電晶體Q3與Q4所組成。該等兩個電晶體Q3與Q4之每一個由一P通道MOS電晶體所組成。該等兩個電晶體Q3與Q4之汲極個別連接至該等電晶體Q1與Q2之汲極。該等兩個電晶體Q3與Q4之源極連接至一



高電位電源供應器Vdd。該等電晶體Q3與Q4之閘極彼此互連。該電晶體Q3之閘極亦連接至該電晶體Q3之汲極。再者，該等電晶體Q3與Q4之汲極連接至該偏移調整電路22。

該偏移調整電路22包括一第二差動輸入電路41與一固定電流源42。該第二差動輸入電路41及該固定電流源42與該運算放大電路21中之該第一差動輸入電路31及該固定電流源33並聯連接。特別是，該第二差動輸入電路41是由兩個電晶體Q5與Q6所組成。該等兩個電晶體Q5與Q6之每一個由一N通道MOS電晶體所組配。該等兩個電晶體Q5與Q6之源極彼此連接，並經由該固定電流源42連接至一低電位電源供應器(例如，接地線GND)。該第五電晶體Q5之閘極經由一第二開關SWb與該電阻器R1a連接至該第一運算放大單元11a之該正向輸入端子。該第六電晶體Q6之閘極經由一電壓源Vf2、一第三開關SWc、以及該電阻器R1b連接至該第一運算放大單元11a之該反向輸入端子。代表該偏移調整電路22中之該偏移電壓的該電壓源Vf2，實際上並不連接至該第六電晶體Q6之閘極。該電壓源Vf2具有與該電壓源Vf1實質相同的電壓值。

該等電晶體Q5與Q6之汲極連接至該電流鏡電路32。特別是，該第五電晶體Q5之汲極連接至該第三電晶體Q3之汲極，而該第六電晶體Q6之汲極連接至該第四電晶體Q4之汲極。作為一保持裝置之該電容器C1a，連接於該第五電晶體Q5之閘極與該第六電晶體Q6之閘極間。特別是，該電容器C1a之該第一端子連接至該第五電晶體Q5之閘極與該第二

開關SWb間的一節點，而該電容器C1a之該第二端子連接至該電壓源Vf2(實際上，該第六電晶體Q6之閘極)與該第三開關SWc間的一節點。

5 在該電容器C1a來保持該運算放大單元11a之該偏移電壓Voff1的該保持操作期間，該第二開關SWb與該第三開關SWc之每一個受致動。此外，用於取消該運算放大單元11a之該偏移電壓Voff1的該補償操作期間，該第二開關SWb與該第三開關SWc之每一個不受致動。

10 介於該第四電晶體Q4與該第二電晶體Q2間之一節點連接至該電晶體Q7之閘極，此形成該輸出電路23。由一P通道MOS電晶體所組配之該電晶體Q7，包括連接至該高電位電源供應器Vdd之一源極，以及經由一固定電流源51連接至該低電位電源供應器(例如，接地線GND)之一汲極。防止振盪之一電容器C2連接於該電晶體Q7之閘極與汲極之間。

15 形成一回授電阻器之一電晶體Q8的閘極，連接至該電晶體Q7與該固定電流源51間之一節點。由一N通道MOS電晶體所組配之該電晶體Q8，包括經由一電阻器R2連接至該低電位電源供應器(例如，接地線GND)之一源極，以及連接至該電阻器R1a之該第一端子之一汲極。

20 介於該電晶體Q8與該電阻器R2間之一節點用來當作該運算放大單元11a之一輸出端子。該輸出端子經由該開關SW1連接至一負載電阻器R3(第2圖中未顯示)以及連接至可保持一輸出之一電容器C3(第2圖中未顯示)。

現將說明該第一運算放大單元11a之操作。

[用於保持偏移電壓之偏移操作]

該第一開關SWa之該共同端子連接至該第二端子。這  
 會將該等電晶體Q1與Q2之閘極短路，亦即，該運算放大電  
 5 路21之該等輸入端子短路。該第二開關SWb受致動，而該  
 第五電晶體Q5之閘極，亦即，該電容器C1a之該第一端子，  
 經由該第二開關SWb連接至該電阻器R1a之該第一端子。此  
 外，該第三開關SWc受致動，而該第六電晶體Q6之閘極，  
 亦即，該電容器C1a之該第二端子，連接至該電阻器R1b之  
 10 該第一端子。

當該等開關SWa至SWc如上所述連接時，該第二電晶體  
 Q2之閘極電壓變為較該第一電晶體Q1之閘極電壓高出該  
 電壓源Vf1之一偏移電壓。流經該運算放大電路21與該輸出  
 電路23間之電流I1，以下列流至該第一電晶體Q1之電流Id1  
 15 以及流至該第二電晶體Q2之電流Id2間之差異的方程式來  
 表示。

$$I1=Id1-Id2$$

該第一電晶體Q1之閘極與該第二電晶體Q2之閘極經  
 由該第一開關SWa而短路。因此該電流I1，以下列該運算放  
 20 大電路21之一互導gm1與該電壓源Vf1(該運算放大電路21  
 中之偏移電壓)的乘積之方程式來表示。

$$I1=gm1 \times Vf1=Id1-Id2$$

該電阻器R1a之該第一端子經由該電晶體Q8連接至該  
 運算放大單元11a之該輸出端子。因此，一電位差會由於該

5 偏移電壓(電壓源Vf1)而於該等電阻器R1a與R1b之第一端子間建立。若該電位差為V2，則該第六電晶體Q6之閘極電壓變為較該第五電晶體Q5之閘極電壓高出該電位差V2與該偏移電壓Vf2的總和。流經該偏移調整電路22與該輸出電路23間之電流I2，以下列流至該第五電晶體Q5之電流Id5以及流至該第六電晶體Q6之電流Id6間之差異的方程式來表示。

$$I2=Id5-Id6$$

10 電流I2使用該偏移調整電路22的互導gm2、該電壓源Vf2(該偏移調整電路22中之偏移電壓)、與該電位差V2以下列所示之方程式來表示。

$$I2=gm2\times(V2+Vf2)=Id5-Id6$$

15 該運算放大電路21與該偏移調整電路22並聯。因此，電荷會於該電容器C1a中累積，藉此該等電流I1與I2變為相同。亦即，電荷會於該電容器C1a中累積，藉此該等兩電極間之電位差變為等於該運算放大電路21與該偏移調整電路22之偏移電壓。

20 第5圖是該第一運算放大單元11a於偏移調整期間之一等效電路。該等效電路中，一運算放大器13是理想狀態並且不包含一偏移電壓。該電壓源Vf1產生該第一運算放大單元11a之該偏移電壓Voff1。第5圖中，當滿足R1a=R1b=R1時，該輸出電壓Voa以下列方程式表示。

$$Voa=(1+(R2/R1))\times(Vin-Vf1)$$

第5圖中，該電容器C1a包括兩個電極。連接至該正向

輸入端子之該電容器C1a的第一電極之電壓，會較該反向輸入端子之電壓高出該輸入電壓Vin。此外，該電容器C1a之該第二電極的電壓可以該輸入電阻器R1(R1a、R1b)與該回授電阻器R2，對該第一運算放大單元11a之該輸出電壓Voa  
5 以及該反向輸入端子之電壓作分壓而取得。因此，該電容器C1a之第二電極的電壓Vc1以下列方程式來表示。

$$V_{c1} = (R1 / (R1 + R2)) \times V_{oa} = V_{in} - V_{f1}$$

如上所述，該電容器C1a之該第一電極的電壓，會較該反向輸入端子之電壓高出該輸入電壓Vin。於是，該電容器  
10 C1a之電極間的電位差變為等於該偏移電壓(電壓源Vf1)。亦即，該電容器C1a充電變為等於該第一運算放大單元11a之該偏移電壓(電壓源Vf1)。

[用於取消偏移電壓之補償操作]

當第4圖所示之該第一運算放大單元11a實行該補償操作時，亦即，當該第一運算放大單元11a之該偏移電壓Voff1  
15 由該偏移調整電路22取消時，該第一電晶體Q1之閘極會經由該第一開關SWa切換、經由該電阻器R1a，而連接至該正向輸入端子。此外，該第二開關SWb與該第三開關SWc兩者不受致動。

20 結果是，第4圖所示之該第一運算放大單元11a變為第6圖所示之等效電路。該等效電路中，該電容器C1a串聯至該電壓源Vf1。於該電壓源Vf1(亦即，偏移電壓)之電壓的反轉方向具有一電位差之電荷會於該電容器C1a中累積。因此，該第一運算放大單元11a之該偏移電壓會由該電容器

C1a累積之電荷所產生的電位差取消，而該輸入電壓 $V_{in}$ 供應至該運算放大器13。

該第一實施例之該運算放大器10包括作為路徑1(CH1)之該第一運算放大單元11a、以及作為路徑2(CH2)之該第二運算放大單元11b。如第3圖所示，路徑CH1與CH2會交替操作。該第二運算放大單元11b具有與該第一運算放大單元11a相同的組態，因此不再說明。

第3圖中，當一SWa切換控制信號具有一L位準時，該第一開關SWa連接至如第4圖所示之該第一電晶體Q1與該第二電晶體Q2的閘極。此外，當該SWa切換控制信號具有一H位準時，該第一開關SWa與該第一電晶體Q1以及該第二電晶體Q2的閘極中斷連接。當一SWb切換控制信號具有一L位準而一SWc切換控制信號具有一L位準時，該第二開關SWb與該第三開關SWc兩者不受致動。再者，當該SWb切換控制信號具有一H位準而該SWc切換控制信號具有一H位準時，該第二開關SWb與該第三開關SWc兩者受致動。該SWa切換控制信號、該SWb切換控制信號、以及該SWc切換控制信號之每一個根據該控制信號SC而產生。

第3圖中，於該控制信號SC設為一L位準之一第一週期T1期間，該第一運算放大單元11a(ch1)實行該取消操作而該第二運算放大單元11b(ch2)實行該非取消操作。藉由以ch2放大該輸入電壓而產生之該輸出電壓 $V_{ob}$ ，會被選定來作為該運算放大器10之該輸出電壓 $V_{out}$ 。同時，該第一週期T1期間，切換會針對每一開關SWa至SWc來加以控制。因此，

ch1相繼實行用於放大其偏移電壓Voff1，並且於該電容器C1a中累積對應該放大電壓之電荷的該保持操作，以及實行用於以該保持操作期間，該電容器C1a中累積之電荷來取消該偏移電壓Voff1的該補償操作。此狀態中，ch2產生不包含  
5 偏移的該輸出電壓Vob。該輸出電壓Vob由該開關SW1來選定並從該運算放大器10輸出。

之後，提供該控制信號SC具有一H位準之一第二週期T2期間，ch1實行該非取消操作，而藉由以ch1放大該輸入電壓Vin而產生之該輸出電壓Voa，會選定來作為該運算放  
10 大器10之輸出電壓Vout。同時，ch2實行該取消操作。

於是，ch1與ch2根據該控制信號SC以一互補方式來交替地重複該取消操作與該非取消操作。亦即，當該等運算放大電路其中之一實行該取消操作時，該等運算放大電路之另一個實行該非取消操作並產生該輸出電壓Vout(輸出電  
15 壓Voa或輸出電壓Vob)。該運算放大器10之後連續產生不包含一偏移之輸出電壓Vout。

如第3圖所示，當該第一Swa於該取消操作期間將該保持操作切換至該補償操作時，從該取消操作切換至該非取消操作會在經過一預定時間後實行。每一路徑之操作改變  
20 為該補償操作後，該預定時間會設定來等待直到該輸出電壓Vout(Voa或Vob)達到所欲之電壓為止。亦即，實行該保持操作之路徑中，第4圖所示之該運算放大電路21的該等輸入端子會短路，而該路徑之該輸出電壓具有藉由放大該偏移電壓而取得的一數值。因此，該操作狀態從該保持操作切

換至該補償操作後，該路徑之該輸出電壓並不會立即達到該所欲之電壓。於是，若將該路徑之操作切換至該補償操作後立即切換至該非取消操作，則該輸出電壓 $V_{out}$ 將不連續。

5 該第一實施例之該運算放大器10具有下述優點。

(1)該運算放大器10包括具有實質相同的電氣特性之一第一運算放大單元11a與一第二運算放大單元11b。該等運算放大單元(路徑)其中之一於該偏移電壓時實行一取消操作(保持操作與補償操作)，而該等運算放大單元之另一個實  
10 行該非取消操作並產生該輸出電壓 $V_{out}$ ( $V_{oa}$ 或 $V_{ob}$ )。兩個運算放大單元11a與11b交替地實行該取消操作與該非取消操作。結果是，該等運算放大單元11a與11b之該等偏移電壓 $V_{off1}$ 與 $V_{off2}$ 會取消，而該輸出電壓 $V_{out}$ 連續產生。

(2)形成該運算放大電路21之該差動輸入電路31的該等  
15 兩個電晶體Q1與Q2之閘極會由該第一開關 $SW_a$ 短路。因此，包含於該運算放大電路21之輸出電壓(亦即，該運算放大單元11a之該輸出電壓)的該偏移電壓 $V_{off1}$ ，會由連接於該等兩個電晶體Q5與Q6之閘極間的該電容器 $C1a$ 保持，其形成該偏移調整電路22之該第二差動輸入電路41。根據該  
20 保持之偏移電壓 $V_{off1}$ 的電位差會於該等兩個電晶體Q5與Q6之閘極間產生。結果是，於該偏移電壓 $V_{off1}$ 之反轉方向上具有一電位差之電壓會由該電容器 $C1a$ 保持。不論該運算放大器10之增益為何，該偏移電壓皆可取消。因此，該運算放大器10可設為具有任何增益。



(3)該第一運算放大單元11a與該第二運算放大單元11b交替實行該非取消操作。於是，保持該輸出並安排於該等運算放大單元11a與11b之該電容器C3的電容可被降低。或者，該電容器C3可被省略。因此，該電容器C3所佔有的區域可最小化，而該運算放大器10之區域不需增加。這必然會降低該運算放大器10之成本。

(4)該補償操作中，該運算放大單元11a之該電容器C1會由該第二開關SW2與該第三開關SW3，從該反向輸入端子與該正向輸入端子中分離。因此，形成該偏移調整電路22之該第五電晶體Q5與該第六電晶體Q6的閘極不受該輸入電壓 $V_{in}$ 所影響。這可防止該輸入電壓 $V_{in}$ 變動該第五電晶體Q5與該第六電晶體Q6之閘極電壓。

現將參照第7圖來說明根據本發明之一第二實施例之一運算放大器60。

如第7圖所示，該運算放大器60包括第一與第二運算放大單元61a與61b。除了該等電阻器R1a、R1b、R2(參見第4圖)之外，該第一運算放大單元61a與該第二運算放大單元61b由與第2圖所示之第一實施例的該等運算放大單元11a與11b相同的電路元件來組配。

該第一運算放大單元61a及該第二運算放大單元61b與該輸入電壓 $V_{in}$ 並聯連接。特別是，該第一運算放大單元61a之該正向輸入端子連接至該電阻器R11之該第一端子。該第一運算放大單元61a之該反向輸入端子經由一第一開關SW11連接至電阻器R12a與R12b之每一個的第一端子，其作

為一輸入選定電路。該等電阻器R12a與R12b之第二端子彼此短路，而該輸入電壓Vin供應於該電阻器R11之第二端子以及該等兩個電阻器R12a與R12b之第二端子間。該第一開關SW11根據該控制信號SC來切換該輸入電阻器，該輸入電阻器以一互補方式於該電阻器R12a與該電阻器R12b之間，  
5 連接至該第一與第二運算放大單元61a與61b之該反向輸入端子。特別是，當該控制信號SC具有一H位準時，該第一開關SW11將該電阻器R12a連接至該第一運算放大單元61a，並將該電阻器R12b連接至該第二運算放大單元61b。  
10 當該控制信號SC具有一L位準時，該第一開關SW11將該電阻器R12a連接至該第二運算放大單元61b，並將該電阻器R12b連接至該第一運算放大單元61a。

該電容器C1a連接至該第一運算放大單元61a以保持該第一運算放大單元61a之該偏移電壓Voff1。該電容器C1b連接至該第二運算放大單元61b以保持該第二運算放大單元61b之該偏移電壓Voff2。  
15

該第一與第二運算放大單元61a與61b之輸出端子連接至一第二開關SW12，其作為一輸出選定電路。回授電阻器R2a與R2b連接至該第二開關SW12。與該第一開關SW11相同的方式中，該第二開關SW12根據該控制信號SC來切換該回授電阻器，該回授電阻器於該電阻器R2a與該電阻器R2b之間，連接至該第一與第二運算放大單元61a與61b之每一個的輸出端子。特別是，當該控制信號SC具有一H位準時，該第二開關SW12將該第一運算放大單元61a連接至一電阻  
20

器R2a，並將該第二運算放大單元61b連接至一電阻器R2b。當該控制信號SC具有一L位準時，該第二開關SW12將該第一運算放大單元61a連接至該電阻器R2b，並將該第二運算放大單元61b連接至該電阻器R2a。

5 與該第一實施例中之開關SW1相同的方式中，該第一開關SW11與該第二開關SW12兩者是先通後斷(MBB)開關。

介於該第二開關SW12與該電阻器R2a間之一節點，經由該電阻器R3與該電容器C3連接至接地線。該輸出電壓Vout從介於該電阻器R3與該電容器C3間之一節點輸出。

10 該運算放大器60中，該第一運算放大單元61a與該第二運算放大單元61b之每一個實行用於以該等相關聯之電容器C1a與C1b來保持對應至該等偏移電壓Voff1與Voff2之電荷的該保持操作。此外，該第一運算放大單元61a與該第二運算放大單元61b之每一個實行用於以該等相關聯之電容  
15 器C1a與C1b所保持的電荷來取消每一個運算放大單元61a與61b之該等偏移電壓Voff1與Voff2的一補償操作。與該第一實施例相同的方式中，該第一運算放大單元61a與該第二運算放大單元61b用以響應該控制信號SC，而交替地實行包括該保持操作與該補償操作之該取消操作，以及藉由放大  
20 該輸入電壓Vin來產生該輸出電壓(Voa或Vob)之該非取消操作。

該第一運算放大單元61a與該第二運算放大單元61b於該取消操作與該非取消操作期間使用相同的輸入電阻與回授電阻。更特定於，該第一運算放大單元61a與該第二運算

放大單元61b之該等反向輸入端子，於該取消操作期間連接至該電阻器R12b，於該非取消操作期間連接至該電阻器R12a。該相同方式中，該第一運算放大單元61a與該第二運算放大單元61b之該等輸出端子，於該取消操作期間連接至  
5 該電阻器R2b，於該非取消操作期間連接至該電阻器R2a。

該第一運算放大單元61a與該第二運算放大單元61b藉由以一增益來放大該輸入電壓 $V_{in}$ ，而個別產生實質相同電壓之該等輸出電壓 $V_{oa}$ 與 $V_{ob}$ ，該輸出電壓於該非取消操作期間，由該等電阻器R11、R12a、R2a之電阻來判定。亦即，  
10 該第一運算放大單元61a與該第二運算放大單元61b之該增益設定為實質相同。

該非取消操作中，若連接至該等第一運算放大單元61a與第二運算放大單元61b兩者之該等電阻器具有不同的電阻的話，則必需使該等電阻相等。於是，便需要高準確度  
15 電阻器。這是因為該等運算放大單元61a與61b之不同增益會使得該等輸出電壓 $V_{oa}$ 與 $V_{ob}$ 不同，並造成該輸出電壓 $V_{out}$ 變得非連續。

相形之下，該第二實施例中，於該非取消操作期間，該第一運算放大單元61a與該第二運算放大單元61b之每一  
20 個具有相同的電阻。因此，該等第一與第二運算放大單元61a與61b產生具有實質相同電壓值之該等輸出電壓 $V_{oa}$ 與 $V_{ob}$ 。結果是，不使用一高準確度電阻器的情況下，該輸出電壓 $V_{out}$ 仍會連續產生。此可降低該等電阻器之成本並降低該運算放大器之成本。

該取消操作中，該等運算放大單元61a與61b之該等反向輸入端子藉由該第一開關SW11而連接至該電阻器R12b，而該等運算放大單元61a與61b之該等輸出端子藉由該第二開關SW12而連接至該電阻器R2b。於該取消操作期間，該等運算放大單元61a與61b並不產生該輸出電壓。因此，該等電阻器R12b與R2b不需具有高準確度。於是，相較於該等電阻器R12a與R2a，該等電阻器R12b與R2b之大小可被縮小。此可抑制該運算放大器60之區域增加。

除了該第一實施例之優點，該第二實施例之該運算放大器60具有下述之優點。

該運算放大器60包括具有實質相同的電氣特性之一第一運算放大單元61a與一第二運算放大單元61b。連接至該等運算放大單元61a與61b之該等電阻器(輸入電阻器、回授電阻器)共同用於該取消操作與該非取消操作。結果是，該第一運算放大單元61a與該第二運算放大單元61b之增益會設定為實質相同。因此，不使用受控制以具有一高精確度電阻之一電阻器的情況下，該輸出電壓Vout仍可連續產生。

很明顯地，對業界之熟於此技者而言，在不違背本發明之精神或範疇下，本發明可以許多其他特定型式來具體化。特別是，應了解本發明可以下列型式來具體化。

該等第一與第二實施例中，每一個開關SW1與SW2可以是一所謂先斷後通(BBM)開關，其中當一連接切換時，一共同端子並不連接至該第一與第二切換端子。這是因為該第一運算放大單元11a與該第二運算放大單元11b(11a或

11b)於實質相同的位準上產生該等輸出電壓 $V_{oa}$ 與 $V_{ob}$ ，而該輸出電壓 $V_{out}$ 於該等開關SW1與SW2切換時的很短週期間，會由該電壓保持電容器C3所保持。因此，即使使用該BBM開關，該輸出電壓 $V_{out}$ 仍可連續產生。

5 該等第一與第二實施例中，該等運算放大器10與60不侷限於該等兩個運算放大單元11a與11b(該第二實施例中之該等運算放大單元61a與61b)，並可包括三個或更多的運算放大電路。

該第二實施例中，該等第一與第二運算放大單元61a與  
10 61b可共同僅使用該等輸入電阻器R11、R12a、與R12b。此外，該等第一與第二運算放大單元61a與61b可共同僅使用該等回授電阻器R2a與R2b。

本範例與實施例可視為舉例解說而非限制，而本發明並不侷限於本文給定之該等細節，但於該等後附之申請專  
15 利範圍的範疇與等效取代下可加以修改。

### 【圖式簡單說明】

第1圖是一習知技術之一運算放大器的示意等效電路圖；

第2圖是一根據本發明之一第一實施例之一運算放大  
20 器之示意電路圖；

第3圖是一第2圖所示之該運算放大器中的第一與第二運算放大單元之控制波形圖；

第4圖是一第2圖所示之該運算放大器中的該第一運算放大單元之示意電路圖；

第5圖是一第4圖所示之該第一運算放大單元的一保持操作期間所採用之示意等效電路圖；

第6圖是一第4圖所示之該第一運算放大單元的一補償操作期間所採用之示意等效電路圖；以及

5 第7圖是一根據本發明之一第二實施例之一運算放大器之示意電路圖。

### 【主要元件符號說明】

1、10、13、60…運算放大器	23…輸出電路
2…電壓源	31…第一差動輸入電路
11a、61a…第一運算放大單元	32…電流鏡電路
11b、61b…第二運算放大單元	33、42、51…固定電流源
12…反向器電路	41…第二差動輸入電路
21…運算放大電路	100…外部裝置
22…偏移調整電路	

## 五、中文發明摘要：

本案提供一種運算放大器用於取消一偏移電壓並持續產生一輸出信號。該運算放大器包括一第一運算放大單元與一第二運算放大單元，每一個皆具有實質與另一個相同之至少一個電氣特性。該等運算放大單元的其中之一實行該偏移電壓之一取消操作(保持操作與補償操作)，而另一運算放大單元實行一非取消操作並藉由放大一輸入電壓而產生該輸出電壓。兩個運算放大單元交替實行該取消操作與該非取消操作。

## 六、英文發明摘要：

An operational amplifier for canceling an offset and continuously generating an output signal. The operational amplifier includes a first operational amplification unit and a second operational amplification unit each having at least one electrical characteristic that is substantially the same as one another. One of the operational amplification units performs a canceling operation (holding operation and compensation operation) of the offset voltage while the other operational amplification unit performs a non-canceling operation and generates the output voltage by amplifying an input voltage. Both operational amplification units alternately perform the canceling operation and the non-canceling operation.



98. 6. 11  
年 月 日修正本**十、申請專利範圍：**

1. 一種運算放大器，藉由放大一輸入電壓( $V_{in}$ )來產生一輸出電壓( $V_{out}$ )，該運算放大器包含：

一第一電容器( $C_{1a}$ )；

連接至該第一電容器並具有一第一偏移電壓( $V_{off1}$ )之一第一運算放大單元，該第一運算放大單元於該第一電容器中累積對應該第一偏移電壓之電荷，並交替地實行一取消操作，以便使用該第一電容器中累積之電荷來取消該第一偏移電壓，以及實行一非取消操作，以便藉由放大該輸入電壓來產生一第一輸出電壓( $V_{oa}$ )；

一第二電容器；

一第二運算放大單元，其連接至該第二電容器、具有實質與該第一運算放大單元相同的電氣特性、並具有一第二偏移電壓( $V_{off2}$ )，該第二運算放大單元於該第二電容器中累積對應該第二偏移電壓之電荷，並交替地實行一取消操作，以便使用該第二電容器中累積之電荷來取消該第二偏移電壓，以及實行一非取消操作，以便藉由放大該輸入電壓來產生一第二輸出電壓( $V_{ob}$ )；以及

一輸出選定電路( $SW1$ 、 $SW12$ )，其連接至該等第一與第二運算放大單元，並交替地選定該第一輸出電壓與該第二輸出電壓來作為該運算放大器之該輸出電壓；

其中該第一運算放大單元實行該取消操作時，該第

二運算放大單元實行該非取消操作，而該第一運算放大單元實行該非取消操作時，該第二運算放大單元實行該取消操作。

2. 如申請專利範圍第1項之運算放大器，其中該等第一與第二運算放大單元之每一個具有實質相同的增益。
3. 如申請專利範圍第1項之運算放大器，更包含：

一第一回授電阻器(R2b)，其經由該輸出選定電路(SW12)選擇性連接至該等第一與第二運算放大單元之輸出端子，該等第一與第二運算放大單元之每一個實行該取消操作時，該第一回授電阻器(R2b)用來作為一回授電阻器；以及

一第二回授電阻器(R2a)，其經由該輸出選定電路(SW12)選擇性連接至該等第一與第二運算放大單元之輸出端子，該等第一與第二運算放大單元之每一個實行該非取消操作時，該第二回授電阻器(R2a)用來作為一回授電阻器。

4. 如申請專利範圍第3項之運算放大器，其中該第一回授電阻器之大小小於該第二回授電阻器。
5. 如申請專利範圍第1項或第3項之運算放大器，更包含：

用於接收該輸入電壓之一第一輸入電阻器(R12b)；

用於接收該輸入電壓之一第二輸入電阻器

(R12a)；以及

一輸入選定電路(SW11)，其連接至該第一輸入電阻器、該第二輸入電阻器、以及該等第一與第二運算放大

單元，並於該取消操作期間，選擇性將該第一輸入電阻器連接至該等第一與第二運算放大單元之輸入端子，且於該非取消操作期間，選擇性將該第二輸入電阻器連接至該等第一與第二運算放大單元之輸入端子。

6. 如申請專利範圍第5項之運算放大器，其中該第一輸入電阻器之大小小於該第二輸入電阻器。
7. 如申請專利範圍第5項之運算放大器，其中該等第一與第二運算放大單元、該輸出選定電路、以及該輸入選定電路會根據一控制信號(SC)來操作。
8. 如申請專利範圍第1項之運算放大器，其中從該取消操作開始取消該對應之偏移電壓經過一預設時間後，該等第一與第二運算放大單元之每一個會從該取消操作切換至該非取消操作。
9. 如申請專利範圍第1項之運算放大器，其中該等第一與第二運算放大單元之每一個包括：

具有用於接收該輸入電壓之第一與第二輸入端子之一第一差動輸入電路，而該第一差動輸入電路包括連接至該第一輸入端子之一第一電晶體(Q1)，以及連接至該第二輸入端子之一第二電晶體(Q2)；

一電流鏡電路，包括連接至該第一電晶體之一第三電晶體(Q3)以及連接至該第二電晶體之一第四電晶體(Q4)；

一第二差動輸入電路，與該第一差動輸入電路並聯連接且具有連接至該第三電晶體之一第五電晶體(Q5)

以及連接至該第四電晶體之一第六電晶體(Q6)；

一第一開關(SWa)，連接至該等第一與第二電晶體之閘極，以便選擇性連接該等第一與第二電晶體之閘極；

一第二開關(SWb)，連接至該第五電晶體之一閘極與該第一輸入端子，以便選擇性連接該第五電晶體之該閘極與該第一輸入端子；以及

一第三開關(SWc)，連接至該第六電晶體之一閘極與該第二輸入端子，以便選擇性連接該第六電晶體之該閘極與該第二輸入端子；

其中該等第一與第二運算放大單元之每一個當中，該等第一與第二電容器之每一個連接於該等第五與第六電晶體之閘極間。

10. 如申請專利範圍第1項之運算放大器，其中該輸出選定電路包括一先通後斷開關。

11. 如申請專利範圍第1項之運算放大器，更包含：

一電容器(C3)，其連接至該輸出選定電路，以便保持該輸出電壓；

其中該輸出選定電路包括一先斷後通開關或一先通後斷開關。

**七、指定代表圖：**

(一)本案指定代表圖為：第 ( 2 ) 圖。

(二)本代表圖之元件符號簡單說明：

10…運算放大器

11a…第一運算放大單元

11b…第二運算放大單元

12…反向器電路

100…外部裝置

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**