

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-40140  
(P2006-40140A)

(43) 公開日 平成18年2月9日(2006.2.9)

(51) Int. Cl.	F I			テーマコード (参考)
<b>G06F 12/10 (2006.01)</b>	G06F 12/10	5 O 1 Z	5 B O O 5	
<b>G06F 9/46 (2006.01)</b>	G06F 9/46	3 4 O Z	5 B O 9 8	

審査請求 未請求 請求項の数 10 O L (全 28 頁)

(21) 出願番号	特願2004-222041 (P2004-222041)	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成16年7月29日 (2004.7.29)	(74) 代理人	100092978 弁理士 真田 有
		(72) 発明者	平野 孝仁 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	山崎 巖 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	本車田 強 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

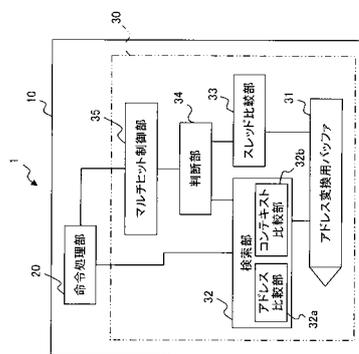
(54) 【発明の名称】 情報処理装置及びマルチヒット制御方法

(57) 【要約】

【課題】 マルチスレッド方式で動作する情報処理装置において、不要なマルチヒットを発生させることなく、アドレス変換用バッファ (TLB: Translation Lookaside Buffer) を複数のスレッド間で共有できるようにする。

【解決手段】 アドレス変換対とスレッド情報とを保持するアドレス変換用バッファ31と、仮想アドレスを物理アドレスに変換すべく当該仮想アドレスと同一の仮想アドレスのアドレス変換対をアドレス変換用バッファ31から検索する検索部32と、この検索部32によりアドレス変換対が複数検索された場合に、これら複数のアドレス変換対に対応する複数のスレッド情報のうち2以上のスレッド情報が同一か否かを判断する判断部34と、この判断部34によって異なっていると判断された場合には、マルチヒットの出力を抑制してアドレス変換を実行させるマルチヒット制御部35とをそなえる。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

マルチスレッド方式で動作する情報処理装置であって、

仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するアドレス変換用バッファと、

スレッド毎に得られた仮想アドレスを物理アドレスに変換すべく前記アドレス変換用バッファに保持された当該仮想アドレスについてのアドレス変換対を検索する検索部と、

該検索部により同一のアドレス変換対が複数検索された場合に、所定の条件を満たすときには、マルチヒットの出力を抑止して、前記検索部によるアドレス変換を実行させるマルチヒット制御部とをそなえて構成されたことを特徴とする、情報処理装置。

10

## 【請求項 2】

マルチスレッド方式で動作する情報処理装置であって、

仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するとともに、前記アドレス変換対を登録したスレッドを示すスレッド情報を保持するアドレス変換用バッファと、

スレッド毎に使用される仮想アドレスを物理アドレスに変換すべく当該仮想アドレスと同一の仮想アドレスについてのアドレス変換対を前記アドレス変換用バッファから検索する検索部と、

該検索部により変換すべき仮想アドレスと同一の仮想アドレスについてのアドレス変換対が複数検索された場合に、前記検索部によって検索された複数のアドレス変換対に対応する複数のスレッド情報のうち 2 以上の前記スレッド情報が同一か否かを判断する判断部と、

20

該判断部によって前記複数のスレッド情報が異なっていると判断された場合には、マルチヒットの出力を抑止して前記検索部によるアドレス変換を実行させるマルチヒット制御部とをそなえて構成されたことを特徴とする、情報処理装置。

## 【請求項 3】

前記マルチヒット制御部が、前記判断部によって前記複数のスレッド情報のうち 2 以上の前記スレッド情報が同一であると判断された場合には、マルチヒットを出力することを特徴とする、請求項 2 記載の情報処理装置。

## 【請求項 4】

30

マルチスレッド方式で動作する情報処理装置であって、

仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するアドレス変換用バッファと、

スレッド毎に使用される仮想アドレスと当該仮想アドレスに対応する物理アドレスとを前記アドレス変換対として前記アドレス変換用バッファに登録するエントリ部と、

該エントリ部により前記アドレス変換対に登録する際に、登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスを前記アドレス変換用バッファから検索する検索部と、

該検索部により、前記エントリ部によって登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスが検索された場合に、前記エントリ部による前記アドレス変換対の前記アドレス変換用バッファへの登録を中止させるエントリ制御部とをそなえて構成されたことを特徴とする、情報処理装置。

40

## 【請求項 5】

マルチスレッド方式で動作する情報処理装置であって、

仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するとともに、前記アドレス変換対を登録したスレッドを示すスレッド情報を保持するアドレス変換用バッファと、

スレッド毎に使用される仮想アドレスと当該仮想アドレスに対応する物理アドレスとを前記アドレス変換対として前記アドレス変換用バッファに登録するエントリ部と、

該エントリ部により前記アドレス変換対に登録する際に、登録されるアドレス変換対の

50

仮想アドレスと同一の仮想アドレスを前記アドレス変換用バッファから検索する検索部と

、  
該検索部により、前記エントリ部によって登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスが前記アドレス変換用バッファから検索され、且つ前記検索部によって検索された前記アドレス変換対に対応するスレッド情報と前記エントリ部によって登録されるアドレス変換対の仮想アドレスを使用するスレッドとが同一でなかった場合には、前記エントリ部による前記アドレス変換対の前記アドレス変換用バッファへの登録を中止させる一方、前記検索部により、前記エントリ部によって登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスが前記アドレス変換用バッファから検索され、且つ前記検索部によって検索された前記アドレス変換対に対応するスレッド情報と前記エントリ部によって登録されるアドレス変換対の仮想アドレスを使用するスレッドとが同一であった場合には、前記エントリ部による前記アドレス変換対の前記アドレス変換用バッファへの登録を実行させるエントリ制御部とをそなえて構成されたことを特徴とする、情報処理装置。

10

【請求項6】

仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するアドレス変換用バッファと、スレッド毎に得られた仮想アドレスを物理アドレスに変換すべく前記アドレス変換用バッファに保持された当該仮想アドレスに対応するアドレス変換対を検索する検索部とをそなえた、マルチスレッド方式で動作する情報処理装置におけるマルチヒット制御方法であって、

20

前記検索部により同一のアドレス変換対が複数検索された場合に、所定の条件を満たすときには、マルチヒットの出力を抑止して、前記検索部によるアドレス変換を実行させることを特徴とする、マルチヒット制御方法。

【請求項7】

仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するアドレス変換用バッファと、スレッド毎に使用される仮想アドレスを物理アドレスに変換すべく前記アドレス変換用バッファに保持された当該仮想アドレスに対応するアドレス変換対を検索する検索部とをそなえた、マルチスレッド方式で動作する情報処理装置におけるマルチヒット制御方法であって、

前記アドレス変換用バッファに保持された前記アドレス変換対に当該アドレス変換対を登録したスレッドを示すスレッド情報を付加するとともに、

30

前記検索部により、変換すべき仮想アドレスと同一の仮想アドレスについてのアドレス変換対が複数検索された場合に、前記検索部によって検索された複数のアドレス変換対に付加された複数のスレッド情報のうち2以上のスレッド情報が同一か否かを判断し、

前記判断の結果、前記複数のスレッド情報が異なっていると判断された場合には、マルチヒットの出力を抑止して前記検索部によるアドレス変換を実行することを特徴とする、マルチヒット制御方法。

【請求項8】

前記判断の結果、前記複数のスレッド情報のうち2以上の前記スレッド情報が同一であると判断された場合には、マルチヒットを出力することを特徴とする、請求項7記載のマルチヒット制御方法。

40

【請求項9】

仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するアドレス変換用バッファと、スレッド毎に使用される仮想アドレスと当該仮想アドレスに対応する物理アドレスとを前記アドレス変換対として前記アドレス変換用バッファに登録するエントリ部と、該エントリ部により前記アドレス変換対に登録する際に、該エントリ部により登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスを前記アドレス変換用バッファから検索する検索部とをそなえた、マルチスレッド方式で動作する情報処理装置におけるマルチヒット制御方法であって、

前記検索部により、前記エントリ部によって登録されるアドレス変換対の仮想アドレス

50

と同一の仮想アドレスが検索された場合に、前記エントリ部による前記アドレス変換対の前記アドレス変換用バッファへの登録を中止することを特徴とする、マルチヒット制御方法。

【請求項10】

仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するアドレス変換用バッファと、スレッド毎に使用される仮想アドレスと当該仮想アドレスに対応する物理アドレスとを前記アドレス変換対として前記アドレス変換用バッファに登録するエントリ部と、該エントリ部により前記アドレス変換対に登録する際に、該エントリ部により登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスを前記アドレス変換用バッファから検索する検索部とをそなえた、マルチスレッド方式で動作する情報処理装置におけるマルチヒット制御方法であって、

10

前記アドレス変換用バッファに保持された前記アドレス変換対に当該アドレス変換対に登録したスレッドを示すスレッド情報を付加するとともに、

前記検索部により、前記エントリ部によって登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスが前記アドレス変換用バッファから検索され、且つ前記検索部によって検索された仮想アドレスについてのアドレス変換対に付加された前記スレッド情報と前記エントリ部によって登録されるアドレス変換対の仮想アドレスを使用するスレッドとが同一でなかった場合には、前記エントリ部による前記アドレス変換対の前記アドレス変換用バッファへの登録を中止する一方、

前記検索部により、前記エントリ部によって登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスが前記アドレス変換用バッファから検索され、且つ前記検索部によって検索された仮想アドレスについてのアドレス変換対に付加された前記スレッド情報と前記エントリ部によって登録されるアドレス変換対の仮想アドレスを使用するスレッドとが同一であった場合には、前記エントリ部による前記アドレス変換対の前記アドレス変換用バッファへの登録を実行することを特徴とする、マルチヒット制御方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マルチスレッド方式で動作する情報処理装置において、仮想アドレスを物理アドレスに変換するための技術に関する。

30

【背景技術】

【0002】

従来から、演算部（例えば、CPU；Central Processing UnitやMPU；Micro Processing Unit）をそなえた情報処理装置において、プログラムが使用する仮想アドレスを、情報処理装置上においてデータが記憶される記憶部（例えば、情報処理装置に接続された主記憶装置やキャッシュメモリ）上の物理アドレスに変換すべく、TLB（Translation Lookaside Buffer；アドレス変換用バッファ）を演算部（ここではCPU）内にそなえる技術がある。

【0003】

TLBは、仮想アドレスと物理アドレスとの対応を示すアドレス変換対（TLBエントリ）を保持するものであり、CPUは、このTLBを使用することにより、仮想アドレスの物理アドレスへのアドレス変換を高速に行なうことを可能にしている。

40

TLBが保持するアドレス変換対は、情報処理装置のOS（Operating System）により登録されるが、まれにOSが同一のアドレス変換対を複数登録してしまうことがある。

【0004】

このように、TLBに同一のアドレス変換対が複数登録されると、実際にアドレス変換を実行する際に、これら複数のアドレス変換対が検索（参照）されることによりマルチヒット（Multi-Hit）が検出される。

図8は従来の情報処理装置110におけるマルチヒット検出方法を説明するための図である。従来の情報処理装置110では、仮想アドレスを変換すべく、TLB111内を検

50

索して変換対象の仮想アドレスと同一の仮想アドレスのTLBエントリを検索する。そして、検索の結果、TLB 111のWAY（ここでWAYとは、複数の区分に区切られたTLBの1区分のことをいう）0に保持されたTLBエントリA（図8中“entry A”と表記）と、WAY 1にTLBエントリB（図8中“entry B”と表記）とがヒットした場合には、これらTLBエントリA，Bが同一であれば、情報処理装置110にそなえられたマルチヒット制御部112によりマルチヒットが出力される。

#### 【0005】

従来の情報処理装置110では、マルチヒットが検出された場合、TLB 111に保持されたデータ（アドレス変換対）には信用性が無いと判断して、TLB 111に保持されたすべてのアドレス変換対を削除し、再登録するという処理を実施しており、TLB 111上のすべてのアドレス変換対を削除してアドレス変換対を再登録する間は、CPUにおける演算処理の遅延を引き起こすというペナルティがある。

10

#### 【0006】

なお、TLBのマルチヒットを制御する方式として、TLBに新しいTLBエントリ（アドレス変換対）を書き込むときに、かかるTLBエントリが既にTLB上に登録されているか否かの検査を行ない、新たに書き込むTLBエントリと同一TLBエントリが存在した場合には、新たに書き込むTLBエントリを既に登録されていたTLBエントリに上書きを行なう技術が提案されている（下記特許文献1参照）。

#### 【0007】

また、キャッシュメモリ装置に関する技術においては、キャッシュメモリ上に同一のデータが複数ヒットした場合に、キャッシュミスとして動作させて当該データを削除する技術が提案されている（下記特許文献2参照）。

20

【特許文献1】特表平11-501745号公報

【特許文献2】特開平2-300951号公報

【発明の開示】

【発明が解決しようとする課題】

#### 【0008】

ところで、近年、一つのCPUのプロセッサコア上で複数のスレッドが動作することを可能とするマルチスレッド方式の採用が広まっている。このマルチスレッド方式を採用すると、ある仮想アドレスを物理アドレスに変換する処理が含まれるプロセスが、時間を隔てて異なる複数のスレッド（ここでは、スレッド0，スレッド1）の両方に割り当てられる場合がある。このような場合には、スレッド0及びスレッド1が共に同一のアドレス変換対を使用することになるため、これら複数のスレッド0，1において、TLB資源が共有されることが望ましい。このように、複数のスレッド0，1がTLB資源を共有することにより、TLBの使用効率を向上させることができる。

30

#### 【0009】

しかしながら、従来の技術では、複数のスレッド0，1間でTLB資源を共有すると、不要なマルチヒットが発生し、かかるマルチヒットにより前記ペナルティが発生してCPUの性能低下（処理の遅延）を引き起こしてしまう。

不要なマルチヒットとは、上述したOSのミスに起因するものではなく、変換すべき仮想アドレスがTLB上に存在しないことなどによるTLBミスの発生に起因するものである。つまり、不要なマルチヒットは、TLBミスの発生により、情報処理装置のメインメモリ等からページテーブルエントリを読み出してTLBに登録するというTLBミスハンドラと呼ばれる処理を、複数のスレッド0，1で同時に実行してしまうことによって生じるものである。

40

#### 【0010】

図9は従来のマルチスレッド方式を採用した情報処理装置において複数のスレッド間でTLBを共有した場合に発生する不要なマルチヒットの発生原因を説明するためのフローチャート（ステップS10～S15）である。この図9に示すように、従来のマルチスレッド方式を採用した情報処理装置において、複数のスレッド（ここではスレッド0，1）

50

間でTLBを共有した場合に、スレッド0を実行中にスレッド0がTLBミスが発生すると(ステップS10)、スレッド0はTLBミスハンドラ(TLBエントリ登録処理)を実行する(ステップS11)。ここで、スレッド0がTLBミスハンドラ中にキャッシュミスが発生すると(ステップS12)、このキャッシュミスを契機としてスレッドの切り替えを行ない、スレッド0からスレッド1へと情報処理装置における処理が切り替えられる。

#### 【0011】

そして、スレッド1を実行中に、スレッド0がTLBミスが発生した仮想アドレスと同一の仮想アドレスでスレッド1においてTLBミスが検出されると(ステップS13)、スレッド1もTLBミスハンドラ(TLBエントリ登録処理)を実行してしまう(ステップS14)。

10

スレッド1のTLBミスハンドラが終了(TLBエントリ登録完了)した後、再度、スレッドの切り替えが行なわれて、スレッド1からスレッド0へと処理が切り替えられると、それまで休眠中であったスレッド0についてのTLBミスハンドラが再開され(ステップS15)、スレッド0もTLBミスハンドラを完了する。

#### 【0012】

このような処理が行なわれると、TLB上にはスレッド0,1のTLBミスハンドラによって同一のTLBエントリが2つ存在してしまう。したがって、これら同一のTLBエントリが後にアドレス変換のために参照されることによって、不要なマルチヒットが検出されるのである。

20

本発明は、このような課題に鑑み創案されたもので、マルチスレッド方式で動作する情報処理装置において、不要なマルチヒットを発生させることなく、アドレス変換用バッファ(TLB: Translation Lookaside Buffer)を複数のスレッド間で共有できるようにすることを目的とする。

#### 【課題を解決するための手段】

#### 【0013】

上記目的を達成するために、本発明の情報処理装置は、マルチスレッド方式で動作する情報処理装置であって、仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するアドレス変換用バッファと、スレッド毎に得られた仮想アドレスを物理アドレスに変換すべく前記アドレス変換用バッファに保持された当該仮想アドレスについてのアドレス変換対を検索する検索部と、この検索部により同一のアドレス変換対が複数検索された場合に、所定の条件を満たすときには、マルチヒットの出力を抑止して、前記検索部によるアドレス変換を実行させるマルチヒット制御部とをそなえて構成されたことを特徴としている(請求項1)。

30

#### 【0014】

また、上記目的を達成するために、本発明の情報処理装置は、マルチスレッド方式で動作する情報処理装置であって、仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するとともに、前記アドレス変換対を登録したスレッドを示すスレッド情報を保持するアドレス変換用バッファと、スレッド毎に使用される仮想アドレスを物理アドレスに変換すべく当該仮想アドレスと同一の仮想アドレスについてのアドレス変換対を前記アドレス変換用バッファから検索する検索部と、この検索部により変換すべき仮想アドレスと同一の仮想アドレスについてのアドレス変換対が複数検索された場合に、前記検索部によって検索された複数のアドレス変換対に対応する複数のスレッド情報のうち2以上の前記スレッド情報が同一か否かを判断する判断部と、この判断部によって前記複数のスレッド情報が異なっていると判断された場合には、マルチヒットの出力を抑止して前記検索部によるアドレス変換を実行させるマルチヒット制御部とをそなえて構成されたことを特徴としている(請求項2)。

40

#### 【0015】

なお、前記マルチヒット制御部が、前記判断部によって前記複数のスレッド情報のうち2以上の前記スレッド情報が同一であると判断された場合には、マルチヒットを出力する

50

ことが好ましい（請求項3）。

また、上記目的を達成するために、本発明の情報処理装置は、マルチスレッド方式で動作する情報処理装置であって、仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するアドレス変換用バッファと、スレッド毎に使用される仮想アドレスと当該仮想アドレスに対応する物理アドレスとを前記アドレス変換対として前記アドレス変換用バッファに登録するエントリ部と、このエントリ部により前記アドレス変換対に登録する際に、登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスを前記アドレス変換用バッファから検索する検索部と、この検索部により、前記エントリ部によって登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスが検索された場合に、前記エントリ部による前記アドレス変換対の前記アドレス変換用バッファへの登録を中止させるエントリ制御部とをそなえて構成されたことを特徴としている（請求項4）。 10

【0016】

さらに、上記目的を達成するために、本発明の情報処理装置は、マルチスレッド方式で動作する情報処理装置であって、仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するとともに、前記アドレス変換対に登録したスレッドを示すスレッド情報を保持するアドレス変換用バッファと、スレッド毎に使用される仮想アドレスと当該仮想アドレスに対応する物理アドレスとを前記アドレス変換対として前記アドレス変換用バッファに登録するエントリ部と、このエントリ部により前記アドレス変換対に登録する際に、登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスを前記アドレス変換用バッファから検索する検索部と、この検索部により、前記エントリ部によって登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスが前記アドレス変換用バッファから検索され、且つ前記検索部によって検索された前記アドレス変換対に対応するスレッド情報と前記エントリ部によって登録されるアドレス変換対の仮想アドレスを使用するスレッドとが同一でなかった場合には、前記エントリ部による前記アドレス変換対の前記アドレス変換用バッファへの登録を中止させる一方、前記検索部により、前記エントリ部によって登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスが前記アドレス変換用バッファから検索され、且つ前記検索部によって検索された前記アドレス変換対に対応するスレッド情報と前記エントリ部によって登録されるアドレス変換対の仮想アドレスを使用するスレッドとが同一であった場合には、前記エントリ部による前記アドレス変換対の前記アドレス変換用バッファへの登録を実行させるエントリ制御部とをそなえて構成されたことを特徴としている（請求項5）。 20 30

【0017】

また、上記目的を達成するために、本発明のマルチヒット制御方法は、仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するアドレス変換用バッファと、スレッド毎に得られた仮想アドレスを物理アドレスに変換すべく前記アドレス変換用バッファに保持された当該仮想アドレスに対応するアドレス変換対を検索する検索部とをそなえた、マルチスレッド方式で動作する情報処理装置におけるマルチヒット制御方法であって、前記検索部により同一のアドレス変換対が複数検索された場合に、所定の条件を満たすときには、マルチヒットの出力を抑止して、前記検索部によるアドレス変換を実行させることを特徴としている（請求項6）。 40

【0018】

さらに、上記目的を達成するために、本発明のマルチヒット制御方法は、仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するアドレス変換用バッファと、スレッド毎に使用される仮想アドレスを物理アドレスに変換すべく前記アドレス変換用バッファに保持された当該仮想アドレスに対応するアドレス変換対を検索する検索部とをそなえた、マルチスレッド方式で動作する情報処理装置におけるマルチヒット制御方法であって、前記アドレス変換用バッファに保持された前記アドレス変換対に当該アドレス変換対に登録したスレッドを示すスレッド情報を付加するとともに、前記検索部により、変換すべき仮想アドレスと同一の仮想アドレスについてのアドレス変換対が複数検索された場合に、前記検索部によって検索された複数のアドレス変換対に付加された複数のスレッド情 50

報のうち2以上のスレッド情報が同一か否かを判断し、この判断の結果、前記複数のスレッド情報が異なっていると判断された場合には、マルチヒットの出力を抑止して前記検索部によるアドレス変換を実行することを特徴としている（請求項7）。

**【0019】**

なお、前記判断の結果、前記複数のスレッド情報のうち2以上の前記スレッド情報が同一であると判断された場合には、マルチヒットを出力することが好ましい（請求項8）。

また、上記目的を達成するために、本発明のマルチヒット制御方法は、仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するアドレス変換用バッファと、スレッド毎に使用される仮想アドレスと当該仮想アドレスに対応する物理アドレスとを前記アドレス変換対として前記アドレス変換用バッファに登録するエントリ部と、該エントリ部により前記アドレス変換対に登録する際に、該エントリ部により登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスを前記アドレス変換用バッファから検索する検索部とをそなえた、マルチスレッド方式で動作する情報処理装置におけるマルチヒット制御方法であって、前記検索部により、前記エントリ部によって登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスが検索された場合に、前記エントリ部による前記アドレス変換対の前記アドレス変換用バッファへの登録を中止することを特徴としている（請求項9）。

10

**【0020】**

さらに、上記目的を達成するために、本発明のマルチヒット制御方法は、仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するアドレス変換用バッファと、スレッド毎に使用される仮想アドレスと当該仮想アドレスに対応する物理アドレスとを前記アドレス変換対として前記アドレス変換用バッファに登録するエントリ部と、該エントリ部により前記アドレス変換対に登録する際に、該エントリ部により登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスを前記アドレス変換用バッファから検索する検索部とをそなえた、マルチスレッド方式で動作する情報処理装置におけるマルチヒット制御方法であって、前記アドレス変換用バッファに保持された前記アドレス変換対に当該アドレス変換対に登録したスレッドを示すスレッド情報を付加するとともに、前記検索部により、前記エントリ部によって登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスが前記アドレス変換用バッファから検索され、且つ前記検索部によって検索された仮想アドレスについてのアドレス変換対に付加された前記スレッド情報と前記エントリ部によって登録されるアドレス変換対の仮想アドレスを使用するスレッドとが同一でなかった場合には、前記エントリ部による前記アドレス変換対の前記アドレス変換用バッファへの登録を中止する一方、前記検索部により、前記エントリ部によって登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスが前記アドレス変換用バッファから検索され、且つ前記検索部によって検索された仮想アドレスについてのアドレス変換対に付加された前記スレッド情報と前記エントリ部によって登録されるアドレス変換対の仮想アドレスを使用するスレッドとが同一であった場合には、前記エントリ部による前記アドレス変換対の前記アドレス変換用バッファへの登録を実行することを特徴としている（請求項10）。

20

30

**【発明の効果】**

40

**【0021】**

このように、本発明によれば、変換すべき仮想アドレスと同一の仮想アドレスについてのアドレス変換対がアドレス変換用バッファから検索された場合でも、所定の条件を満たす場合にはマルチヒットを出力しないため、かかる所定の条件の設定により、不要なマルチヒットの出力を抑止することができる（請求項1, 6）。

また、本発明によれば、変換すべき仮想アドレスと同一の仮想アドレスについてのアドレス変換対がアドレス変換用バッファから複数検索された場合でも、検索された複数のアドレス変換対のスレッド情報と変換すべき仮想アドレスを使用するスレッドとが同一でなければ、マルチヒットの出力を抑止するため、情報処理装置がマルチスレッド方式で動作することにより生じる（つまり、TLBミスハンドラを複数のスレッドで実行してしまう

50

ことに起因する)、OSのミスに起因しない不要なマルチヒットの出力を確実に抑止することができる(請求項2,7)。

【0022】

さらに、本発明によれば、変換すべき仮想アドレスと同一の仮想アドレスについてのアドレス変換対がアドレス変換用バッファから複数検索された場合に、検索された複数のアドレス変換対のスレッド情報と変換すべき仮想アドレスを使用するスレッドとが同一であれば、マルチヒットを出力するため、同一スレッドから同一のアドレス変換対を複数登録するというOSのミスに起因するマルチヒットを確実に出力することができ、情報処理装置のOSの信頼性を加味しつつ、情報処理装置の安全性を確保することができる(請求項3,8)。

10

【0023】

また、本発明によれば、エントリ部により登録される仮想アドレスと同一の仮想アドレスについてのアドレス変換対がアドレス変換用バッファから検索された場合には、エントリ部によるアドレス変換対の登録を中止させるため、アドレス変換用バッファに同一のアドレス変換対が登録されることが確実に抑止され、その結果、アドレス変換の際に不要なマルチヒットが発生されることを抑止することができる(請求項4,9)。

【0024】

さらに、本発明によれば、エントリ部により登録される仮想アドレスと同一の仮想アドレスについてのアドレス変換対がアドレス変換用バッファから検索された場合に、検索されたアドレス変換対についてのスレッド情報とエントリ部により登録される仮想アドレスを使用するスレッドとが同一でなければ、エントリ部によるアドレス変換対の登録を中止させるため、アドレス変換用バッファに同一のアドレス変換対が複数登録されることを確実に抑止できる。その結果、実際にアドレス変換用バッファを用いてアドレス変換を実行する際には、OSのミスに起因するマルチヒット以外の不要なマルチヒットの発生を確実に抑止することができ、アドレス変換処理を円滑に且つ確実にこなうことができる(請求項5,10)。

20

【0025】

しかも、アドレス変換用バッファへの異なるスレッドからの同一アドレス変換対の登録も抑止されるため、アドレス変換用バッファの使用効率を向上させることができ、その結果、アドレス変換用バッファを用いたアドレス変換処理の処理性能を向上させることができる(請求項5,10)。

30

【0026】

一方、エントリ部により登録される仮想アドレスと同一の仮想アドレスについてのアドレス変換対がアドレス変換用バッファから検索された場合でも、検索されたアドレス変換対についてのスレッド情報とエントリ部により登録される仮想アドレスを使用するスレッドとが同一であれば、エントリ部によるアドレス変換対の登録を実行させるため、同一のスレッドからの同一のアドレス変換対を登録する事象が発生した場合には、かかる事象が情報処理装置のOSのミスに起因するものであると判断して、このOSのミスについてはアドレス変換用バッファを用いたアドレス変換処理において確実に検出させてマルチヒットとして発生させることができ、OSの信頼性を加味しつつ情報処理装置自体の安全性を確保することができる(請求項5,10)。

40

【発明を実施するための最良の形態】

【0027】

以下、図面を参照しながら本発明の実施の形態について説明する。

(1)本発明の第1実施形態について

まず、本発明の第1実施形態としての情報処理装置及びマルチヒット制御方法について説明する。

図1は本発明の第1実施形態としての情報処理装置1の構成を示すブロック図である。この図1に示すように、本発明の第1実施形態としての情報処理装置1は、演算部(CPU; Central Processing Unit)10内に、命令処理部20及びアドレス変換制御部(M

50

MU ; Memory Management Unit) 30 をそなえて構成されている。

【0028】

演算部10は、複数のスレッド(ここではスレッド0, 1)を並列的に実行可能なマルチスレッド方式、ここでは、時分割マルチスレッド方式(VMT: Vertical Multi Thread)で動作する。ここで、VMT方式とは、一時期に一つのスレッドのみ処理を行ない、処理するスレッドを切り替えることでマルチスレッドを実現する方式である。VMT方式におけるスレッドの切り替えは、一方のスレッドで一定時間経過したことを契機として行なわれるか、もしくは、一定時間経過する前であってもキャッシュミス等による命令実行の停滞を検出したことを契機としても行なわれる(上記図9参照)。なお、スレッドの切り替えは、実行中のスレッドの動作を休眠させて、別のスレッドの動作を立ち上げることで行なわれる。

10

【0029】

命令処理部20は、処理命令を実行するものであり、処理命令を実行するにあたり、後述するアドレス変換制御部30により、プログラムが使用する仮想アドレスを、データが記憶される記憶部(例えば、CPU10内に設けられたキャッシュメモリや外部の主記憶装置)上の物理アドレスに変換させるものである。

アドレス変換制御部30は、命令処理部20より入力された仮想アドレスを物理アドレスに変換するためのものであり、アドレス変換用バッファ(TLB; Translation Lookaside Buffer)31, 検索部32, スレッド比較部33, 判断部34, マルチヒット制御部35をそなえて構成されている。

20

【0030】

図2はアドレス変換用バッファ31が保持するアドレス変換対を説明するための図である。この図2に示すように、アドレス変換用バッファ31は、仮想アドレスと物理アドレスとの対応を示すアドレス変換対(TLBエントリ)を保持するものであり、アドレス変換対として、仮想アドレス(Virtual Address)と物理アドレス(Physical Address)とを保持するとともに、有効/無効情報(Valid), ページサイズ(Page Size), グローバルビット(Global Bit; コンテキスト有効/無効情報), コンテキスト(Context), スレッド情報(Thread ID), 及びコントロールビット(Control Bit)を保持している。

【0031】

有効/無効情報は、当該アドレス変換対が有効であるか無効であることを示す情報である。

30

コンテキストは、アドレス空間(つまり、物理アドレスのメモリ空間)のローカル空間(個別空間)を識別するためのものであり、グローバルビットは、コンテキストを区別するか否かを示す情報である。ここでは、グローバルビットが“1”(有効)ならば、コンテキストを区別しコンテキストを参照する(メモリ空間の個別部分を使用する)ことを示す一方、グローバルビットが“0”(無効)ならば、コンテキストを区別せずコンテキストを参照しない(メモリ空間の共通部分を使用する)ことを示す。

【0032】

スレッド情報は、当該アドレス変換対をアドレス変換用バッファ31に登録したスレッドを示す情報である。

40

コントロールビットは、制御用のビットであり、例えば、Cacheable-Physically-Indexed-Cacheビット, Cacheable-Virtually-Indexed-Cacheビット, Side Effectビット, Privilegedビット, Writableビットである。

【0033】

検索部32は、変換すべき仮想アドレスと同一の仮想アドレスについてのアドレス変換対をアドレス変換用バッファ31から検索することにより、変換すべき仮想アドレスを物理アドレスに変換するものであり、アドレス比較部32a及びコンテキスト比較部32bをそなえて構成されている。

図3は本発明の第1実施形態としての情報処理装置1における検索部32, スレッド比

50

較部 3 3 , 判断部 3 4 , 及びマルチヒット制御部 3 5 を説明するための図である。

【 0 0 3 4 】

この図 3 に示すように、アドレス比較部 3 2 a は、変換すべき仮想アドレス ( 図 3 中 “ Access Virtual Address ” と表記 ) とアドレス変換用バッファ 3 1 に保持されたアドレス変換対の仮想アドレス ( Virtual Address ) とを比較するものである。なお、アドレス比較部 3 2 a は、比較の際に、アドレス変換用バッファ 3 1 に保持されたページサイズ ( Page Size ) も参照する。

【 0 0 3 5 】

また、コンテキスト比較部 3 2 b は、変換すべき仮想アドレスのコンテキスト ( 図 3 中 “ Access Context ” と表記 ) とアドレス変換用バッファ 3 1 に保持されたアドレス変換対のコンテキスト ( Context ) とを比較するとともに、当該アドレス変換対のグローバルビット ( Global Bit ) を参照するものである。

10

なお、コンテキスト比較部 3 2 b は、アドレス変換対のグローバルビットが “ 1 ” ( 有効 ) であり、且つ変換すべき仮想アドレスのコンテキストとアドレス変換対のコンテキストとが同一であれば一致とするとともに、アドレス変換対のグローバルビットが “ 0 ” ( 無効 ) であれば変換すべき仮想アドレスのコンテキストとアドレス変換対のコンテキストとを比較しない。

【 0 0 3 6 】

したがって、検索部 3 2 は、アドレス比較部 3 2 a による比較の結果、変換すべき仮想アドレスとアドレス変換対の仮想アドレスとが一致し、さらに、コンテキスト比較部 3 2 b により変換すべき仮想アドレスのコンテキストとアドレス変換対のコンテキストが一致するとともにグローバルビットが “ 1 ” である場合と、アドレス比較部 3 2 a による比較の結果、変換すべき仮想アドレスとアドレス変換対の仮想アドレスとが一致し、さらに、コンテキスト比較部 3 2 b により参照されたグローバルビットが “ 0 ” である場合に、アドレス変換用バッファ 3 1 内に、変換すべき仮想アドレスと同一の仮想アドレスについてのアドレス変換対が存在することを検出する。

20

【 0 0 3 7 】

スレッド比較部 3 3 は、変換すべき仮想アドレスを使用するスレッド ( 図 3 中 “ Access Thread ” と表記 ) と、アドレス変換用バッファ 3 1 に保持されたアドレス変換対を登録したスレッドを示すスレッド情報 ( Thread ID ) とを比較するものである。

30

判断部 3 4 は、検索部 3 2 による検索結果を判断するとともに、スレッド比較部 3 3 による比較結果を判断するものである。つまり、検索部 3 2 により複数のアドレス変換対が検索されたか否かを判断するとともに、スレッド比較部 3 3 による比較結果が同一であるか否かを判断する。

【 0 0 3 8 】

つまり、判断部 3 4 は、検索部 3 2 により変換すべき仮想アドレスと同一の仮想アドレスについてのアドレス変換対がアドレス変換用バッファ 3 1 から複数検索された場合に、検索部 3 2 によって検索された複数のアドレス変換対に対応する複数のスレッド情報に対するスレッド比較部 3 3 の比較結果が、かかる複数のスレッド情報のうち 2 以上のスレッド情報が同一か否かを判断する。

40

【 0 0 3 9 】

マルチヒット制御部 3 5 は、検索部 3 2 による検索結果及び判断部 3 4 による判断結果に基づいて ( つまり、検索部 3 2 による検索結果及び判断部 3 4 による判断結果を参照して ) 、マルチヒットを出力するか、もしくはアドレス変換を実行させるものであり、検索部 3 2 により変換すべき仮想アドレスと同一の仮想アドレスについてのアドレス変換対がアドレス変換用バッファ 3 1 から検索された場合に、検索されたアドレス変換対が 1 つである場合には、検索部 3 2 による検索結果 ( つまり、前記検索されたアドレス変換対 ) により、変換すべき仮想アドレスの物理アドレスへのアドレス変換を実行させる。

【 0 0 4 0 】

また、マルチヒット制御部 3 5 は、検索部 3 2 により変換すべき仮想アドレスと同一の

50

仮想アドレスについてのアドレス変換対が複数検索された場合に、判断部 3 4 によって、検索部 3 2 により検索された複数のアドレス変換対に対するスレッド比較部 3 3 による比較結果が、異なっていると判断された場合には、マルチヒットの出力を抑止して検索部 3 4 によるアドレス変換を実行させる一方、判断部 3 4 によって、検索部 3 2 により検索された複数のアドレス変換対に対するスレッド比較部 3 3 による比較結果が、複数のスレッド情報のうち 2 以上のスレッド情報が同一であると判断された場合には、マルチヒットを出力する。なお、スレッド比較部 3 3 による比較の結果が同一であったアドレス変換対が 1 つもなければ、マルチヒット制御部 3 5 は、検索部 3 2 により検索された複数のアドレス変換対のうちのいずれかを用いてアドレス変換を実行させる。

**【 0 0 4 1 】**

このように、本発明の第 1 実施形態としての情報処理装置 1 では、検索部 3 2 による検索の結果、変換すべき仮想アドレスと同一の仮想アドレスについてのアドレス変換対がアドレス変換用バッファ 3 1 から複数検索された場合でも、判断部 3 4 が検索部 3 2 によって検索された複数のアドレス変換対に対するスレッド比較部 3 3 による比較の結果を判断して、かかる複数のアドレス変換対の複数のスレッド情報が異なっていれば、マルチヒット制御部 3 5 がマルチヒットの出力を抑止して、当該アドレス変換対によるアドレス変換を実行させるようになっている。

**【 0 0 4 2 】**

次に、本発明の第 1 実施形態としてのマルチヒット制御方法（情報処理装置 1 の動作）について説明する。図 4 は本発明の第 1 実施形態としてのマルチヒット制御方法を説明するための図である。この図 4 に示すように、本発明の情報処理装置 1 では、スレッドが使用する仮想アドレスを変換すべく、アドレス比較部 3 2 a がアドレス変換用バッファ 3 1 内を検索して、変換対象の仮想アドレスと同一の仮想アドレスのアドレス変換対を検索する。

**【 0 0 4 3 】**

そして、アドレス比較部 3 2 a による検索の結果、アドレス変換用バッファ 3 1 の W A Y（ここで W A Y とは、複数の区分に区切られたアドレス変換用バッファ 3 1 の 1 区分のことをいう）0 に保持されたアドレス変換対 A（図 4 中“ e n t r y A ”と表記）と、W A Y 1 にアドレス変換対 B（図 4 中“ e n t r y B ”と表記）とがヒットした場合、つまり、これらアドレス変換対 A , B が同一であり、アドレス変換対 A , B がともに変換すべき仮想アドレスについてのアドレス変換対である場合、マルチヒット制御部 3 5 は、判断部 3 4 による判断結果を参照し、判断部 3 4 による判断結果が、変換すべき仮想アドレスを使用するスレッドとアドレス変換対 A , B のスレッド情報〔ここでは、アドレス変換対 A のスレッド情報をスレッド情報 C（図 4 中“ Thread ID C ”と表記）とし、アドレス変換対 B のスレッド情報をスレッド情報 D（図 4 中“ Thread ID D ”と表記）とする〕がともに一致（同一）であると判断された場合（つまり、スレッド情報 C とスレッド情報 D とが同一の場合）には、マルチヒットを出力する。

**【 0 0 4 4 】**

一方、マルチヒット制御部 3 5 は、判断部 3 4 による判断結果が、アドレス変換対 A , B のスレッド情報のうちいずれか一方のみが変換すべき仮想アドレスを使用するスレッドと一致した場合（つまり、スレッド情報 C とスレッド情報 D とが同一でない場合）には、マルチヒットの出力を抑止して、変換すべき仮想アドレスを使用するスレッドとスレッド情報が一致したアドレス変換対によりアドレス変換を行なわせる（つまり、T L B ヒットとする）。

**【 0 0 4 5 】**

つまり、本発明の第 1 実施形態としてのマルチヒット制御方法では、アドレス変換用バッファ 3 1 に保持されたアドレス変換対に当該アドレス変換対を登録したスレッドを示すスレッド情報を付加するとともに、スレッド比較部 3 3 により変換すべき仮想アドレスを使用するスレッドとアドレス変換対に付加されたスレッド情報とを比較し、検索部 3 2 により変換すべき仮想アドレスと同一の仮想アドレスについてのアドレス変換対が複数検索

10

20

30

40

50

された場合に、判断部 34 により、検索部 32 によって検索された複数のアドレス変換対に対するスレッド比較部 33 による比較の結果が、少なくとも 2 つのアドレス変換対のスレッド情報が変換すべき仮想アドレスを使用するスレッドと同一であったと判断された場合にのみ、マルチヒットを出力する。

#### 【0046】

このように、本発明の第 1 実施形態としての情報処理装置 1 及びマルチヒット制御方法によれば、アドレス変換対に、当該アドレス変換対を登録したスレッドを示すスレッド情報を付加し、マルチヒット制御部 35 が、判断部 34 によるスレッド比較部 33 のスレッド比較結果の判断を参照することにより、検索部 32 により複数のアドレス変換対が検索された場合でも、スレッド比較部 33 による比較結果が異なっていれば、マルチヒットの出力を抑止する一方、スレッド比較部 33 による比較結果が同一であれば、マルチヒットを出力するため、同一スレッドから同一のアドレス変換対を複数登録するという OS のミスに起因するマルチヒットを確実に出力することができるとともに、OS のミスに起因しない不要なマルチヒットの出力を抑止することができる。したがって、不要なマルチヒットによりアドレス変換用バッファ 31 内のアドレス変換対を全て削除して再登録するというペナルティが発生することを抑止して、CPU 10 の性能が低下（処理が遅延）することを抑止することができる。

#### 【0047】

しかも、本発明の第 1 実施形態としての情報処理装置 1 及びマルチヒット制御方法は、図 8 を参照しながら上述した従来の情報処理装置に対して、アドレス変換対にスレッド情報を付加するとともに、スレッド情報の比較確認機能を付加するだけで実現可能であり、従来の情報処理装置に容易に実装できる利点がある。

#### 【0048】

〔2〕本発明の第 2 実施形態について

次に、本発明の第 2 実施形態としての情報処理装置及びマルチヒット制御方法について説明する。

図 5 は本発明の第 2 実施形態としての情報処理装置 100 の構成を示すブロック図である。なお、図 5 において既述の符号と同一の符号は、同一の部分もしくはほぼ同一の部分を示している。

この図 5 に示すように、本発明の第 2 実施形態としての情報処理装置 100 は、演算部 10 内に、命令処理部 20 及びアドレス変換制御部 30 をそなえて構成されている。ここで、演算部 10 及び命令処理部 20 は、上記第 1 実施形態の演算部 10 及び命令処理部 20 とそれぞれ同一であるため、ここではこれらの詳細な説明は省略する。

#### 【0049】

アドレス変換制御部 30 は、アドレス変換用バッファ 31，エントリ部 36，検索部 37，スレッド比較部 38，判断部 39，及びエントリ制御部 40 をそなえて構成されている。アドレス変換用バッファ 31 は、上記第 1 実施形態のアドレス変換用バッファ 31（図 2 参照）と同一であるため、ここではアドレス変換用バッファ 31 の詳細な説明は省略する。

#### 【0050】

エントリ部 36 は、TLBミスハンドラなどにより、スレッド毎に使用される仮想アドレスと当該仮想アドレスに対応する物理アドレスとをアドレス変換対としてアドレス変換用バッファ 31 に登録するものである。

図 6 は本発明の第 2 実施形態としての情報処理装置 100 における検索部 37，スレッド比較部 38，判断部 39，及びエントリ制御部 40 を説明するための図である。

#### 【0051】

この図 6 に示すように、検索部 37 は、エントリ部 36 によりアドレス変換対を登録する際に、登録されるアドレス変換対の仮想アドレス（図 6 中“Entry Virtual Address”と表記）と同一の仮想アドレス（Virtual Address；つまり、エントリ部 36 により登録するアドレス変換対と同一のアドレス変換対）をアドレス変換用バッファ 31 から検索す

10

20

30

40

50

るものであり、検索部 37 の機能及び構成は、上記第 1 実施形態における検索部 32 と同様である。

【0052】

つまり、検索部 37 もアドレス比較部 37a 及びコンテキスト比較部 37b をそなえており、アドレス比較部 37a は上記第 1 実施形態におけるアドレス比較部 32a と検索する元となる仮想アドレスが新たに登録する仮想アドレス (Entry Virtual Address) が変換すべき仮想アドレス (Access Virtual Address; 図 3 参照) かが異なるだけで、その機能は同様である。

【0053】

また、コンテキスト比較部 37b も上記第 1 実施形態におけるコンテキスト比較部 32b とは、検索する元となるコンテキストが、新たに登録する仮想アドレスのコンテキスト (図 6 中 “Entry Context” と表記) が変換すべき仮想アドレスのコンテキスト (Access Context; 図 3 参照) かが異なるだけで、その機能は同様である。

スレッド比較部 38 は、エントリ部 36 によって登録されるアドレス変換対の仮想アドレスを使用するスレッド (図 6 中 “Entry Thread” と表記) と、アドレス変換用バッファ 31 に保持されたスレッド情報 (図 6 中 “Thread ID” と表記) とを比較するものであり、このスレッド比較部 38 も、上記第 1 実施形態におけるスレッド比較部 33 とは、検索する元となるスレッドが、新たに登録する仮想アドレスのスレッド (Entry Thread) が変換すべき仮想アドレスのスレッド (Access Thread; 図 3 参照) かが異なるだけで、その機能は同様である。

【0054】

判断部 39 は、検索部 37 による検索結果を判断するとともに、スレッド比較部 38 による比較結果を判断するものである。つまり、検索部 37 によりエントリ部 36 により登録される仮想アドレスと同一の仮想アドレスについてのアドレス変換対が検索されたか否かを判断するとともに、スレッド比較部 38 による比較結果が同一であるか否かを判断する。

【0055】

つまり、判断部 39 は、検索部 37 により登録される仮想アドレスと同一の仮想アドレスについてのアドレス変換対がアドレス変換用バッファ 31 から検索された場合に、検索部 37 によって検索されたアドレス変換対に対応するスレッド情報のスレッド比較部 38 による比較結果が同一であるか否かを判断する。

エントリ制御部 40 は、判断部 39 による判断結果を参照し (つまり、検索部 37 による検索結果及びスレッド比較部 38 による比較結果に基づいて)、エントリ部 36 によるアドレス変換用バッファ 31 へのアドレス変換対の登録を制御するものであり、検索部 37 により、エントリ部 36 によって登録されるアドレス変換対の仮想アドレスがアドレス変換用バッファ 31 から検索されなければ、エントリ部 36 によるアドレス変換対の登録を実施させる。

【0056】

また、エントリ制御部 40 は、検索部 37 により、エントリ部 36 によって登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスがアドレス変換用バッファ 31 から検索された場合に、判断部 39 の判断結果を参照して、判断部 39 が、スレッド比較部 38 による比較の結果、検索部 37 によって検索されたアドレス変換対に付加されたスレッド情報 (Thread ID) とエントリ部 36 によって登録されるアドレス変換対の仮想アドレスを使用するスレッド (Entry Thread) とが同一であると判断した場合には、エントリ部 36 によるアドレス変換対のアドレス変換用バッファ 31 への登録を実行させる。

【0057】

一方、エントリ制御部 40 は、検索部 37 により、エントリ部 36 によって登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスがアドレス変換用バッファ 31 から検索された場合に、判断部 39 が、スレッド比較部 38 による比較の結果、スレッド情報 (Thread ID) とスレッド (Entry Thread) とが異なっていると判断した場合には、エン

トリ部 36 によるアドレス変換対のアドレス変換用バッファ 31 への登録を中止させる。

【0058】

次に、本発明の第2実施形態としてのマルチヒット制御方法（情報処理装置100の動作）について説明する。図7は本発明の第2実施形態としてのマルチヒット制御方法の手順を説明するためのフローチャート（ステップS1～S5）である。この図7に示すように、本発明の情報処理装置100では、エントリ部36が、TLBミスハンドラなどにより、スレッド毎に使用される仮想アドレスと当該仮想アドレスに対応する物理アドレスとをアドレス変換対としてアドレス変換用バッファ31に登録する際に、まず、検索部37が、エントリ部36が新たに登録する仮想アドレスと同一の仮想アドレスについてのアドレス変換対をアドレス変換用バッファ31から検索する（ステップS1）。

10

【0059】

そして、検索部37による検索の結果、アドレス変換用バッファ31内に、エントリ部36が登録する仮想アドレスと同一の仮想アドレスがなければ（ステップS2のNoルート）、エントリ制御部40は、エントリ部36によるアドレス変換対の登録を実行させて（ステップS3）処理を終了する。

一方、検索部37による検索の結果、アドレス変換用バッファ31内に、エントリ部36が登録する仮想アドレスと同一の仮想アドレスがあると（ステップS2のYesルート）、エントリ制御部40は、判断部39による判断結果を参照する。

【0060】

つまり、判断部39が、スレッド比較部38による比較結果、検索部37により検索された仮想アドレス（アドレス変換対）を登録したスレッド情報とエントリ部36により登録される仮想アドレスを使用するスレッドと同一であると判断すると（ステップS4のNoルート）、エントリ制御部40は、エントリ部36によるアドレス変換対の登録を実行させて（ステップS3）処理を終了する。

20

【0061】

一方、判断部39が、スレッド比較部38による比較結果、検索部37により検索された仮想アドレス（アドレス変換対）を登録したスレッド情報とエントリ部により登録される仮想アドレスを使用するスレッドと同一でないと判断すると（ステップS4のYesルート）、エントリ制御部40は、エントリ部36によるアドレス変換対の登録を中止させて（ステップS5）処理を終了する。

30

【0062】

このように、本発明の第2実施形態としての情報処理装置100及びマルチスレッド制御方法によれば、アドレス変換用バッファ31に保持されるアドレス変換対に当該アドレス変換対を登録したスレッドを示すスレッド情報が付加されるとともに、エントリ部36によって登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスが検索部37によりアドレス変換用バッファ31から検索され、且つ判断部39による判断の結果（スレッド比較部38による比較の結果）、検索部37により検索された仮想アドレスについてのアドレス変換対に付加されたスレッド情報と、エントリ部36によって登録されるアドレス変換対の仮想アドレスを使用するスレッドとが同一であった場合には、エントリ制御部40が、エントリ部36によるアドレス変換対のアドレス変換用バッファ31への登録

40

【0063】

一方、エントリ部36によって登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスが検索部37によりアドレス変換用バッファ31から検索され、且つ判断部39による判断の結果（スレッド比較部38による比較の結果）、検索部37により検索された仮想アドレスについてのアドレス変換対に付加されたスレッド情報と、エントリ部36

50

によって登録されるアドレス変換対の仮想アドレスを使用するスレッドとが同一でなかった場合には、エントリ制御部 40 が、エントリ部 36 によるアドレス変換対のアドレス変換用バッファ 31 への登録を中止させるため、アドレス変換用バッファ 31 に仮想アドレスが同一のアドレス変換対が複数登録されることが確実に抑止される。したがって、マルチスレッド方式で動作する情報処理装置 100 において、実際にアドレス変換用バッファ 31 を用いてアドレス変換を実行する際にも、OS のミスに起因するマルチヒット以外の不要なマルチヒットが発生することがなくなり、アドレス変換処理を円滑に且つ確実にこなうことができる。つまり、不要なマルチヒットによりアドレス変換用バッファ 31 内のアドレス変換対を全て削除して再登録するというペナルティが発生することを抑止して、CPU 10 の性能が低下（処理が遅延）することを抑止することができる。

10

#### 【0064】

しかも、アドレス変換用バッファ 31 への異なるスレッドからの同一アドレス変換対の登録も抑止されるため、アドレス変換用バッファ 31 の使用効率を向上させることができ、その結果、アドレス変換用バッファ 31 を用いたアドレス変換処理の処理性能を向上させることができる。

#### 【0065】

##### 〔3〕本発明の変形例について

なお、本発明は上述した実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。

例えば、上述した第 1 実施形態では、スレッド比較部 33 による比較を、アドレス変換を実行する度に行なうように構成したが、本発明はこれに限定されるものではなく、スレッド比較部 33 による比較を、検索部 32 により変換すべき仮想アドレスがアドレス変換用バッファ 31 から複数検索された場合にのみ実行するように構成してもよく、この場合でも上述した第 1 実施形態と同様の効果を得ることができる。なお、この場合には、マルチヒット制御部 35 がスレッド比較部 33 による比較を実行させるようにしてもよい。

20

#### 【0066】

また、上述した第 2 実施形態では、スレッド比較部 38 による比較を、エントリ部 36 によりアドレス変換用バッファ 31 にアドレス変換対を登録する度に行なうように構成したが、本発明はこれに限定されるものではなく、スレッド比較部 38 による比較を、検索部 37 によりエントリ部 36 によって登録される仮想アドレスと同一の仮想アドレスにつ

30

#### 【0067】

さらに、上述した第 1 実施形態では、複数のスレッド情報が異なっていることを条件としてマルチヒットの出力を抑止しているが、本発明はこれに限定されるものではなく、これ以外の所定の条件を満たした時にマルチヒットの出力を抑止するように構成してもよい。

また、上述した第 1 実施形態では、情報処理装置 1 が、判断部 34 とマルチヒット制御部 35 とを個別にそなえて構成された例をあげて説明したが、本発明はこれに限定されるものではなく、マルチヒット制御部 35 が判断部 34 をそなえるように構成してもよい。

40

#### 【0068】

さらに、上述した第 2 実施形態では、情報処理装置 100 が、判断部 39 とエントリ制御部 40 とを個別にそなえて構成された例をあげて説明したが、本発明はこれに限定されるものではなく、エントリ制御部 40 が判断部 39 をそなえるように構成してもよい。

#### 【0069】

##### 〔4〕その他

上述した命令処理部 20、アドレス比較部 32 a、37 a、コンテキスト比較部 32 b、37 b、スレッド比較部 33、38、判断部 34、39、マルチヒット制御部 35、エ

50

ントリ部 36、及びエントリ制御部 40としての機能は、コンピュータ（CPU、情報処理装置、各種端末を含む）が所定のアプリケーションプログラム（マルチヒット制御プログラム）を実行することによって実現される。

【0070】

そのプログラムは、例えばフレキシブルディスク、CD-ROM、CD-R、CD-RW、DVD等のコンピュータ読取可能な記録媒体に記録された形態で提供される。この場合、コンピュータはその記録媒体からマルチヒット制御プログラムを読み取って内部記憶装置または外部記憶装置に転送し格納して用いる。また、そのプログラムを、例えば磁気ディスク、光ディスク、光磁気ディスク等の記憶装置（記録媒体）に記録しておき、その記憶装置から通信回線を介してコンピュータに提供するようにしてもよい。

10

【0071】

ここで、コンピュータとは、ハードウェアとOS（オペレーティングシステム）とを含む概念であり、OSの制御の下で動作するハードウェアを意味している。また、OSが不要でアプリケーションプログラム単独でハードウェアを動作させるような場合には、そのハードウェア自体がコンピュータに相当する。ハードウェアは、少なくとも、CPU等のマイクロプロセッサと、記録媒体に記録されたコンピュータプログラムを読み取るための手段とをそなえている。上記マルチヒット制御プログラムとしてのアプリケーションプログラムは、上述のようなコンピュータに、命令処理部 20、アドレス比較部 32a、37a、コンテキスト比較部 32b、37b、スレッド比較部 33、38、判断部 34、39、マルチヒット制御部 35、エントリ部 36、及びエントリ制御部 40としての機能を実現させるプログラムコードを含んでいる。また、その機能の一部は、アプリケーションプログラムではなくOSによって実現されてもよい。

20

【0072】

さらに、本実施形態としての記録媒体としては、上述したフレキシブルディスク、CD-ROM、CD-R、CD-RW、DVD、磁気ディスク、光ディスク、光磁気ディスクのほか、ICカード、ROMカートリッジ、磁気テープ、パンチカード、コンピュータの内部記憶装置（RAMやROMなどのメモリ）、外部記憶装置等や、バーコードなどの符号が印刷された印刷物等の、コンピュータ読取可能な種々の媒体を利用することもできる。

【0073】

〔5〕付記

（付記1）

マルチスレッド方式で動作する情報処理装置であって、  
仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するアドレス変換用バッファと、

30

スレッド毎に得られた仮想アドレスを物理アドレスに変換すべく前記アドレス変換用バッファに保持された当該仮想アドレスについてのアドレス変換対を検索する検索部と、

該検索部により同一のアドレス変換対が複数検索された場合に、所定の条件を満たすときには、マルチヒットの出力を抑止して、前記検索部によるアドレス変換を実行させるマルチヒット制御部とをそなえて構成されたことを特徴とする、情報処理装置。

40

【0074】

（付記2）

マルチスレッド方式で動作する情報処理装置であって、  
仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するとともに、前記アドレス変換対を登録したスレッドを示すスレッド情報を保持するアドレス変換用バッファと、

スレッド毎に使用される仮想アドレスを物理アドレスに変換すべく当該仮想アドレスと同一の仮想アドレスについてのアドレス変換対を前記アドレス変換用バッファから検索する検索部と、

前記検索部により変換すべき仮想アドレスと同一の仮想アドレスについてのアドレス変

50

換対が複数検索された場合に、前記検索部によって検索された複数のアドレス変換対に対応する複数のスレッド情報のうち2以上の前記スレッド情報が同一か否かを判断する判断部と、

該判断部によって前記複数のスレッド情報が異なっていると判断された場合には、マルチヒットの出力を抑止して前記検索部によるアドレス変換を実行させるマルチヒット制御部とをそなえて構成されたことを特徴とする、情報処理装置。

【0075】

(付記3)

前記マルチヒット制御部が、前記判断部によって前記複数のスレッド情報のうち2以上の前記スレッド情報が同一であると判断された場合には、マルチヒットを出力することを特徴とする、付記2記載の情報処理装置。

10

(付記4)

マルチスレッド方式で動作する情報処理装置であって、

仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するとともに、前記アドレス変換対を登録したスレッドを示すスレッド情報を保持するアドレス変換用バッファと、

スレッド毎に得られた仮想アドレスを物理アドレスに変換すべく当該仮想アドレスと同一の仮想アドレスについてのアドレス変換対を前記アドレス変換用バッファから検索する検索部と、

該検索部により同一のアドレス変換対が複数検索された場合に、検索された複数のアドレス変換対に対応する複数のスレッド情報を比較するスレッド比較部と、

20

該スレッド比較部による比較の結果、前記複数のスレッド情報のうち2以上の前記スレッド情報が同一であった場合にはマルチヒットを出力する一方、前記複数のスレッド情報が同一でなかった場合には前記検索部によるアドレス変換を実行させるマルチヒット制御部とをそなえて構成されたことを特徴とする、情報処理装置。

【0076】

(付記5)

前記アドレス変換用バッファが、前記アドレス変換対とともにコンテキストを保持するように構成され、

前記検索部が、変換すべき仮想アドレスのコンテキストと前記アドレス変換用バッファに保持された前記アドレス変換対のコンテキストとを比較するコンテキスト比較部をそなえて構成されることを特徴とする、付記1～4のいずれか1項に記載の情報処理装置。

30

【0077】

(付記6)

前記アドレス変換用バッファが、前記アドレス変換対とともに保持された前記コンテキストの有効/無効を示すコンテキスト有効/無効情報を保持するように構成され、

前記コンテキスト比較部が、前記コンテキスト有効/無効情報を参照し、当該コンテキスト有効/無効情報が有効であれば前記コンテキストの比較を行なう一方、当該コンテキスト有効/無効情報が無効であれば前記コンテキストの比較を行なわないことを特徴とする、付記5記載の情報処理装置。

40

【0078】

(付記7)

マルチスレッド方式で動作する情報処理装置であって、

仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するアドレス変換用バッファと、

スレッド毎に使用される仮想アドレスと当該仮想アドレスに対応する物理アドレスとを前記アドレス変換対として前記アドレス変換用バッファに登録するエントリ部と、

該エントリ部により前記アドレス変換対を登録する際に、登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスを前記アドレス変換用バッファから検索する検索部と

50

該検索部により、前記エントリ部によって登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスが検索された場合に、前記エントリ部による前記アドレス変換対の前記アドレス変換用バッファへの登録を中止させるエントリ制御部とをそなえて構成されたことを特徴とする、情報処理装置。

【0079】

(付記8)

前記アドレス変換用バッファに保持された前記アドレス変換対に当該アドレス変換対を登録したスレッドを示すスレッド情報が付加されるとともに、

前記検索部により、前記エントリ部によって登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスが前記アドレス変換用バッファから検索された場合に、前記検索部によって検索された前記アドレス変換対に付加された前記スレッド情報と、前記エントリ部によって登録されるアドレス変換対の仮想アドレスを使用するスレッドとを比較するスレッド比較部をさらにそなえ、

前記エントリ制御部が、

前記スレッド比較部による比較の結果、前記検索部によって検索された前記アドレス変換対に付加された前記スレッド情報と、前記エントリ部によって登録されるアドレス変換対の仮想アドレスを使用するスレッドとが同一であった場合には、前記エントリ部による前記アドレス変換対の前記アドレス変換用バッファへの登録を実行させる一方、

前記スレッド比較部による比較の結果、前記スレッド情報と前記スレッドとが同一でなかった場合には、前記エントリ部による前記アドレス変換対の前記アドレス変換用バッファへの登録を中止させることを特徴とする、付記7記載の情報処理装置。

【0080】

(付記9)

マルチスレッド方式で動作する情報処理装置であって、

仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するとともに、前記アドレス変換対を登録したスレッドを示すスレッド情報を保持するアドレス変換用バッファと、

スレッド毎に使用される仮想アドレスと当該仮想アドレスに対応する物理アドレスとを前記アドレス変換対として前記アドレス変換用バッファに登録するエントリ部と、

該エントリ部により前記アドレス変換対を登録する際に、登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスを前記アドレス変換用バッファから検索する検索部と

、前記検索部により、前記エントリ部によって登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスが前記アドレス変換用バッファから検索され、且つ前記検索部によって検索された前記アドレス変換対に対応するスレッド情報と前記エントリ部によって登録されるアドレス変換対の仮想アドレスを使用するスレッドとが同一でなかった場合には、前記エントリ部による前記アドレス変換対の前記アドレス変換用バッファへの登録を中止させるエントリ制御部とをそなえて構成されたことを特徴とする、情報処理装置。

【0081】

(付記10)

前記エントリ制御部が、前記検索部により、前記エントリ部によって登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスが前記アドレス変換用バッファから検索され、且つ前記検索部によって検索された前記アドレス変換対に対応するスレッド情報と前記エントリ部によって登録されるアドレス変換対の仮想アドレスを使用するスレッドとが同一であった場合には、前記エントリ部による前記アドレス変換対の前記アドレス変換用バッファへの登録を実行させることを特徴とする、付記8記載の情報処理装置。

【0082】

(付記11)

前記アドレス変換用バッファに保持された前記アドレス変換対にコンテキストが付加されるとともに、

前記検索部が、前記エントリ部によって登録されるアドレス変換対のコンテキストと、前記アドレス変換用バッファに保持された前記アドレス変換対に付加されたコンテキストとを比較するコンテキスト比較部をそなえて構成されることを特徴とする、付記 7 ~ 10 のいずれか 1 項に記載の情報処理装置。

【0083】

(付記 12)

前記アドレス変換用バッファに保持された前記アドレス変換対に付加された前記コンテキストに当該コンテキストの有効/無効を示すコンテキスト有効/無効情報が付加されるとともに、

前記コンテキスト比較部が、前記コンテキスト有効/無効情報を参照し、当該コンテキスト有効/無効情報が有効であれば前記コンテキストの比較を行なう一方、当該コンテキスト有効/無効情報が無効であれば前記コンテキストの比較を行わないことを特徴とする、付記 11 記載の情報処理装置。

10

【0084】

(付記 13)

仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するアドレス変換用バッファと、スレッド毎に得られた仮想アドレスを物理アドレスに変換すべく前記アドレス変換用バッファに保持された当該仮想アドレスに対応するアドレス変換対を検索する検索部とをそなえた、マルチスレッド方式で動作する情報処理装置におけるマルチヒット制御方法であって、

20

前記検索部により同一のアドレス変換対が複数検索された場合に、所定の条件を満たすときには、マルチヒットの出力を抑止して、前記検索部によるアドレス変換を実行させることを特徴とする、マルチヒット制御方法。

【0085】

(付記 14)

仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するアドレス変換用バッファと、スレッド毎に使用される仮想アドレスを物理アドレスに変換すべく前記アドレス変換用バッファに保持された当該仮想アドレスに対応するアドレス変換対を検索する検索部とをそなえた、マルチスレッド方式で動作する情報処理装置におけるマルチヒット制御方法であって、

30

前記アドレス変換用バッファに保持された前記アドレス変換対に当該アドレス変換対を登録したスレッドを示すスレッド情報を付加するとともに、

前記検索部により、変換すべき仮想アドレスと同一の仮想アドレスについてのアドレス変換対が複数検索された場合に、前記検索部によって検索された複数のアドレス変換対に付加された複数のスレッド情報のうち 2 以上のスレッド情報が同一か否かを判断し、

前記判断の結果、前記複数のスレッド情報が異なっていると判断された場合には、マルチヒットの出力を抑止して前記検索部によるアドレス変換を実行することを特徴とする、マルチヒット制御方法。

【0086】

(付記 15)

前記判断の結果、前記複数のスレッド情報のうち 2 以上の前記スレッド情報が同一であると判断された場合には、マルチヒットを出力することを特徴とする、付記 14 記載のマルチヒット制御方法。

40

(付記 16)

仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するアドレス変換用バッファと、スレッド毎に得られた仮想アドレスを物理アドレスに変換すべく前記アドレス変換用バッファに保持された当該仮想アドレスに対応するアドレス変換対を検索する検索部とをそなえた、マルチスレッド方式で動作する情報処理装置におけるマルチヒット制御方法であって、

前記アドレス変換用バッファに保持された前記アドレス変換対に当該アドレス変換対を

50

登録したスレッドを示すスレッド情報を付加するとともに、

変換すべき仮想アドレスと同一の仮想アドレスについてのアドレス変換対が複数検索された場合に、前記検索部によって検索された前記複数のアドレス変換対に付加された前記スレッド情報を比較し、

前記比較の結果、前記複数のアドレス変換対に付加された前記スレッド情報のうち少なくとも2つのスレッド情報が同一であった場合には、マルチヒットを出力する一方、

前記比較の結果、前記複数のアドレス変換対に付加された前記スレッド情報が同一でなかった場合には、マルチヒットを出力せずに前記検索部によるアドレス変換を実行することを特徴とする、マルチヒット制御方法。

【0087】

(付記17)

仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するアドレス変換用バッファと、スレッド毎に使用される仮想アドレスと当該仮想アドレスに対応する物理アドレスとを前記アドレス変換対として前記アドレス変換用バッファに登録するエントリ部と、該エントリ部により前記アドレス変換対に登録する際に、該エントリ部により登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスを前記アドレス変換用バッファから検索する検索部とをそなえた、マルチスレッド方式で動作する情報処理装置におけるマルチヒット制御方法であって、

前記検索部により、前記エントリ部によって登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスが検索された場合に、前記エントリ部による前記アドレス変換対の前記アドレス変換用バッファへの登録を中止することを特徴とする、マルチヒット制御方法。

【0088】

(付記18)

前記アドレス変換用バッファに保持された前記アドレス変換対に当該アドレス変換対に登録したスレッドを示すスレッド情報を付加するとともに、

前記検索部により前記エントリ部によって登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスが前記アドレス変換用バッファから検索された場合に、前記検索部によって検索された仮想アドレスについての前記アドレス変換対に付加された前記スレッド情報と、前記エントリ部によって登録されるアドレス変換対の仮想アドレスを使用するスレッドとを比較し、

前記比較の結果、前記検索部によって検索された仮想アドレスについての前記アドレス変換対に付加された前記スレッド情報と、前記エントリ部によって登録されるアドレス変換対の仮想アドレスを使用するスレッドとが同一であった場合には、前記エントリ部による前記アドレス変換対の前記アドレス変換用バッファへの登録を実行する一方、

前記比較の結果、前記スレッド情報と前記スレッドとが同一でなかった場合には、前記エントリ部による前記アドレス変換対の前記アドレス変換用バッファへの登録を中止することを特徴とする、付記17記載のマルチヒット制御方法。

【0089】

(付記19)

仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するアドレス変換用バッファと、スレッド毎に使用される仮想アドレスと当該仮想アドレスに対応する物理アドレスとを前記アドレス変換対として前記アドレス変換用バッファに登録するエントリ部と、該エントリ部により前記アドレス変換対に登録する際に、該エントリ部により登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスを前記アドレス変換用バッファから検索する検索部とをそなえた、マルチスレッド方式で動作する情報処理装置におけるマルチヒット制御方法であって、

前記アドレス変換用バッファに保持された前記アドレス変換対に当該アドレス変換対に登録したスレッドを示すスレッド情報を付加するとともに、

前記検索部により、前記エントリ部によって登録されるアドレス変換対の仮想アドレス

10

20

30

40

50

と同一の仮想アドレスが前記アドレス変換用バッファから検索され、且つ前記検索部によって検索された仮想アドレスについてのアドレス変換対に付加された前記スレッド情報と前記エントリ部によって登録されるアドレス変換対の仮想アドレスを使用するスレッドとが同一でなかった場合には、前記エントリ部による前記アドレス変換対の前記アドレス変換用バッファへの登録を中止することを特徴とする、マルチヒット制御方法。

【0090】

(付記20)

前記検索部により、前記エントリ部によって登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスが前記アドレス変換用バッファから検索され、且つ前記検索部によって検索された仮想アドレスについてのアドレス変換対に付加された前記スレッド情報と前記エントリ部によって登録されるアドレス変換対の仮想アドレスを使用するスレッドとが同一であった場合には、前記エントリ部による前記アドレス変換対の前記アドレス変換用バッファへの登録を実行することを特徴とする、付記18記載のマルチヒット制御方法。

10

【0091】

(付記21)

仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するとともに、前記アドレス変換対を登録したスレッドを示すスレッド情報を保持するアドレス変換用バッファをそなえた、マルチスレッド方式で動作する情報処理装置において、マルチヒットの出力を制御する機能をコンピュータに実現させるためのマルチヒット制御プログラムであって、

20

スレッド毎に使用される仮想アドレスを物理アドレスに変換すべく当該仮想アドレスと同一の仮想アドレスについてのアドレス変換対を前記アドレス変換用バッファから検索する検索部、

前記検索部により変換すべき仮想アドレスと同一の仮想アドレスについてのアドレス変換対が複数検索された場合に、前記検索部によって検索された複数のアドレス変換対に対応する複数のスレッド情報のうち2以上の前記スレッド情報が同一か否かを判断する判断部、及び、

該判断部によって前記複数のスレッド情報が異なっていると判断された場合には、マルチヒットの出力を抑制して前記検索部によるアドレス変換を実行させる一方、前記判断部によって前記複数のスレッド情報のうち2以上の前記スレッド情報が同一であると判断された場合には、マルチヒットを出力するマルチヒット制御部として、前記コンピュータを機能させることを特徴とする、マルチヒット制御プログラム。

30

【0092】

(付記22)

仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するとともに、前記アドレス変換対を登録したスレッドを示すスレッド情報を保持するアドレス変換用バッファをそなえた、マルチスレッド方式で動作する情報処理装置において、マルチヒットの出力を制御する機能をコンピュータに実現させるためのマルチヒット制御プログラムを記録したコンピュータ読取可能な記録媒体であって、

40

前記マルチヒット制御プログラムが、

スレッド毎に使用される仮想アドレスを物理アドレスに変換すべく当該仮想アドレスと同一の仮想アドレスについてのアドレス変換対を前記アドレス変換用バッファから検索する検索部、

前記検索部により変換すべき仮想アドレスと同一の仮想アドレスについてのアドレス変換対が複数検索された場合に、前記検索部によって検索された複数のアドレス変換対に対応する複数のスレッド情報のうち2以上の前記スレッド情報が同一か否かを判断する判断部、及び、

該判断部によって前記複数のスレッド情報が異なっていると判断された場合には、マルチヒットの出力を抑制して前記検索部によるアドレス変換を実行させる一方、前記判断部

50

によって前記複数のスレッド情報のうち2以上の前記スレッド情報が同一であると判断された場合には、マルチヒットを出力するマルチヒット制御部として、前記コンピュータを機能させることを特徴とする、マルチヒット制御プログラムを記録したコンピュータ読取可能な記録媒体。

【0093】

(付記23)

仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するとともに、前記アドレス変換対を登録したスレッドを示すスレッド情報を保持するアドレス変換用バッファをそなえた、マルチスレッド方式で動作する情報処理装置において、マルチヒットの出力を制御する機能をコンピュータに実現させるためのマルチヒット制御プログラムであって、

10

スレッド毎に使用される仮想アドレスと当該仮想アドレスに対応する物理アドレスとを前記アドレス変換対として前記アドレス変換用バッファに登録するエントリ部、

該エントリ部により前記アドレス変換対を登録する際に、登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスを前記アドレス変換用バッファから検索する検索部、及び、

前記検索部により、前記エントリ部によって登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスが前記アドレス変換用バッファから検索され、且つ前記検索部によって検索された前記アドレス変換対に対応するスレッド情報と前記エントリ部によって登録されるアドレス変換対の仮想アドレスを使用するスレッドとが同一でなかった場合には、前記エントリ部による前記アドレス変換対の前記アドレス変換用バッファへの登録を中止させる一方、前記検索部により、前記エントリ部によって登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスが前記アドレス変換用バッファから検索され、且つ前記検索部によって検索された前記アドレス変換対に対応するスレッド情報と前記エントリ部によって登録されるアドレス変換対の仮想アドレスを使用するスレッドとが同一であった場合には、前記エントリ部による前記アドレス変換対の前記アドレス変換用バッファへの登録を実行させるエントリ制御部として、前記コンピュータを機能させることを特徴とする、マルチヒット制御プログラム。

20

【0094】

(付記24)

仮想アドレスと物理アドレスとの対応を示すアドレス変換対を保持するとともに、前記アドレス変換対を登録したスレッドを示すスレッド情報を保持するアドレス変換用バッファをそなえた、マルチスレッド方式で動作する情報処理装置において、マルチヒットの出力を制御する機能をコンピュータに実現させるためのマルチヒット制御プログラムを記録したコンピュータ読取可能な記録媒体であって、

30

前記マルチヒット制御プログラムが、

スレッド毎に使用される仮想アドレスと当該仮想アドレスに対応する物理アドレスとを前記アドレス変換対として前記アドレス変換用バッファに登録するエントリ部、

該エントリ部により前記アドレス変換対を登録する際に、登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスを前記アドレス変換用バッファから検索する検索部、及び、

40

前記検索部により、前記エントリ部によって登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスが前記アドレス変換用バッファから検索され、且つ前記検索部によって検索された前記アドレス変換対に対応するスレッド情報と前記エントリ部によって登録されるアドレス変換対の仮想アドレスを使用するスレッドとが同一でなかった場合には、前記エントリ部による前記アドレス変換対の前記アドレス変換用バッファへの登録を中止させる一方、前記検索部により、前記エントリ部によって登録されるアドレス変換対の仮想アドレスと同一の仮想アドレスが前記アドレス変換用バッファから検索され、且つ前記検索部によって検索された前記アドレス変換対に対応するスレッド情報と前記エントリ部によって登録されるアドレス変換対の仮想アドレスを使用するスレッドとが同一であって

50

た場合には、前記エントリ部による前記アドレス変換対の前記アドレス変換用バッファへの登録を実行させるエントリ制御部として、前記コンピュータを機能させることを特徴とする、マルチヒット制御プログラムを記録したコンピュータ読取可能な記録媒体。

【図面の簡単な説明】

【0095】

【図1】本発明の第1実施形態としての情報処理装置の構成を示すブロック図である。

【図2】本発明の第1実施形態としての情報処理装置のアドレス変換用バッファに保持されるアドレス変換対を説明するための図である。

【図3】本発明の第1実施形態としての情報処理装置の検索部及びスレッド比較部を説明するための図である。

10

【図4】本発明の第1実施形態としてのマルチヒット制御方法を説明するための図である。

【図5】本発明の第2実施形態としての情報処理装置の構成を示すブロック図である。

【図6】本発明の第2実施形態としての情報処理装置の検索部及びスレッド比較部を説明するための図である。

【図7】本発明の第2実施形態としてのマルチヒット制御方法の手順を説明するためのフローチャートである。

【図8】従来の情報処理装置によるマルチヒット検出方法を説明するための図である。

【図9】従来のマルチスレッド方式を採用した情報処理装置において複数のスレッド間でTLBを共有した場合に発生する不要なマルチヒットの発生原因を説明するためのフローチャートである。

20

【符号の説明】

【0096】

1, 100 情報処理装置

10 演算部(CPU)

20 命令処理部

30 アドレス変換制御部(MMU)

31 アドレス変換用バッファ(TLB)

32, 37 検索部

32a, 37a アドレス比較部

30

32b, 37b コンテキスト比較部

33, 38 スレッド比較部

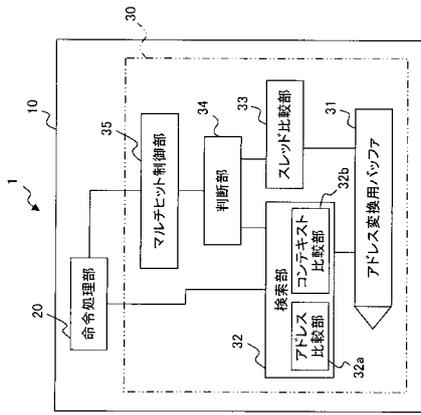
34, 39 判断部

35 マルチヒット制御部

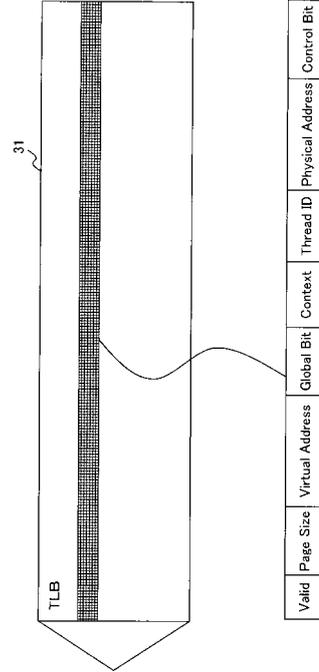
36 エントリ部

40 エントリ制御部

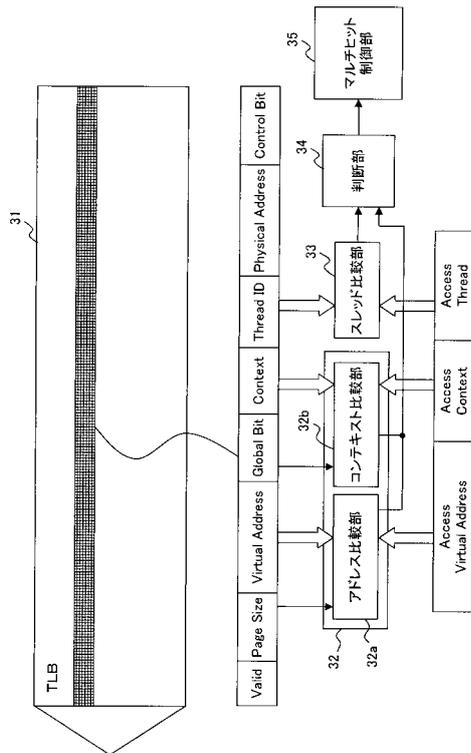
【図 1】



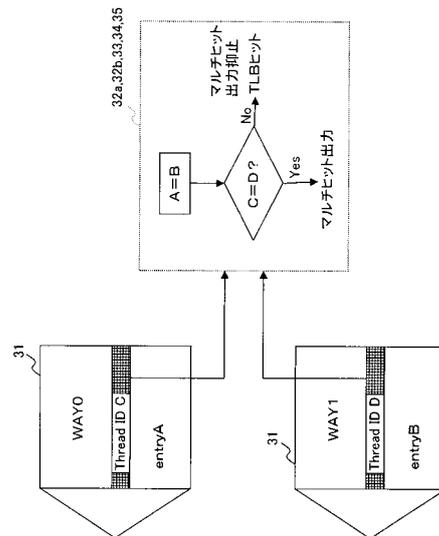
【図 2】



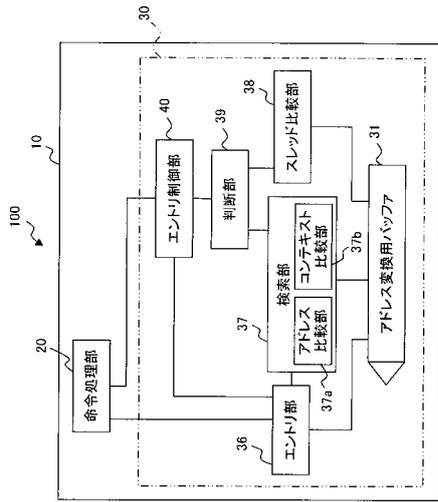
【図 3】



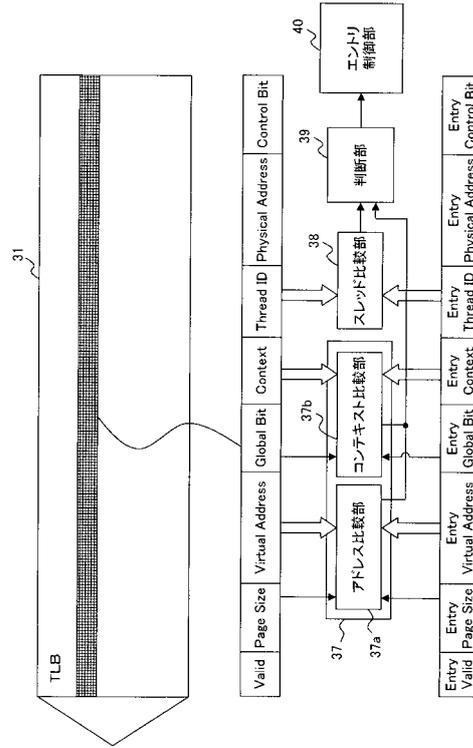
【図 4】



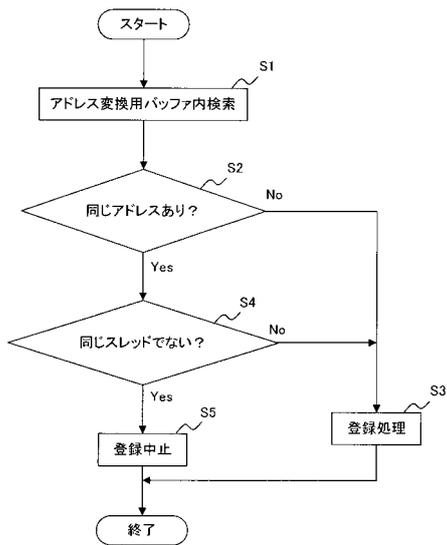
【図5】



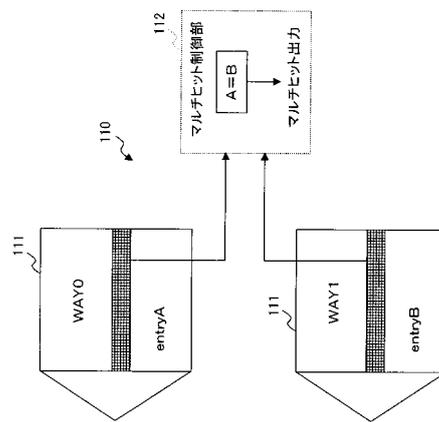
【図6】



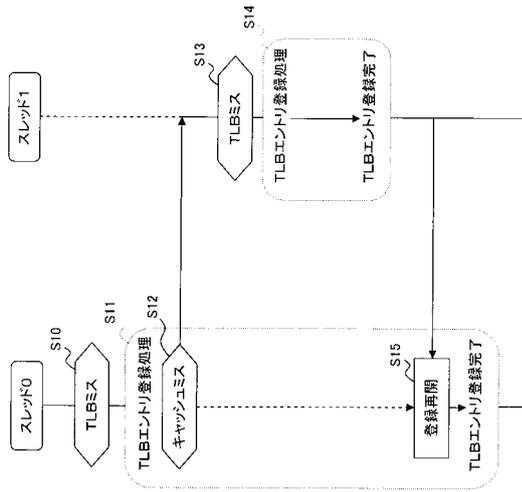
【図7】



【図8】



【 図 9 】



フロントページの続き

Fターム(参考) 5B005 JJ11 MM51  
5B098 GA05