

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4734514号
(P4734514)

(45) 発行日 平成23年7月27日(2011.7.27)

(24) 登録日 平成23年5月13日(2011.5.13)

(51) Int. Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/20 (2006.01)	G09G 3/20 623A
G09G 3/30 (2006.01)	G09G 3/20 623F
G02F 1/133 (2006.01)	G09G 3/20 623G
	G09G 3/20 623H
請求項の数 13 (全 17 頁) 最終頁に続く	

(21) 出願番号	特願2006-301494 (P2006-301494)	(73) 特許権者	510134581
(22) 出願日	平成18年11月7日(2006.11.7)		奇美電子股▲ふん▼有限公司
(65) 公開番号	特開2007-140511 (P2007-140511A)		Chimei Innolux Corp oration
(43) 公開日	平成19年6月7日(2007.6.7)		台湾苗栗縣竹南鎮科學路160號 新竹 科學工業園區
審査請求日	平成18年11月7日(2006.11.7)		No. 160 Kesyue Rd., C hu-Nan Site, Hsinchu Science Park, Chu-N an 350, Miao-Li Coun ty, Taiwan,
(31) 優先権主張番号	60/737, 648	(74) 代理人	230104019
(32) 優先日	平成17年11月17日(2005.11.17)		弁護士 大野 聖二
(33) 優先権主張国	米国 (US)	(74) 代理人	100106840
(31) 優先権主張番号	11/380, 007		弁理士 森田 耕司
(32) 優先日	平成18年4月25日(2006.4.25)		
(33) 優先権主張国	米国 (US)		
最終頁に続く			

(54) 【発明の名称】 駆動電圧をディスプレイパネルに提供するシステム

(57) 【特許請求の範囲】

【請求項1】

第1のスイッチ信号、第2のスイッチ信号、及び第3のスイッチ信号を出力するタイミングコントローラと、

各々が、データバスからのデータ信号に従って、アナログ電圧を生成して第1の画素及び第2の画素を駆動する複数の駆動ユニットと、

第1の制御信号及び第2の制御信号を出力する水平シフトレジスタと、
を含む、映像を表示するシステムであって、

前記複数の駆動ユニットの各々は、

並列に設けられた複数の第1のサンプリングラッチと、

並列に設けられた複数の第2のサンプリングラッチと、

並列に設けられた複数の第1のホールドラッチと、

並列に設けられた複数の第2のホールドラッチと、

前記第1の制御信号に基づいて、前記データバスと前記複数の第1のサンプリングラッチの各々とをそれぞれ接続する複数の第1のスイッチ素子と、

前記第2の制御信号又は前記第3のスイッチ信号に基づいて、前記複数の第1のサンプリングラッチの各々と前記複数の第1のサンプリングラッチの各々に対応する前記複数の第2のサンプリングラッチの各々とをそれぞれ接続する複数の第2のスイッチ素子と

、

前記第2のスイッチ信号に基づいて、前記第2のサンプリングラッチの各々と前記

第2のサンプリングラッチの各々に対応する前記複数の第1のホールドラッチの各々とをそれぞれ接続する複数の第3のスイッチ素子と、

前記第1のスイッチ信号に基づいて、前記第1のホールドラッチの各々と前記第1のホールドラッチの各々に対応する前記複数の第2のホールドラッチの各々とをそれぞれ接続する複数の第4のスイッチ素子と、

を含む暫時記憶装置と、

前記暫時記憶装置に結合され、前記第2のホールドラッチから出力されるデジタルデータを順にアナログ電圧に転換するデジタル - アナログ (DA) 転換ユニットと、

前記デジタル - アナログ (DA) 転換ユニットからの前記アナログ電圧を一時的に蓄えるアナログバッファユニットと、

イネーブル信号に従って、第1の画素又は第2の画素のいずれかに前記アナログ電圧を選択的に出力するデマルチプレクサとを含み、

前記暫時記憶装置は、第1周期において、前記第1の制御信号及び前記第2の制御信号に基づいて、それぞれ前記第1のスイッチ素子及び前記第2のスイッチ素子をオンにすることで、前記複数の第2のサンプリングラッチに前記第1の画素のデータ信号をラッチし、その後、前記第1の制御信号及び前記第2の制御信号に基づいて、それぞれ前記第2のスイッチ素子をオフにするとともに前記第1のスイッチ素子をオンに維持することで、前記複数の第1のサンプリングラッチに前記第2の画素のデータ信号をラッチし、第2周期において、前記第2のスイッチ信号及び前記第1のスイッチ信号によりそれぞれ前記第3のスイッチ素子及び前記第4のスイッチ素子を制御することで、前記第1の画素のデータ信号及び前記第2の画素のデータ信号をこの順に前記複数の第2のホールドラッチから前記デジタル - アナログ (DA) 転換ユニットに出力する

ことを特徴とするシステム。

【請求項2】

更に、シンクロナイザーを含み、

前記タイミングコントローラは、クロック信号を生成して前記シンクロナイザーに出力し、

前記シンクロナイザーは、前記データ信号と前記クロック信号を同期させることを特徴とする請求項1に記載のシステム。

【請求項3】

更に、ディスプレイパネルを含み、前記複数の駆動ユニットは、前記ディスプレイパネルの一部分であることを特徴とする請求項1に記載のシステム。

【請求項4】

更に、電子装置を含み、前記電子装置は、

前記ディスプレイパネルと、

前記ディスプレイパネルに給電し、イメージを表示する電源と、

からなることを特徴とする請求項3に記載のシステム。

【請求項5】

前記システムは、PDA、ディスプレイモニター、ノート型パソコン、デジタルカメラ、カーディスプレイ、タブレット型PC、或いは、携帯電話等の装置であることを特徴とする請求項4に記載のシステム。

【請求項6】

前記ディスプレイパネルは、有機発光パネル、エレクトロルミネセントパネル、或いは、LCDパネルであることを特徴とする請求項3に記載のシステム。

【請求項7】

第1のスイッチ信号、第2のスイッチ信号、及び第3のスイッチ信号を出力するタイミングコントローラと、

データバスからのデータ信号に従って、アナログ電圧を生成して第1の画素及び第2の画素を駆動する少なくとも一つの駆動ユニットと、

第1の制御信号及び第2の制御信号を出力する水平シフトレジスタと、

を含む、映像を表示するシステムであって、
前記少なくとも一つの駆動ユニットは、

並列に設けられた複数の第1のサンプリングラッチと、
並列に設けられた複数の第2のサンプリングラッチと、
並列に設けられた複数の第1のホールドラッチと、
並列に設けられた複数の第2のホールドラッチと、

前記第1の制御信号に基づいて、前記データバスと前記複数の第1のサンプリングラッチの各々とをそれぞれ接続する複数の第1のスイッチ素子と、

前記第2の制御信号又は前記第3のスイッチ信号に基づいて、前記複数の第1のサンプリングラッチの各々と前記複数の第1のサンプリングラッチの各々に対応する前記複数の第2のサンプリングラッチの各々とをそれぞれ接続する複数の第2のスイッチ素子と、

10

前記第2のスイッチ信号に基づいて、前記第2のサンプリングラッチの各々と前記第2のサンプリングラッチの各々に対応する前記複数の第1のホールドラッチの各々とをそれぞれ接続する複数の第3のスイッチ素子と、

前記第1のスイッチ信号に基づいて、前記第1のホールドラッチの各々と前記第1のホールドラッチの各々に対応する前記複数の第2のホールドラッチの各々とをそれぞれ接続する複数の第4のスイッチ素子と、

を含む暫時記憶装置と、

前記暫時記憶装置に結合され、前記第2のホールドラッチから出力されるデータ信号を順にアナログ電圧に転換するデジタル - アナログ (DA) 転換ユニットと、

20

前記デジタル - アナログ (DA) 転換ユニットからの前記アナログ電圧を一時的に蓄えるアナログバッファユニットと、

イネーブル信号に従って、第1の画素又は第2の画素のいずれかに前記アナログ電圧を選択的に出力するデマルチプレクサとを含み、

前記暫時記憶装置は、第1周期において、前記第1の制御信号及び前記第2の制御信号に基づいて、それぞれ前記第1のスイッチ素子及び前記第2のスイッチ素子をオンにすることで、前記複数の第2のサンプリングラッチに前記第1の画素のデータ信号をラッチし、その後、前記第1の制御信号及び前記第2の制御信号に基づいて、それぞれ前記第2のスイッチ素子をオフにするとともに前記第1のスイッチ素子をオンに維持することで、前記複数の第1のサンプリングラッチに前記第2の画素のデータ信号をラッチし、第2周期において、前記第2のスイッチ信号及び前記第1のスイッチ信号によりそれぞれ前記第3のスイッチ素子及び前記第4のスイッチ素子を制御することで、前記第1の画素のデータ信号及び前記第2の画素のデータ信号をこの順に前記複数の第2のホールドラッチから前記デジタル - アナログ (DA) 転換ユニットに出力することを特徴とするシステム。

30

【請求項8】

前記暫時記憶装置は、前記第1周期に、前記第1の制御信号により前記第1のスイッチ素子を導通し、かつ前記第2の制御信号により前記第2のスイッチ素子を導通することで、前記複数の第2のサンプリングラッチに前記第1の画素のデータ信号をラッチし、その後、前記第1の制御信号により前記第1のスイッチ素子を導通し、かつ前記第2の制御信号により前記第2のスイッチ素子を不導通にすることで、前記第2の画素のデータ信号を前記第1のサンプリングラッチにラッチすることを特徴とする請求項7に記載のシステム。

40

【請求項9】

前記暫時記憶装置は、前記第2周期に、前記第2のスイッチ信号により前記第3のスイッチ素子を導通し、かつ前記第1のスイッチ信号により前記第4のスイッチ素子を導通することで、前記複数の第2のホールドラッチに前記第1の画素のデータ信号をラッチするとともに、前記デジタル - アナログ (DA) 転換ユニットに出力し、その後、前記第2のスイッチ信号により前記第3のスイッチ素子を導通し、かつ前記第3のスイッチ信号により

50

前記第2のスイッチ素子を導通することで、前記第2の画素のデータ信号を前記第1のホールドラッチにラッチすることを特徴とする請求項8に記載のシステム。

【請求項10】

前記暫時記憶装置は、前記第2周期に、前記第1のスイッチ信号により前記第4のスイッチ素子を導通し、前記第2の画素のデータ信号を前記第2のホールドラッチにラッチするとともに、前記デジタル-アナログ(DA)転換ユニットに出力することを特徴とする請求項9に記載のシステム。

【請求項11】

前記第2周期に、前記駆動ユニットは、前記第1の画素のデータ信号に基づく前記アナログ電圧及び前記第2の画素のデータ信号に基づく前記アナログ電圧をそれぞれ対応する画素に順に出力し、ともに、前記駆動ユニットは、前記第1の画素の次のデータ信号と第2の画素の次のデータ信号を順に受信することを特徴とする請求項10に記載のシステム。

10

【請求項12】

前記駆動ユニットに必要な幅はダブルRGB画素ピッチ(2PP)より小さいことを特徴とする請求項7に記載のシステム。

【請求項13】

前記第1の画素と前記第2の画素は、互いに近接して画素アレイ中に位置することを特徴とする請求項11に記載のシステム。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、ディスプレイパネルに関するものである。

【背景技術】

【0002】

液晶ディスプレイ(LCD)は、例えば、計算機、腕時計、カラーテレビ、コンピュータモニター、及び、その他の電子装置等、様々なアプリケーションに使用されている。最もよく見られるLCDはアクティブマトリクスLCDである。公知のアクティブマトリクスLCD中、各ピクチャエレメント(或いは、画素)は、薄膜トランジスタ(TFT)のマトリクス、及び、一つ、或いは、それ以上のキャパシタを用いて対応する。画素は、複数の行と列を有するアレイに配列、配線される。

30

【0003】

特定の画素を操作する時、特定の行のスイッチングTFTが“オン”に切り換わり(電圧が充電される)、その後、対応する列上にデータ電圧を送出する。他の交差行はオフに切り換わるので、特定画素上のキャパシタだけが充電データを受信する。この印加電圧に対応するため、画素上の液晶セルはその極性を変化させ、よって、画素から反射する、或いは、画素を通過する光線量が変化する。画素の液晶セルにおいて、印加電圧の大きさが、画素からの反射光、或いは、通過光の量を決定する。

【0004】

更に、システムオンガラス(System-on-glass)LCDは、様々なLCD駆動回路と機能を統合し、よって、外部の集積回路(IC)を必要とせず、低コスト、コンパクト、高信頼度のディスプレイを提供する。LCD等の集積駆動回路は、画素の行を選択する垂直駆動回路と、ディスプレイデータを選択した行の各画素に書き込む水平駆動回路と、からなる。

40

【0005】

図1Aで示されるように、低温ポリシリコン(LTPS)工程の設計法則の制限により、各RGB画素のために、公知のダブルRGB画素ピッチ(double RGB pixel pitch)(2PP)は、各RGB画素中、一組のRGBアナログバッファとRGBデジタル-アナログコンバータ(DAC)を必要とする。例えば、サンプリングラッチは、水平シフトレジスタにより提供される制御信号に従って、デジタルデータバスDDBから、データ信号をサンプリングし、サンプリングラッチ(sampling latch)のサンプルデータは、イネーブル信号OEに従って、対応する

50

ホールドラッチ (holding latch) に出力される。ホールドラッチ中のデータ信号はRGBアナログ信号に転換されて、対応するRGBアナログバッファにより、対応する画素に出力される。よって、ディスプレイパネルは、図1Bで示されるように、フレーム領域の上下領域上に配置される二つの水平駆動回路を必要とする。

【0006】

図2Aで示されるように、もう一つの水平駆動回路は小さい面積で、その操作タイミングチャートが図2Bで示される。図で示されるように、サンプリングラッチは、水平シフトレジスタにより提供される制御信号に従って、デジタルデータバスDDBから、RGBデータ信号をサンプリングし、サンプリングラッチ中のサンプリングデータは、イネーブル信号OEに従って、対応するホールドラッチに出力される。ホールドラッチ中のRデータ信号、Gデータ信号、及び、Bデータ信号は、データイネーブル信号DEとデマルチプレクサに従って、一つのDAコンバータにより順にRGBアナログ信号に転換され、一つのアナログバッファにより、対応するRGB画素に出力される。即ち、一つのDAコンバータと一アナログバッファがRGB画素に割り当てられ、これにより、水平駆動回路が占有する面積を減少させる。しかし、サンプリング、及び、ホールドラッチがRGB画素駆動回路の配置の幅を支配するので、この回路中、各RGB画素駆動回路は、ダブルRGB画素ピッチ (2PP) を必要とする。

【発明の開示】

【発明が解決しようとする課題】

【0007】

上述の問題を解決するために、本発明は、駆動電圧をディスプレイパネルに提供するシステム、及び、方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

ディスプレイパネルの駆動電圧を提供するシステムが開示される。本システムの具体例は、第1のスイッチ信号、第2のスイッチ信号、及び第3のスイッチ信号を出力するタイミングコントローラと、各々が、データバスからのデータ信号に従って、アナログ電圧を生成して第1の画素及び第2の画素を駆動する複数の駆動ユニットと、第1の制御信号及び第2の制御信号を出力する水平シフトレジスタとを含む、映像を表示するシステムであって、前記複数の駆動ユニットの各々は、並列に設けられた複数の第1のサンプリングラッチと、並列に設けられた複数の第2のサンプリングラッチと、並列に設けられた複数の第1のホールドラッチと、並列に設けられた複数の第2のホールドラッチと、前記第1の制御信号に基づいて、前記データバスと前記複数の第1のサンプリングラッチの各々とをそれぞれ接続する複数の第1のスイッチ素子と、前記第2の制御信号又は前記第3のスイッチ信号に基づいて、前記複数の第1のサンプリングラッチの各々と前記複数の第1のサンプリングラッチの各々に対応する前記複数の第2のサンプリングラッチの各々とをそれぞれ接続する複数の第2のスイッチ素子と、前記第2のスイッチ信号に基づいて、前記第2のサンプリングラッチの各々と前記第2のサンプリングラッチの各々に対応する前記複数の第1のホールドラッチの各々とをそれぞれ接続する複数の第3のスイッチ素子と、前記第1のスイッチ信号に基づいて、前記第1のホールドラッチの各々と前記第1のホールドラッチの各々に対応する前記複数の第2のホールドラッチの各々とをそれぞれ接続する複数の第4のスイッチ素子と、を含む暫時記憶装置と、前記暫時記憶装置に結合され、前記第2のホールドラッチから出力されるデジタルデータを順にアナログ電圧に転換するデジタル - アナログ (DA) 転換ユニットと、前記デジタル - アナログ (DA) 転換ユニットからの前記アナログ電圧を一時的に蓄えるアナログバッファユニットと、イネーブル信号に従って、第1の画素又は第2の画素のいずれかに前記アナログ電圧を選択的に出力するデマルチプレクサとを含み、前記暫時記憶装置は、第1周期において、前記第1の制御信号及び前記第2の制御信号に基づいて、それぞれ前記第1のスイッチ素子及び前記第2のスイッチ素子をオンにすることで、前記複数の第2のサンプリングラッチに前記第1の画素のデータ信号をラッチし、その後、前記第1の制御信号及び前記第2の制御信号に基づいて、それぞれ前記第2のスイッチ素子をオフにするとともに前記第1のスイッチ素子を

10

20

30

40

50

オンに維持することで、前記複数の第1のサンプリングラッチに前記第2の画素のデータ信号をラッチし、第2周期において、前記第2のスイッチ信号及び前記第1のスイッチ信号によりそれぞれ前記第3のスイッチ素子及び前記第4のスイッチ素子を制御することで、前記第1の画素のデータ信号及び前記第2の画像のデータ信号をこの順に前記複数の第2のホールドラッチから前記デジタル - アナログ (DA) 転換ユニットに出力する。

【0009】

システムのもう一つの具体例は、第1のスイッチ信号、第2のスイッチ信号、及び第3のスイッチ信号を出力するタイミングコントローラと、データバスからのデータ信号に従って、アナログ電圧を生成して第1の画素及び第2の画素を駆動する少なくとも一つの駆動ユニットと、第1の制御信号及び第2の制御信号を出力する水平シフトレジスタとを含む、映像を表示するシステムであって、前記少なくとも一つの駆動ユニットは、並列に設けられた複数の第1のサンプリングラッチと、並列に設けられた複数の第2のサンプリングラッチと、並列に設けられた複数の第1のホールドラッチと、並列に設けられた複数の第2のホールドラッチと、前記第1の制御信号に基づいて、前記データバスと前記複数の第1のサンプリングラッチの各々とをそれぞれ接続する複数の第1のスイッチ素子と、前記第2の制御信号又は前記第3のスイッチ信号に基づいて、前記複数の第1のサンプリングラッチの各々と前記複数の第1のサンプリングラッチの各々に対応する前記複数の第2のサンプリングラッチの各々とをそれぞれ接続する複数の第2のスイッチ素子と、前記第2のスイッチ信号に基づいて、前記第2のサンプリングラッチの各々と前記第2のサンプリングラッチの各々に対応する前記複数の第1のホールドラッチの各々とをそれぞれ接続する複数の第3のスイッチ素子と、前記第1のスイッチ信号に基づいて、前記第1のホールドラッチの各々と前記第1のホールドラッチの各々に対応する前記複数の第2のホールドラッチの各々とをそれぞれ接続する複数の第4のスイッチ素子と、を含む暫時記憶装置と、前記暫時記憶装置に結合され、前記第2のホールドラッチから出力されるデータ信号を順にアナログ電圧に転換するデジタル - アナログ (DA) 転換ユニットと、前記デジタル - アナログ (DA) 転換ユニットからの前記アナログ電圧を一時的に蓄えるアナログバッファユニットと、イネーブル信号に従って、第1の画素又は第2の画素のいずれかに前記アナログ電圧を選択的に出力するデマルチプレクサとを含み、前記暫時記憶装置は、第1周期において、前記第1の制御信号及び前記第2の制御信号に基づいて、それぞれ前記第1のスイッチ素子及び前記第2のスイッチ素子をオンにすることで、前記複数の第2のサンプリングラッチに前記第1の画素のデータ信号をラッチして、その後、前記第1の制御信号及び前記第2の制御信号に基づいて、それぞれ前記第2のスイッチ素子をオフにする

とともに前記第1のスイッチ素子をオンに維持することで、前記複数の第1のサンプリングラッチに前記第2の画素のデータ信号をラッチし、第2周期において、前記第2のスイッチ信号及び前記第1のスイッチ信号によりそれぞれ前記第3のスイッチ素子及び前記第4のスイッチ素子を制御することで、前記第1の画素のデータ信号及び前記第2の画像のデータ信号をこの順に前記複数の第2のホールドラッチから前記デジタル - アナログ (DA) 転換ユニットに出力する。

【発明の効果】

【0012】

一駆動ユニットが、一組のDA転換ユニット、デジタルデータサンプリング、ホールドユニット、アナログバッファユニット、デマルチプレクサを共用することにより、二つの対応する画素を順に駆動するので、全ドライバのバッファとDAコンバータ総数が減少し、各駆動ユニットは、ダブルRGB画素ピッチ (2PP) の幅制限内で実行できる。よって、ディスプレイパネルの周辺領域の使用を減少させることができる。

【発明を実施するための最良の形態】

【0013】

ディスプレイパネルの駆動電圧を提供するシステムの具体例は図3Aと図3Bで示される

。図3Aと図3Bで示されるように、データドライバ300は、水平シフトレジスタ31、ORゲートOR1～ORN、及び、デジタルデータバスDDBに結合されるN駆動ユニット30_1～30_N、からなる。データドライバ300は、ホストシステムからのデジタルデータを受信し、対応するアナログ電圧をディスプレイの対応する画素P1～P2Nに提供する。例えば、デジタルデータは18ビット、或いは、24ビットのデジタルデータであるが、これに制限されない。

【0014】

水平シフトレジスタ31は、二組の制御信号SR1_OUT1～SR1_OUTN、及び、SR2_OUT1～SR2_OUTNを生成し、N駆動ユニット30_1～30_Nを制御する。例えば、図3Cで示される制御信号のタイミングチャートのように、水平シフトレジスタ31は、制御信号SR1_OUT1～SR1_OUTN、制御信号SR2_OUT1～SR2_OUTNを順に生成する。スイッチ信号OE1～OE3は、図5で示されるタイミングコントローラ510により提供される。本具体例において、スイッチ信号OE4は、スイッチ信号OE3と制御信号SR2_OUT1～SR2_OUTNに従って、ORゲートOR1～ORNにより生成される。

10

【0015】

各駆動ユニット30_1～30_Nは、ダブルRGB画素ピッチ(2PP)の幅の制限内で実行され、暫時記憶装置32、デジタル-アナログ(DA)転換ユニット34、アナログバッファユニット36、デマルチプレクサ38を含む。各駆動ユニットは、それぞれ、データバスDDBからのデジタルデータに従って、アナログ電圧を生成し、対応する画素P1～P2Nを順に駆動する。

20

【0016】

暫時記憶装置32は、第一週期中、制御信号SR1_OUT1とSR2_OUT1に従って、デジタルデータ(図示しない)を順に保存し、第二週期中、スイッチ信号OE1～OE3に従って、デジタルデータを出力する。暫時記憶装置32は、直列された四組のラッチ、つまり、サンプリングラッチSL1_1～SL1_m、及び、SL2_1～SL2_m、及び、ホールドラッチHL1_1～HL1_m、及び、HL2_1～HL2_m、及び、四組のスイッチ素子SW1、SW2、SW3、SW4を含む。

【0017】

スイッチ素子SW1は、デジタルデータバスDDBとサンプリングラッチSL1_1～SL1_m間に結合され、制御信号SR1_OUT1により制御される。スイッチ素子SW2は、サンプリングラッチSL1_1～SL1_mとサンプリングラッチSL2_1～SL2_m間に結合され、スイッチ信号OE4により制御される。スイッチ素子SW3は、サンプリングラッチSL2_1～SL2_mとホールドラッチHL1_1～HL1_m間に結合され、スイッチ信号OE2により制御される。スイッチ素子SW4は、ホールドラッチHL1_1～HL1_mとホールドラッチHL2_1～HL2_m間に結合され、スイッチ信号OE1により制御される。

30

【0018】

デジタル-アナログ(DA)転換ユニット34は、暫時記憶装置32からのNデジタルデータを、Nアナログ電圧に順に転換する。例えば、DA転換ユニット34は、暫時記憶装置32からの18ビット、或いは、24ビットのデジタルデータを、RGBアナログ電圧、例えば、AV1、或いは、AV2に転換し、一度で対応する画素に提供する。つまり、DA転換ユニット34は、暫時記憶装置32からのデジタルデータを、RGBアナログ電圧AV1とAV2に順に転換し、対応する画素に提供する。アナログバッファユニット36は、DA転換ユニット36からのNアナログ電圧、例えば、AV1とAV2を一時的に蓄える。デマルチプレクサ38は、イネーブル信号DEに従って、Nアナログ電圧、例えば、AV1とAV2を選択的に対応する画素に出力する。例えば、デマルチプレクサ38は、イネーブル信号に従って、アナログ電圧AV1を第一画素P1に、アナログ電圧AV2を第二画素P2に順に出力する。本具体例において、イネーブル信号は、図5で示されるタイミングコントローラ510により提供されるデータイネーブル信号である。

40

【0019】

図3Aと図3Bを参照すると、時間周期t0～t1時、制御信号SR2_OUT1が高くなるの

50

で、ORゲートOR1から出力されるスイッチ信号OE4も高くなる。制御信号SR1_OUT1とスイッチ信号OE4が高くなる時、駆動回路30_1中、スイッチ素子SW1とSW2が共にオンになり、よって、データバスDDB上のホストシステム(図示しない)からの第一デジタルデータは、駆動ユニット30_1中のラッチSL1_1~SL1_m、及び、SL2_1~SL2_mに保存される。

【0020】

時間周期t1~t2時、制御信号SR2_OUT1が低くなるので、ORゲートOR1から出力されるスイッチ信号OE4も低くなる。制御信号SR1_OUT1が高くなり、スイッチ信号OE4が低くなる時、駆動ユニット30_1中、スイッチ素子SW1は導通を維持し、スイッチ素子SW2はオフになり、これにより、データバスDDB上のホストシステムからの第二デジタルデータは、ラッチSL1_1~SL1_mに保存される。つまり、第一、及び、第二デジタルデータは、制御信号SR1_OUT1とSR2_OUT1に従って、駆動ユニット30_1のラッチSL2_1~SL2_mとSL1_1~SL1_mに保存される。

10

【0021】

時間周期t2~t3の間、制御信号SR2_OUT2が高くなるので、ORゲートOR2から出力されるスイッチ信号OE4も高くなる。制御信号SR1_OUT1とスイッチ信号OE4が高くなる時、駆動ユニット30_2中、スイッチ素子SW1とSW2は共にオンになり、これにより、データバスDDB上のホストシステムからの第三デジタルデータは、ラッチSL1_1~SL1_mとSL2_1~SL2_mに保存される。

【0022】

時間周期t3~t4の間、制御信号SR2_OUT2が低くなるので、ORゲートOR2から出力されるスイッチ信号OE4も低くなる。制御信号SR1_OUT2が高くなり、スイッチ信号OE4が低くなる時、駆動ユニット30_2中、スイッチ素子SW1は導通を維持し、スイッチ素子SW2はオフになり、これにより、データバスDDB上のホストシステムからの第四デジタルデータは、ラッチSL1_1~SL1_mとSL2_1~SL2_mに保存される。つまり、第三、及び、第四デジタルデータは、制御信号SR1_OUT2とSR2_OUT2に従って、駆動ユニット30_2のラッチSL2_1~SL2_mとSL1_1~SL1_mに保存される。

20

【0023】

時間周期t4~t5の間、データバスDDB上のホストシステムからの第五デジタルデータは、駆動ユニット30_3中のラッチSL1_1~SL1_mとSL2_1~SL2_mに保存される。時間周期t5~t6の間、データバスDDB上のホストシステムからの第六デジタルデータは、駆動ユニット30_3中のラッチSL1_1~SL1_mに保存される。つまり、第五、及び、第六デジタルデータは、制御信号SR1_OUT3とSR2_OUT3に従って、駆動ユニット30_3のラッチSL2_1~SL2_mとSL1_1~SL1_mに順に保存され、以下同様である。時間周期t7~t8の間、データバスDDB上のホストシステムからの第2N-1デジタルデータは、駆動ユニット30_N中のラッチSL1_1~SL1_mとSL2_1~SL2_mに保存される。時間周期t8~t9の間、データバスDDB上のホストシステムからの第2Nデジタルデータは、駆動ユニット30_N中のラッチSL1_1~SL1_mに保存される。つまり、第2N-1、及び、第2Nデジタルデータは、制御信号SR1_OUTNとSR2_OUTNに従って、駆動ユニット30_NのラッチSL2_1~SL2_mとSL1_1~SL1_mに順に保存される。総合すると、第一デジタルデータから第2Nデジタルデータは、第一周期T1中、水平シフトレジスタ20により提供される制御信号SR1_OUT1~SR1_OUTN、及び、SR2_OUT1~SR2_OUTNに従って、駆動ユニット30_1~30_N中のラッチに順に保存される。

30

40

【0024】

時間周期t9~t10の間、スイッチ信号OE1とOE2が共に高くなり、駆動ユニット30_1~30_3N中のスイッチ素子SW3とSW4がオンになり、これにより、駆動ユニット30_1~30_N中のラッチSL2_1~SL2_mに保存されるデジタルデータは、ホールドラッチHL2_1~HL2_mと対応するDA転換ユニット34に出力される。例えば、駆動ユニット30_1と30_2中のラッチSL2_1~SL2_m中に保存される第一、及び、第三デジタルデータは、ホールドラッチHL2_1~HL2_m、及び、対応するDA転換ユニット34に出力され、

50

以下同様である。

【 0 0 2 5 】

よって、対応するDA転換ユニット34は、受信したデジタルデータをアナログ電圧に転換し、対応するアナログバッファユニット36に出力し、対応するアナログバッファユニット36はアナログ電圧を一時的に蓄える。例えば、駆動ユニット30_1と30_2中のDA転換ユニット34は、第一、及び、第三デジタルデータをアナログ電圧AV1、及び、AV3に転換し、アナログバッファユニット36に出力し、アナログバッファユニット36は、アナログ電圧AV1とAV3を一時的に蓄え、以下同様である。

【 0 0 2 6 】

時間 t_{10} において、スイッチ信号OE1が低くなり、スイッチ素子SW4がオフになり、スイッチ素子SW3が導通を維持する。時間周期 $t_{11} \sim t_{12}$ の間、スイッチ信号OE3が高くなり、スイッチ信号OE4も高くなり、よって、スイッチ素子SW2がオンになる。スイッチ素子SW2がオンになり、スイッチ素子SW3が導通を維持する時、駆動ユニット30_1 \sim 30_N中のラッチSL11 \sim SL1mに保存されたデジタルデータは、ホールドラッチHL11 \sim HL1mに出力される。例えば、駆動ユニット30_1と30_2中のラッチSL11 \sim SL1mに保存された第二、及び、第四デジタルデータは、ホールドラッチHL11 \sim HL1mに出力され、以下同様である。

【 0 0 2 7 】

時間 t_{12} において、スイッチ信号OE2とOE3が共に低くなるので、スイッチ素子SW2とSW3は共にオフになる。時間周期 $t_{12} \sim t_{14}$ の間、データイネーブル信号DE[0]が高くなり、デマルチプレクサ38はアナログバッファユニット36中で一時的に蓄えられたアナログ電圧を対応する画素に出力する。例えば、デマルチプレクサ38は、イネーブル信号に従って、アナログ電圧AV1を画素P1に、アナログ電圧AV3を画素P3に、アナログ電圧AV2N-3を画素P2N-3に、アナログ電圧AV2N-1を画素P2N-1に出力し、以下同様である。時間 t_{14} 時、データイネーブル信号DE[0]が低くなり、デマルチプレクサ38は、アナログバッファユニット36中で一時的に蓄えられるアナログ電圧の出力を停止する。

【 0 0 2 8 】

時間周期 $t_{15} \sim t_{16}$ の間、スイッチ信号OE1は高くなり、駆動ユニット30_1 \sim 30_N中のスイッチ素子SW4はオンになり、これにより、駆動ユニット30_1 \sim 30_N中のラッチHL11 \sim HL1mに保存されたデジタルデータは、ホールドラッチHL21 \sim HL2mと対応するDA転換ユニット34に出力される。例えば、駆動ユニット30_1 \sim 30_2中のラッチHL11 \sim HL1mに保存された第二、及び、第四デジタルデータは、ホールドラッチHL21 \sim HL2mと対応するDA転換ユニット34に出力され、以下同様である。

【 0 0 2 9 】

よって、対応するDA転換ユニット34は、受信したデジタルデータをアナログ電圧に転換し、対応するアナログバッファユニット36に出力し、対応するアナログバッファユニット36はアナログ電圧を一時的に蓄える。例えば、駆動ユニット30_1と30_2中のDA転換ユニット34は、第二、第四デジタルデータをアナログ電圧AV2とAV4に転換し、アナログバッファユニット36に出力し、アナログバッファユニット36はアナログ電圧AV2とAV4を一時的に蓄え、以下同様である。

【 0 0 3 0 】

時間周期 $t_{17} \sim t_{20}$ の間、データイネーブル信号DE[1]が高くなり、デマルチプレクサ38は、アナログバッファユニット36中で一時的に蓄えられたアナログ電圧を対応する画素に出力する。例えば、デマルチプレクサ38は、イネーブル信号に従って、アナログ電圧AV2を対応する画素P2に、アナログ電圧AV4を対応する画素P4に、アナログ電圧AV2N-2を画素P2N-2に、アナログ電圧AV2Nを画素P2Nに出力し、以下同様である。 t_{20} において、データイネーブル信号DE[1]が低くなり、デマルチプレクサ38は、アナログバッファユニット36中で一時的に蓄えられたアナログ電圧の出力を停止する。

【 0 0 3 1 】

10

20

30

40

50

時間周期 $t_9 \sim t_{20}$ 中、駆動ユニット $30_1 \sim 30_2$ は、アナログ電圧を対応する画素に出力し、周期 $t_{13} \sim t_{21}$ 中、新しいデジタルデータをラッチ $SL_{11} \sim SL_{1m}$ 及び $SL_{21} \sim SL_{2m}$ に保存する。操作は、周期 T_1 と同様であり、詳述を省略する。即ち、周期 T_2 中、駆動ユニット $30_1 \sim 30_N$ は、 $2N$ アナログ電圧を対応する画素 $P_1 \sim P_{2N}$ に出力し、新しいデジタルデータを受信する。

【0032】

本具体例において、一つの駆動ユニットが、一組のDA転換ユニット、デジタルデータサンプリング、ホールドユニット、アナログバッファユニット、デマルチプレクサを共用することにより、二つの対応する画素を順に駆動するので、全ドライバのバッファとDAコンバータ総数が減少し、各駆動ユニットは、ダブルRGB画素ピッチ（2PP）の幅制限内で実行できる。よって、ディスプレイパネルの周辺領域の使用を減少させることができる。

10

【0033】

図4Aと図4Bは、駆動電圧をディスプレイパネルに提供するシステム的具体例を示す。図で示されるように、データドライバ400は、水平シフトレジスタ41、ORゲートOR1"~OR2N"、デジタルデータバスDDBに結合されるN駆動ユニット40_1~40_N、を含む。データドライバは、ホストシステムからのデジタルデータを受信し、対応するアナログ電圧を、ディスプレイパネルの対応する画素 $P_1 \sim P_{3N}$ に提供する。

【0034】

水平シフトレジスタ41は、三組の制御信号 $SR_{1_OUT1} \sim SR_{1_OUTN}$ 、 $SR_{2_OUT1} \sim SR_{2_OUTN}$ 、及び、 $SR_{3_OUT1} \sim SR_{3_OUTN}$ を生成し、N駆動ユニット40_1~40_Nを制御する。例えば、水平シフトレジスタ41は、制御信号 $SR_{1_OUT1} \sim SR_{1_OUTN}$ 、制御信号 $SR_{2_OUT1} \sim SR_{2_OUTN}$ 、及び、 $SR_{3_OUT1} \sim SR_{3_OUTN}$ を順に生成し、制御信号のタイミングチャートが図4Bで示される。スイッチ信号 $OE_1 \sim OE_5$ は、図5で示されるタイミングコントローラ510により提供される。

20

【0035】

各駆動ユニット40_1~40_Nは、トリプルRGB画素ピッチ（3PP）の幅内で実行され、それぞれ、暫時記憶装置42、デジタル-アナログ（DA）転換ユニット44、アナログバッファユニット46、デマルチプレクサ48、からなり、データバスDDBからのデジタルデータに従って、アナログ電圧を生成し、対応する画素 $P_1 \sim P_{3N}$ を順に駆動する。

【0036】

暫時記憶装置42は、第一週期中、制御信号 SR_{1_OUT1} 、 SR_{2_OUT1} 、及び、 SR_{3_OUT1} に従って、デジタルデータ（図示しない）を順に保存し、第二周期中、スイッチ信号 $OE_1 \sim OE_5$ に従って、デジタルデータを出力する。暫時記憶装置42は、直列された六組のラッチを有し、サンプリングラッチ $SL_{11} \sim SL_{1m}$ 、 $SL_{21} \sim SL_{2m}$ 、 $SL_{31} \sim SL_{3m}$ 、及び、ホールドラッチ $HL_{11} \sim HL_{1m}$ 、 $HL_{21} \sim HL_{2m}$ 、及び、 $HL_{31} \sim HL_{3m}$ 、六組のスイッチ素子 $SW_1 \sim SW_6$ である。

30

【0037】

スイッチ素子 SW_1 は、デジタルデータバスDDBとサンプリングラッチ $SL_{11} \sim SL_{1m}$ 間に結合され、制御信号 SR_{1_OUT1} により制御される。スイッチ素子 SW_2 は、サンプリングラッチ $SL_{11} \sim SL_{1m}$ とサンプリングラッチ $SL_{21} \sim SL_{2m}$ 間に結合され、スイッチ信号 OE_6 により制御される。スイッチ素子 SW_3 は、サンプリングラッチ $SL_{21} \sim SL_{2m}$ とサンプリングラッチ $SL_{31} \sim SL_{3m}$ 間に結合され、スイッチ信号 OE_7 により制御される。スイッチ素子 SW_4 は、サンプリングラッチ $SL_{31} \sim SL_{3m}$ とホールドラッチ $HL_{11} \sim HL_{1m}$ 間に結合され、スイッチ信号 OE_3 により制御される。スイッチ素子 SW_5 は、ホールドラッチ $HL_{11} \sim HL_{1m}$ とホールドラッチ $HL_{21} \sim HL_{2m}$ 間に結合され、スイッチ信号 OE_2 により制御される。スイッチ素子 SW_6 は、ホールドラッチ $HL_{21} \sim HL_{2m}$ とホールドラッチ $HL_{31} \sim HL_{3m}$ 間に結合され、スイッチ信号 OE_1 により制御される。例えば、駆動ユニット40_1において、スイッチ信号 OE_6 は、制御信号 SR_{2_OUT1} とスイッチ信号 OE_5 に従って、ORゲートOR2"により出力され、スイッチ信号 OE_7 は、制御信号 SR_{3_OUT1} とスイッチ信号 OE_4 に従って、ORゲートOR1"により出力される。駆動ユニット40_2において、スイッチ信号

40

50

OE 6 は、制御信号SR 2_OUT 2 とスイッチ信号OE 5 に従って、ORゲートOR 4 により出力され、スイッチ信号OE 7 は、制御信号SR 3_OUT 2 とスイッチ信号OE 4 に従って、ORゲートOR 3 により出力され、以下同様である。

【 0 0 3 8 】

デジタル-アナログ (DA) 転換ユニット 4 4 は、暫時記憶装置 4 2 からのNデジタルデータを、Nアナログ電圧に順に転換する。例えば、DA転換ユニット 4 4 は、暫時記憶装置 4 2 からの 1 8 ビット、或いは、2 4 ビットのデジタルデータを、RGBアナログ電圧、例えば、AV 1、AV 2、或いは、AV 3 に転換し、一度で対応する画素に提供する。即ち、DA転換ユニット 4 4 は、暫時記憶装置 4 2 からのデジタルデータを、RGBアナログ電圧AV 1、AV 2、或いは、AV 3 に順に転換し、対応する画素P 1 ~ P 3 に提供する。アナログ転換ユニット 4 6 は、DA転換ユニット 4 4 からの、例えば、AV 1、AV 2、及び、AV 3 のNアナログ電圧を一時的に蓄える。デマルチプレクサ 4 8 は、イネーブル信号に従って、AV 1、AV 2、及び、AV 3 等のNアナログ電圧を選択的に対応する画素P 1 ~ P 3 に提供する。例えば、デマルチプレクサ 4 8 は、イネーブル信号に従って、アナログ電圧AV 1 を第一画素P 1 に、アナログ電圧AV 2 を第二画素P 2 に、及び、アナログ電圧AV 3 を第三画素P 3 に順に出力する。本具体例において、イネーブル信号は、図 5 で示されるタイミングコントローラ 5 1 0 により提供されるデータイネーブル信号である。

10

【 0 0 3 9 】

図 4 C は、図 4 A と図 4 B で示されるデータドライバの制御タイミングチャートである。データドライバの操作は図 3 A と図 3 B で示されるドライバ 3 0 0 と同様であり、詳述を省略する。簡単に言えば、第一デジタルデータから第三デジタルデータは、第一周期T 1 中、水平シフトレジスタ 4 1 により提供される制御信号SR 1_OUT 1 ~ SR 1_OUTN、SR 2_OUT 1 ~ SR 2_OUTN、及び、SR 1_OUT 1 ~ SR 1_OUTNに従って、駆動ユニット 4 0_1 ~ 4 0_N 中のラッチに順に保存される。駆動ユニット 4 0_1 ~ 4 0_N は、第二周期T 2 中、3 N アナログ電圧を対応する画素P 1 ~ P 3 N に出力し、新しいデジタルデータを受信する。

20

【 0 0 4 0 】

本具体例において、一つの駆動ユニットが、一組のDA転換ユニット、デジタルデータサンプリング、ホールドユニット、アナログバッファユニット、デマルチプレクサを共用することにより、三つの対応する画素を順に駆動するので、全ドライバのバッファとDAコンバータ総数が減少し、各駆動ユニットは、トリプルRGB画素ピッチ (3 PP) の幅制限内で実行できる。よって、ディスプレイパネルの周辺領域の使用を更に減少させることができる。

30

【 0 0 4 1 】

図 5 は、システムのもう一つの具体例、この場合、駆動電圧を供給するディスプレイを示す図である。図 5 で示されるように、ディスプレイパネル 5 0 0 は、好ましくは、SOG により一つの基板上に整合される上述のデータドライバ 3 0 0 / 4 0 0、タイミングコントローラ 5 1 0、画素アレイ 5 2 0、スキャンドライバ 5 3 0、シンクロナイザー 5 4 0 を含む。タイミングコントローラは、スイッチ信号OE 1 ~ OE 5 とイネーブル信号DEをデータドライバ 3 0 0 / 4 0 0 に提供し、クロック信号をシンクロナイザー 5 4 0 に提供する。画素アレイ 5 2 0 は、マトリクスに排列されるカラー画素、複数のデータライン、及び、複数のスキャンラインを含み、各画素はRGBサブピクセルを有する。データドライバ 3 0 0 / 4 0 0 は、アナログ駆動電圧を生成して画素アレイ 5 2 0 に提供し、ゲートドライバ 5 3 0 は、スキャン信号を画素アレイ 5 2 0 に提供し、スキャンラインが駆動されるか、或いは、中止される。画素アレイ 5 2 0 は、データドライバ 3 0 0 / 4 0 0 からのアナログ駆動電圧に従って、カラーイメージを生成する。シンクロナイザー 5 4 0 は、ホストシステムからのデジタルデータをクロック信号と同期化し、ディスプレイパネル 5 0 0 は、有機発光パネル、エレクトロルミネセントパネル、或いは、液晶ディスプレイパネルで、様々な他の技術が他の具体例に用いられる。

40

【 0 0 4 2 】

ラッチ、アナログバッファ、及び、DA転換ユニットを共用することにより、本発明のデ

50

デジタルデータドライバとLCDの具体例は、配置面積を減少させることができ、よって、効果的に配置とワイヤルーティングの困難度を排除する。ある具体例のデータドライバ中の各駆動ユニットは、ダブルRGB画素ピッチの幅制限に基づいて実行され、2つの対応する画素を駆動するか、或いは、トリプルRGB画素ピッチの幅制限に基づいて実行し、3つの対応する画素を駆動し、ディスプレイパネルは、図1Aで示される二つのデータドライバを使用するのではなく、単一データドライバを用い、N画素を駆動する。更に、ディスプレイパネルは単一データドライバだけを必要とするので、一つのシンクロナイザーだけで、ホストシステムからのデジタルデータをタイミングコントローラーからのクロック信号と同期化させ、よって、入力データを二つのデータドライバに分割するデータ処理回路は省略できる。

10

【0043】

この他、ディスプレイパネルの解像度/或いは、画素アレイ密度が増加する時、小さい画素ピッチ幅により、ラッチ、アナログバッファ、及び、DA転換ユニットのワイヤルーティングのレイアウト困難度が増加する。ある具体例において、データドライバ300の各駆動ユニットは、ダブルRGB画素ピッチの幅の制限内で、2つの対応する画素を駆動し、各データドライバ400の駆動ユニットは、トリプルRGB画素ピッチの幅の制限内で、3つの対応する画素を駆動する。各データドライバ34Aと34Bが、ドライバ300/400等のデータドライバにより実行される時、同一の配置領域下で、更に多くの画素を駆動することができ、これにより、ディスプレイパネルの解像度/或いは、画素アレイ密度が増加する。

20

【0044】

図6は、駆動電圧を提供する電子装置の具体例を示す図である。特に、電子装置600は、図5で示される上述のディスプレイパネルを使用する。電子装置600は、PDA、ノート型パソコン、タブレット型PC、携帯電話、デジタルカメラ、カーディスプレイ、或いは、ディスプレイモニター装置、等の装置である。

【0045】

一般に、電子装置600は、ハウジング610、ディスプレイパネル500、DC/DCコンバータ620、からなるが、これに限定されない。操作上、DC/DCコンバータ620は、ディスプレイパネル500に電力を供給し、ディスプレイパネル500はカラーイメージを表示する。

30

【0046】

本発明では好ましい実施例を前述の通り開示したが、これらは決して本発明に限定するものではなく、当該技術を熟知する者なら誰でも、本発明の精神と領域を脱しない範囲内で各種の変動や潤色を加えることができ、従って本発明の保護範囲は、特許請求の範囲で指定した内容を基準とする。

【図面の簡単な説明】

【0047】

【図1A】公知のデータドライバを示す図である。

【図1B】図1で示される公知データを有する公知のディスプレイパネルを示す図である。

40

【図2A】もう一つの公知のデータドライバを示す図である。

【図2B】図2Aで示されるデータドライバのタイミング制御図である。

【図3A】データドライバの具体例を示す図である。

【図3B】データドライバの具体例を示す図である。

【図3C】図3Aと図3Bで示されるデータドライバのタイミング制御図である。

【図4A】データドライバのもう一つの具体例を示す図である。

【図4B】データドライバのもう一つの具体例を示す図である。

【図4C】図4Aと図4Bで示されるデータドライバのタイミング制御図である。

【図5】ディスプレイパネルのもう一つの具体例を示す図である。

【図6】電子装置の具体例を示す図である。

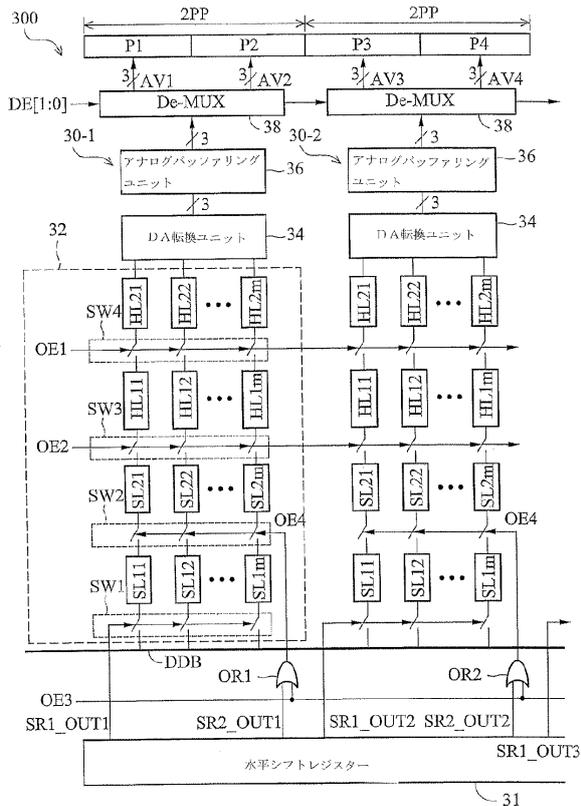
50

【符号の説明】

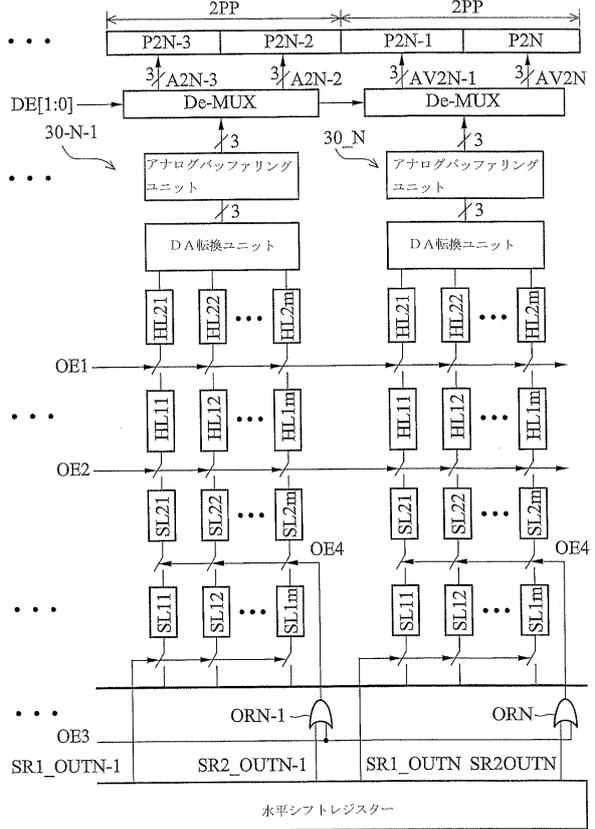
【 0 0 4 8 】

300、400	：データドライバ；	
31、41	：水平シフトレジスタ；	
32、42	：暫時記憶装置；	
34、44	：デジタル－アナログ（DA）転換ユニット	
36、46	：アナログバッファユニット；	
38、48	：デマルチプレクサ；	
500	：ディスプレイパネル；	
510	：タイミングコントローラ；	10
520	：画素アレイ；	
530	：スキャンドライバ；	
540	：シンクロナイザ；	
600	：電子装置；	
610	：ハウジング；	
620	：DC/DCコンバータ；	
DDB	：デジタルデータバス；	
OE	：イネーブル信号；	
OR1~ORN、OR1"~OR2N"	：ゲート；	
30_1~30_N、40_1~40_N	：駆動ユニット；	20
P1~P3N	：画素；	
SR1_OUT1~SR1_OUTN、SR2_OUT1~SR2_OUTN、SR3_OUT1~SR3_OUTN	：制御信号；	
OE1~OE7	：スイッチ信号；	
SL11~SL1m、SL21~SL2m、SL31~SL3m	：サンプリングラッチ；	
HL11~HL1m、HL21~HL2m、HL31~HL3m	：ホールドラッチ；	
SW1~SW6	：スイッチ素子；	
AV1~AV3N	：アナログ電圧	

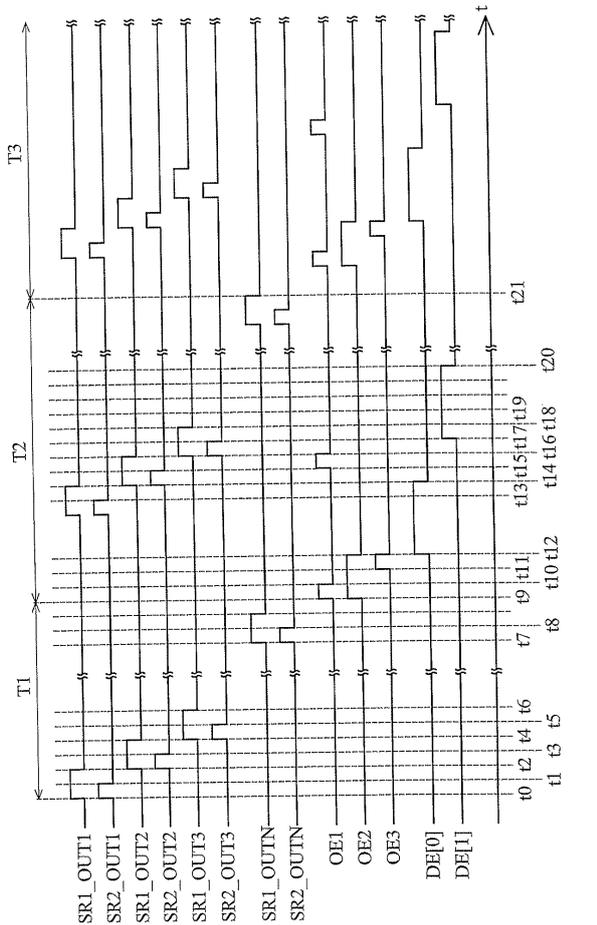
【図 3 A】



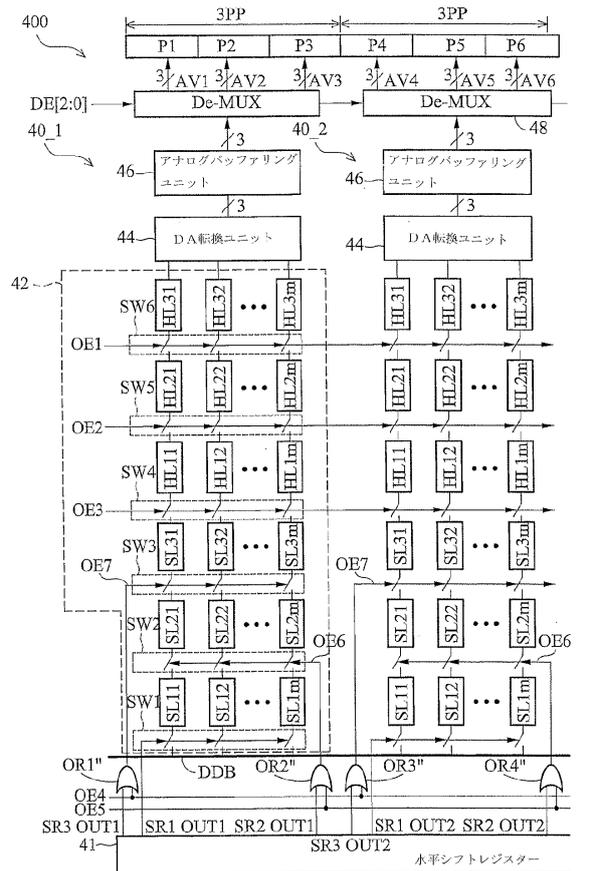
【図 3 B】



【図 3 C】



【図 4 A】



フロントページの続き

(51)Int.Cl. F I
 G 0 9 G 3/30 J
 G 0 9 G 3/20 6 2 1 M
 G 0 2 F 1/133 5 0 5

(74)代理人 100115808
 弁理士 加藤 真司

(74)代理人 100113549
 弁理士 鈴木 守

(74)代理人 100117444
 弁理士 片山 健一

(74)代理人 100131451
 弁理士 津田 理

(74)代理人 100115679
 弁理士 山田 勇毅

(72)発明者 林 敬偉
 台湾桃園縣桃園市龍山里23鄰龍山街212街

審査官 西島 篤宏

(56)参考文献 特開平11-038946(JP,A)
 特開2002-333866(JP,A)
 特開平10-319924(JP,A)
 特開2000-356975(JP,A)
 特開2002-318566(JP,A)
 特開2003-270660(JP,A)
 特開2004-272100(JP,A)
 特開2003-208132(JP,A)
 国際公開第2007/083744(WO,A1)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8
 G 0 2 F 1 / 1 3 3 5 0 5 - 5 8 0