



(12) 发明专利

(10) 授权公告号 CN 108693912 B

(45) 授权公告日 2021.05.25

(21) 申请号 201810289096.6

(51) Int.Cl.

(22) 申请日 2018.04.03

G05F 1/567 (2006.01)

(65) 同一申请的已公布的文献号
申请公布号 CN 108693912 A

审查员 李慧

(43) 申请公布日 2018.10.23

(30) 优先权数据

201741012599 2017.04.07 IN

15/856,854 2017.12.28 US

(73) 专利权人 德克萨斯仪器股份有限公司
地址 美国德克萨斯州

(72) 发明人 S·S·克利斯南

(74) 专利代理机构 北京纪凯知识产权代理有限公司 11245

代理人 徐东升 赵蓉民

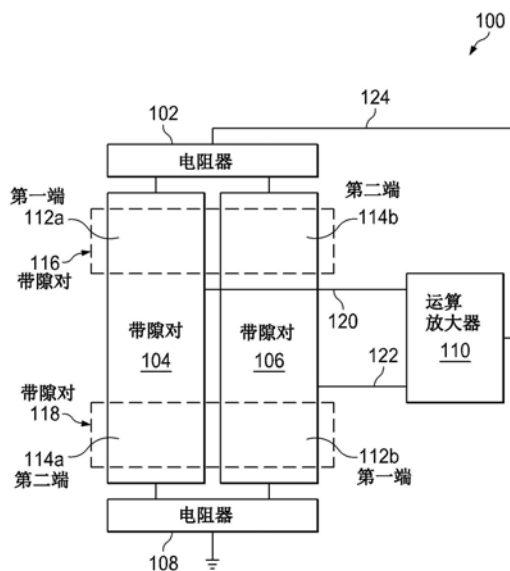
权利要求书2页 说明书5页 附图3页

(54) 发明名称

具有倒置带隙对的带隙基准电路

(57) 摘要

本申请公开了具有倒置带隙对的带隙基准电路。在一些示例中，带隙基准电路(100)包括具有多个第一二极管和位于多个第一二极管之间的第一电阻器的第一带隙对(104)。该电路还包括具有多个第二二极管和位于多个第二二极管之间的第二电阻器的第二带隙对(106)，第二带隙对是第一带隙对的倒置形式。该电路还包括耦合到第一带隙对和第二带隙对的缩放电阻器(102、108)。该电路更进一步包括耦合到第一带隙对和第二带隙对的运算放大器(110)。



1. 一种带隙基准电路,其包括:
第一带隙对,其具有多个第一二极管和位于所述多个第一二极管之间的第一电阻器;
第二带隙对,其具有多个第二二极管和位于所述多个第二二极管之间的第二电阻器,
所述第二带隙对是所述第一带隙对的倒置形式;
耦合到所述第一带隙对和所述第二带隙对的缩放电阻器;以及
耦合到所述第一带隙对和所述第二带隙对的运算放大器。
2. 根据权利要求1所述的电路,其中所述多个第一二极管包括具有短接在一起的第一基极和第一集电极的第一双极晶体管即第一BJT。
3. 根据权利要求2所述的电路,其中所述多个第一二极管包括具有经由电阻器耦合的第二基极和第二集电极的第二BJT。
4. 根据权利要求3所述的电路,其中所述运算放大器的第一输入端耦合到所述第二BJT与所述第一电阻器之间的节点。
5. 根据权利要求4所述的电路,其中所述第一BJT与所述第二带隙对中的第三BJT之间的尺寸比和所述第二BJT与所述第二带隙对中的第四BJT之间的另一尺寸比相同,所述运算放大器的第二输入端耦合到位于所述第三BJT与所述第二电阻器之间的另一节点。
6. 根据权利要求5所述的电路,其中所述缩放电阻器经由公共节点耦合到所述第二集电极和所述第四BJT的集电极。
7. 根据权利要求5所述的电路,其中所述第三BJT将其基极与集电极经由另一电阻器耦合。
8. 根据权利要求5所述的电路,其中所述第四BJT将其基极与集电极短接在一起。
9. 根据权利要求2所述的电路,其进一步包括耦合到所述第一BJT的发射极和所述多个第二二极管中的另一BJT的发射极的第三电阻器。
10. 根据权利要求1所述的电路,其中所述缩放电阻器耦合到地。
11. 一种带隙基准电路,其包括:
布置在第一带隙对中的第一双极晶体管即第一BJT和第二双极晶体管即第二BJT以及第一电阻器;
布置在第二带隙对中的第三BJT和第四BJT以及第二电阻器;
耦合到所述第一电阻器和所述第二电阻器的运算放大器;以及
耦合到所述第二BJT和所述第四BJT的第三电阻器,
其中所述第一BJT和所述第三BJT以及所述第一电阻器被布置在第三带隙对中,并且
其中所述第二BJT和所述第四BJT被布置在第四带隙对中。
12. 根据权利要求11所述的电路,其中所述第一BJT的基极和集电极短接在一起。
13. 根据权利要求11所述的电路,其中所述第二BJT的基极和集电极经由第四电阻器耦合。
14. 根据权利要求11所述的电路,其中所述第三BJT的基极和集电极经由第四电阻器耦合。
15. 根据权利要求11所述的电路,其中所述第四BJT的基极和集电极短接在一起。
16. 根据权利要求11所述的电路,其中所述第三电阻器耦合到地。
17. 根据权利要求11所述的电路,其进一步包括耦合到所述第一BJT和所述第三BJT并

且耦合到所述运算放大器的输出端的第四电阻器。

18. 一种带隙基准电路,其包括:

具有第一发射极、第一基极和第一集电极的第一双极晶体管即第一BJT,所述第一基极与所述第一集电极短接;

经由第一电阻器耦合到所述第一BJT的第二BJT,所述第二BJT具有第二发射极、第二基极和第二集电极,所述第二基极经由第二电阻器耦合到所述第二集电极;

耦合到所述第一BJT的第三BJT,所述第三BJT具有第三发射极、第三基极和第三集电极,所述第三基极经由第三电阻器耦合到所述第三集电极;

经由第四电阻器耦合到所述第三BJT的第四BJT,所述第四BJT具有第四发射极、第四基极和第四集电极,所述第四基极与所述第四集电极短接;

耦合到所述第二集电极和所述第四集电极的第五电阻器;

耦合到所述第一发射极和所述第三发射极的第六电阻器;以及

运算放大器,其具有耦合在所述第一电阻器与所述第二BJT之间的第一输入端、耦合在所述第三BJT与所述第四电阻器之间的第二输入端以及耦合到所述第六电阻器的输出端。

19. 根据权利要求18所述的电路,其中所述第一输入端是非反相输入端,并且所述第二输入端是反相输入端。

20. 根据权利要求18所述的电路,其中所述第五电阻器耦合到地。

具有倒置带隙对的带隙基准电路

[0001] 相关申请的交叉引用

[0002] 本申请要求提交于2017年4月7日且标题为“Low Noise And Low Power Bandgap Reference Circuit”的印度临时专利申请No.201741012599的优先权,该申请通过引用整体并入本文。

背景技术

[0003] 带隙基准电压电源用于各种电子应用中。不管电源、负载和温度如何变化,这些电压电源都可提供恒定的基准电压。

发明内容

[0004] 在一些示例中,一种带隙基准电路包括具有多个第一二极管和位于多个第一二极管之间的第一电阻器的第一带隙对。该电路还包括具有多个第二二极管和位于多个第二二极管之间的第二电阻器的第二带隙对,第二带隙对是第一带隙对的倒置形式(inverted form)。该电路还包括耦合到第一带隙对和第二带隙对的缩放(scaling)电阻器。该电路更进一步包括耦合到第一带隙对和第二带隙对的运算放大器。

[0005] 在一些示例中,一种带隙基准电路包括布置在第一带隙对中的第一和第二双极结晶体管(BJT)以及第一电阻器。该电路包括布置在第二带隙对中的第三和第四BJT以及第二电阻器。该电路包括耦合到第一电阻器和第二电阻器的运算放大器。该电路包括耦合到第二和第四BJT的第三电阻器。第一和第三BJT以及第一电阻器被布置在第三带隙对中。第二和第四BJT被布置在第四带隙对中。

[0006] 在一些示例中,带隙基准电路包括具有第一发射极、第一基极和第一集电极的第一双极结晶体管(BJT),第一基极与第一集电极短接。该电路包括经由第一电阻器耦合到第一BJT的第二BJT,第二BJT具有第二发射极、第二基极和第二集电极,第二基极经由第二电阻器耦合到第二集电极。该电路包括耦合到第一BJT的第三BJT,第三BJT具有第三发射极、第三基极和第三集电极,第三基极经由第三电阻器耦合到第三集电极。该电路包括经由第四电阻器耦合到第三BJT的第四BJT,第四BJT具有第四发射极、第四基极和第四集电极,第四基极与第四集电极短接。该电路包括耦合到第二和第四集电极的第五电阻器以及耦合到第一和第三发射极的第六电阻器。该电路包括运算放大器,该运算放大器具有耦合在第一电阻器与第二BJT之间的第一输入端,耦合在第三BJT与第四电阻器之间的第二输入端以及耦合到第六电阻器的输出端。

附图说明

[0007] 对于各种示例的详细描述,现在将参考附图,在附图中:

[0008] 图1描绘了根据各种示例的示例性带隙基准电路的框图。

[0009] 图2描绘了根据各种示例的示例性带隙基准电路的电路示意图。

[0010] 图3描绘了根据各种示例的与图2的电路示意图相关的示例性负载线路图。

具体实施方式

[0011] 如上所述,带隙基准电压电源在面对包括环境温度的各种波动参数时提供恒定的高精度基准电压。几乎所有这样的带隙基准电压电源的工作原理是:当电流流经电阻器时,利用其电阻器的正温度系数(通常被称为“与绝对温度成比例”或PTAT)来抵消其晶体管的基极-发射极电压的负温度系数。

[0012] 这种带隙基准电压电源受到多个闪烁噪声源的影响。一些闪烁噪声来自电压电源中的双极结晶体管(BJT),但这种类型的闪烁噪声通常通过在每个BJT的基极和集电极之间增加电阻来解决。其余大部分的闪烁噪声源自于电压电源的运算放大器中的输入BJT(例如pnp BJT)对的基极电流。这些输入BJT产生通常是低频的闪烁噪声。这种低频噪声难以消除,因为这样做需要非常大的滤波电容器,这在低功率应用(例如移动电话)中是不实用的。额外的资源(例如功率)可以用于降低噪声,但这在低功率应用中也是不切实际的。因此,需要一种能够降低低频处的闪烁噪声而不消耗过多功率的带隙基准电压电源。

[0013] 本文中描述了缓解上述缺点的带隙基准电路的各种示例。电路的示例包括被配置成包括多个带隙对的多个BJT、电阻器和运算放大器,其中一个或多个带隙对(即二极管和与另一个二极管耦合的电阻器)相对于彼此倒置。(如在下面进一步详细描述,“倒置的(inverted)”带隙对是彼此相反对称的带隙对)。通过带隙对的这种特定布置,通常在带隙电压电源中发现的电阻可以被消除,因此减小由带隙电路中的运算放大器的输入端看到的电阻总量,从而降低与运算放大器的输入BJT对的基极电流相关联的总闪烁噪声。现在参照附图提供带隙基准电路的示例。

[0014] 图1描绘根据各种示例的示例性带隙基准电路100的框图。电路100是落在本公开的范围内的各种带隙基准电路的通用描绘。在一些示例中,电路100包括:电阻器102,电阻器102耦合到诸如电流源(在图2中示例性地示出)的电源;耦合到电阻器102的带隙对104;耦合到电阻器102的带隙对106;以及耦合到带隙对104和106的电阻器108。这里使用的“带隙对”包括两个功能组件:第一,耦合到电阻器的BJT,以及第二,可能为二极管形式的另一个BJT。在图2中示出并在下面描述示例性带隙对。带隙对106是带隙对104的倒置形式,意味着两个带隙对彼此相反对称。因此,带隙对104具有对应于带隙对106的第一端112b的第一端112a,并且该带隙对具有对应于带隙对106的第二端114b的第二端114a。在图2中示出并且在下面描述这种“倒置”对称关系的示例。

[0015] 带隙基准电路100还包括运算放大器110,运算放大器110具有耦合到带隙对104的第一输入端120和耦合到带隙对106的另一个输入端122。运算放大器110的输出端124耦合到电阻器102。

[0016] 在一些示例中,带隙对104和106的内容物被配置为使得它们横跨带隙对104和106形成额外的带隙对,即使得它们形成带隙对116和118。带隙对116和118如同带隙对104和106那样是相对于彼此倒置的,这意味着第一端112a的电路组件对应于第一端112b的电路组件,并且第二端114a的电路组件对应于第二端114b的电路组件。如上所述,当相对于图2在下面描述时,这种对称关系的性质将更容易理解。在图1中,没有描述带隙对104、106、116和118的精确内部配置,以强调本公开的范围不限于电路组件的任何特定配置并且可预想实现本文中描述的通用降噪原理的电路组件的任何配置。

[0017] 在操作中,电流源通过电阻器102并通过每个带隙对104和106、通过电阻器108提

供电流到地 (ground)。运算放大器110使用经由输出端124的负反馈回路来迫使在输入端120和122接触带隙对104和106的节点处带隙对104中的电流和电压与带隙对106中的电流和电压均衡。带隙对104和106中的BJT对由于温度引起的基极-发射极电压波动敏感,但是因为具有来自电流源的电流的电阻器被包括在带隙对104和106中,并且因为这些电流所流经的电阻器对相同的温度波动以相反的方式起反应,所以温度波动的影响被降低,并且运算放大器110的输出124保持稳定。该输出124是由带隙基准电路100产生的带隙基准电压。

[0018] 在电路100中,电阻器108的正温度系数及其电流抵消了BJT的负温度系数,因此组合起来产生基准电压。通过按比例缩放电阻器108的电阻,可以调整电阻器108两端的压降,该压降抵消BJT两端的与温度相关的压降,以在运算放大器110的输出端产生基准电压。因此,电阻器108被称为“缩放电阻器 (scaling resistor)” (电阻器102的功能类似于电阻器108的功能,因此电阻器102也被认为是缩放电阻器)。与通常在传统带隙基准电压电源中用于代替电阻器108的多个电阻器相比,电阻器108具有减小的电阻。传统带隙基准电压电源将使用运算放大器来尝试均衡这些电阻器两端的电压。虽然这种传统电源的工作原理要求存在此类多个电阻,但它们也增加了由运算放大器看到的整体电阻,从而贡献于 (contribute to) 由在运算放大器中供给输入晶体管对的基极电流产生的低频闪烁噪声。然而,如上所述,由于带隙对的倒置的对称关系,在电路100中仅使用单个电阻器108。电阻器108的该电阻实质上小于传统带隙基准电压电源中由多个电阻器提供的电阻。因此,由运算放大器110看到的电阻小于由传统带隙基准电压电源中的运算放大器看到的电阻。由于运算放大器110输入晶体管对的基极电流闪烁噪声流经由运算放大器110输入端子看到的等效电阻,所以这降低了由运算放大器110产生并在带隙基准电压输出端124上提供的低频闪烁噪声,并且减小该电阻将会降低在带隙基准电压输出端124中看到的闪烁噪声。此外,带隙基准电路100的架构使得没有消耗超过在传统带隙基准电压电源中所耗费的功率的额外功率。

[0019] 图2描绘了根据各种示例的示例性带隙基准电路200的电路示意图。带隙基准电路200仅仅是通用带隙基准电路100的一个示例,并不限制落在通用带隙基准电路100的范围内的示例的范围。带隙基准电路200包括电阻器202 (其是图1中的电阻器102的示例) 以及经由节点204耦合到电阻器202的BJT 206 (在一些示例中其是图1中的带隙对104和带隙对116的一部分)。BJT 206将其基极连接到其集电极,这导致BJT 206表现为二极管。BJT 206的集电极耦合到电阻器208 (在示例中该电阻器是图1中的带隙对104和带隙对116的一部分)。带隙基准电路200还包括BJT 212,该BJT 212将其基极经由电阻器214耦合到其集电极。电阻器214降低与BJT 212的基极电流相关联的闪烁噪声,这在一些示例中是必要的,因为BJT 212的尺寸相对于BJT 206较小,因此闪烁噪声更显著。由于基极连接到集电极,因此BJT 212充当二极管。BJT 212的集电极耦合到节点216。BJT 212 (以及其基极电阻器214) 与BJT 206和电阻器208一起形成带隙对。例如,这些组件对应于图1中的带隙对104。

[0020] 缩放电阻器218耦合到节点216和地220。在一些示例中,该缩放电阻器218对应于图1的电阻器108。节点216耦合到BJT 222的集电极,BJT 222具有与集电极短接的基极。BJT 222的发射极耦合到电阻器224。继而,电阻器224耦合到BJT 230的集电极。BJT 230的基极与集电极经由电阻器228来耦合。BJT 230的发射极耦合到节点204。

[0021] 因为它们各自的基极和集电极被耦合,所以BJT 222和230充当二极管。BJT 230具

有基极电阻228以衰减其基极电流闪烁噪声,在一些示例中因为BJT 230的尺寸小于BJT 222和206,BJT 230的基极电流闪烁噪声比BJT 222和206的基极电流闪烁噪声更显著。在一些示例中,BJT 206和230的尺寸比(即晶体管W/L尺寸的比率)是24:1。在一些示例中,BJT 222和212的尺寸比是24:1。可以使用其他尺寸比。

[0022] BJT 230(及其基极电阻器228)与电阻器224和BJT 222形成带隙对。在一些示例中,该带隙对对应于图1的带隙对106。类似地,BJT 206、电阻器208和BJT 230形成诸如图1的带隙对116的带隙对。BJT 212、电阻器224和BJT 222形成诸如图1的带隙对118的带隙对。运算放大器232具有耦合到节点226的反相输入端234和耦合到节点210的非反相输入端236。运算放大器232的输出端238经由反馈回路240耦合到电阻器202和电流源242。电阻器202具有类似于缩放电阻器218的操作。因此,电阻器202也被认为是缩放电阻器。因为电阻器202和218都以类似的方式贡献于由运算放大器232看到的电阻,所以它们可以被认为是单个缩放电阻的两部分。在一些示例中,电阻器202被省略并且电阻器218的电阻被增加以补偿电阻器202的缺失,反之亦然。

[0023] 由BJT 206、BJT 212(包括基极电阻器214)和电阻器208形成的带隙对与由BJT 222、BJT230(包括基极电阻器228)和电阻器224形成的带隙对相比是倒置的。这意味着两个带隙对是相反对称的。换言之,正如短接的BJT 206和电阻器208位于左侧带隙对的顶端处,短接的BJT 222和电阻器224位于右侧带隙对的底端上(如上所述正如图1中的第一端112a和112b)。类似地,正如具有基极电阻器214的BJT 212位于左侧带隙对的底端,具有基极电阻器228的BJT 230位于右侧带隙对的顶端(如上所述正如图1中的第二端114a、114b)。电阻器208与BJT 206而不是BJT 212的分组是因为运算放大器232的输入端236耦合到电阻器208与BJT 212之间的节点212。类似地,电阻器224与BJT 222而不是BJT 230的分组是因为运算放大器232的输入端234耦合到电阻器224和BJT 230之间的节点226。

[0024] 在一些示例中,由BJT 206、电阻器208和BJT 230形成的带隙对相对于由BJT 222、电阻器224和BJT 212形成的带隙对是倒置的。这是因为在顶部的带隙对(例如对应于图1中的带隙对116)中,带有电阻器的BJT在左侧,而孤立的BJT(仅具有基极电阻器)在右侧,并且相反地在底部的带隙对(例如对应于图1中的带隙对118)中,带有电阻器的BJT在右侧,而孤立的BJT(仅具有基极电阻器)在左侧。在一些示例中,图2中描绘的一些或全部BJT是pnp BJT,但是也预期并能够使用nnp BJT。

[0025] 在操作中,来自电流源242的电流流经电阻器202并均匀地在两个竖直带隙对之间分配,最终流经电阻器218到地220。运算放大器232使用负反馈回路240来控制电流流经两个竖直带隙对,使得节点210、226处的电压相等。如上所述,带隙对中的正温度系数分量和负温度系数分量彼此抵消,导致在运算放大器232的输出端238处提供恒定的与温度无关的带隙基准电压。

[0026] 如上所述,由于图2中的竖直和水平带隙对(即对应于图1中的带隙对104、106、116和118的那些带隙对)的反向特性,电阻器202、208、224和218的电阻相对于否则在传统带隙基准电压电源中必需的电阻被减小。由于缩放电阻器202和218的电阻被减小,所以由运算放大器看到的整体电阻被减小,并且因此干扰由运算放大器232产生的基准电压的基极电流闪烁噪声被降低。

[0027] 带隙基准电路200的BJT、电阻器和其他组件可以根据需要在通用带隙基准电路

100的边界内被重新布置或以其他方式修改,以实现与如本文中所描述的那些相同或相似的功能和低频降噪益处。所有这些变化都被预想到并且落在本公开的范围内。

[0028] 图3描绘了根据各种示例与图1和图2的电路示意图有关的示例性负载线图300。曲线图300包括在x轴302上由运算放大器232产生的基准电压和在y轴304上的运算放大器输入端234、236处的电压。特别地,曲线306和308针对运算放大器232产生的基准电压的各种值绘制输入端234、236处的电压。曲线306、308相交于一个点,该点标记在运算放大器232尝试使用负反馈回路240来均衡节点210、226处的电压时由运算放大器232实现的平衡。因为运算放大器232在曲线306与曲线308之间的交叉点处维持带隙基准电路200的操作,所以与该交点对应的基准电压310标记将由基准电路200提供的恒定基准电压。

[0029] 在前面的讨论和权利要求中,术语“包含(including)”和“包括(comprising)”以开放方式使用,因此应该被解释为意味着“包含但不限于.....”。而且,术语“耦合(couple)”或“耦接(couples)”旨在意味着间接或直接连接。因此,如果第一设备耦合/耦接到第二设备,则该连接可以是通过直接连接或通过经由其他设备和连接件的间接连接。

[0030] 以上讨论意在说明本公开的原理和各种实施例。一旦完全理解了上述公开内容,许多变化和修改对于本领域技术人员将变得显而易见。意图将随附权利要求解释为包含所有这些变化和修改。

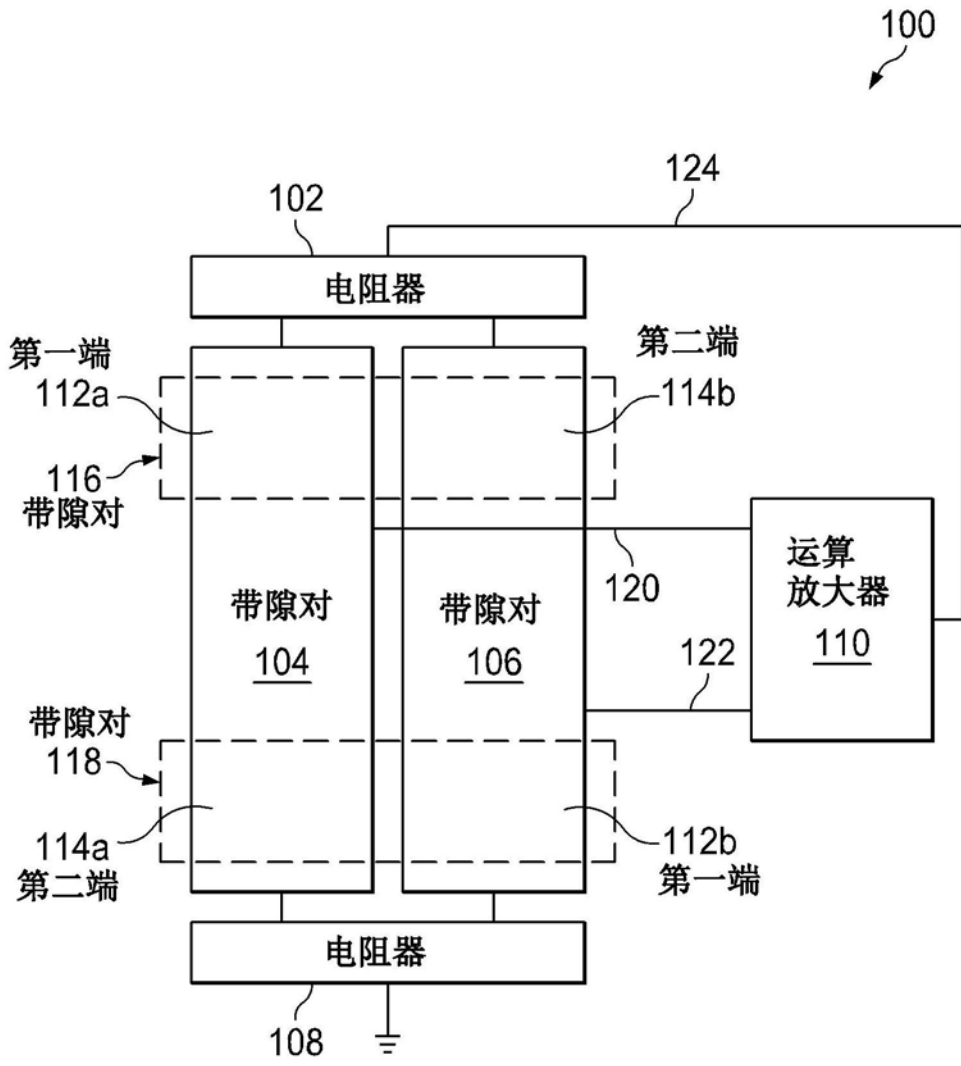


图1

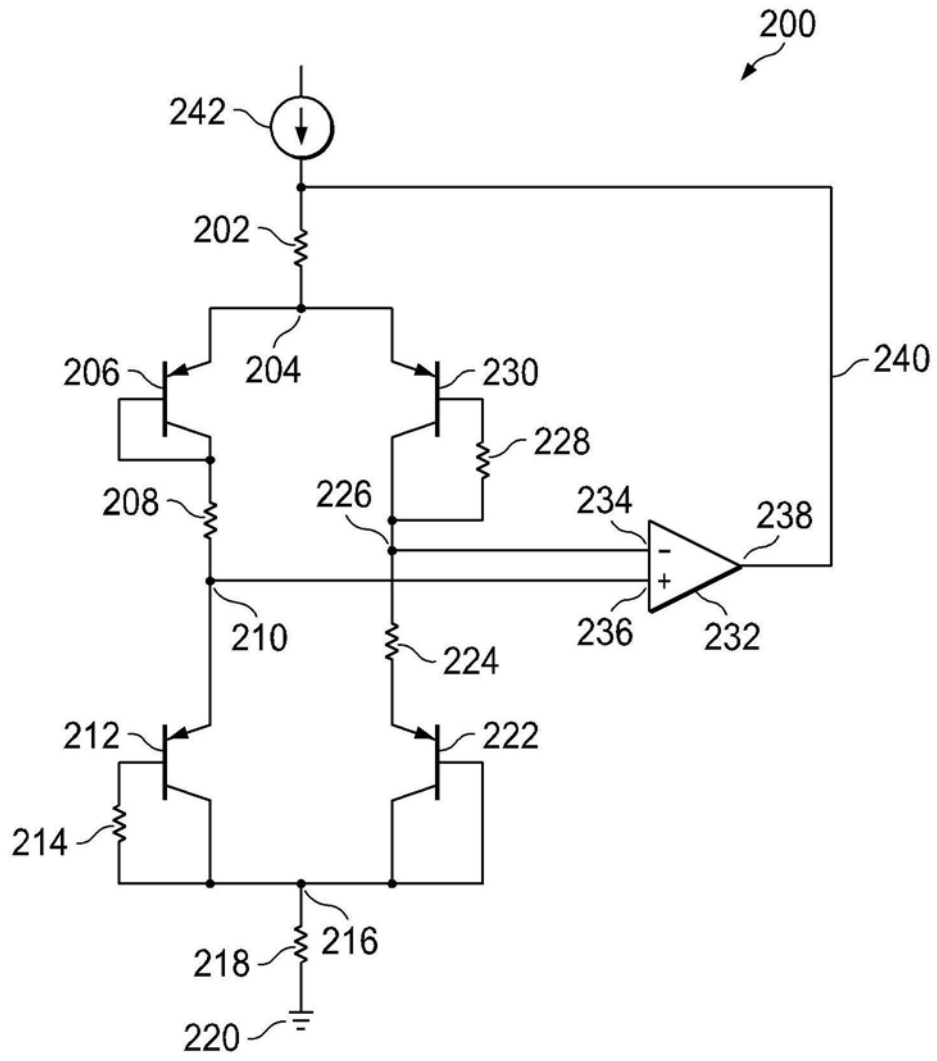


图2

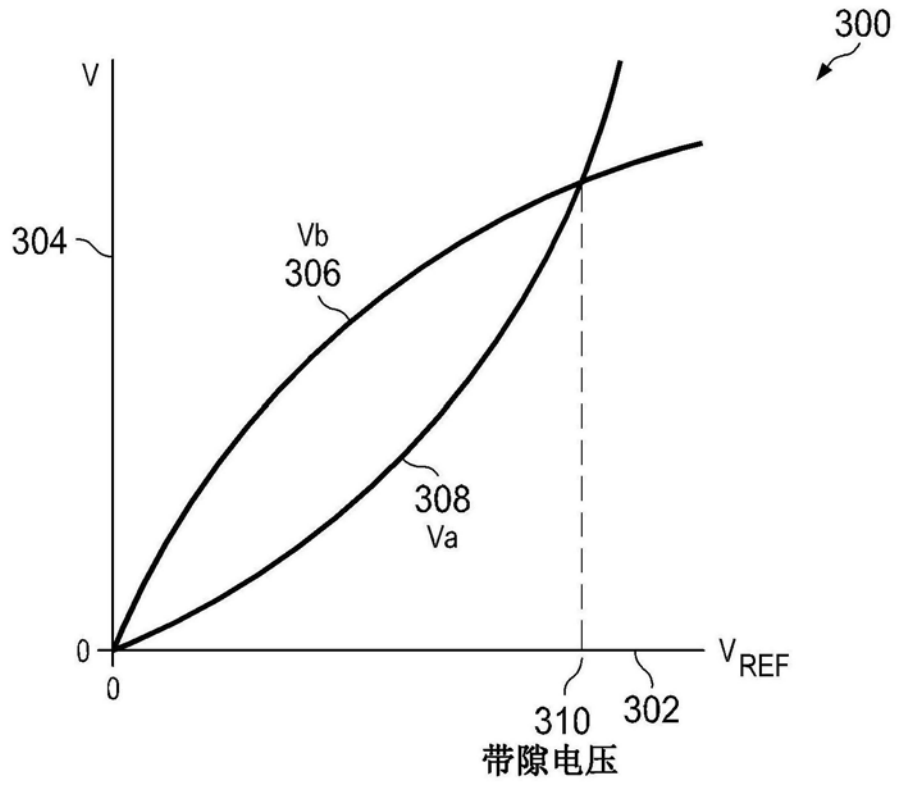


图3