



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월26일  
(11) 등록번호 10-0817071  
(24) 등록일자 2008년03월20일

(51) Int. Cl.

G01R 23/02 (2006.01)

(21) 출원번호 10-2006-0105626  
(22) 출원일자 2006년10월30일  
심사청구일자 2006년10월30일  
(56) 선행기술조사문헌  
JP11118854 A  
JP2000147033 A  
KR1019920021993 A

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김형석

서울 양천구 목5동 목동4단지아파트 411-402

김재관

경기 성남시 분당구 서현동 251-3 LG에클라트 1128

(74) 대리인

리앤목특허법인

전체 청구항 수 : 총 26 항

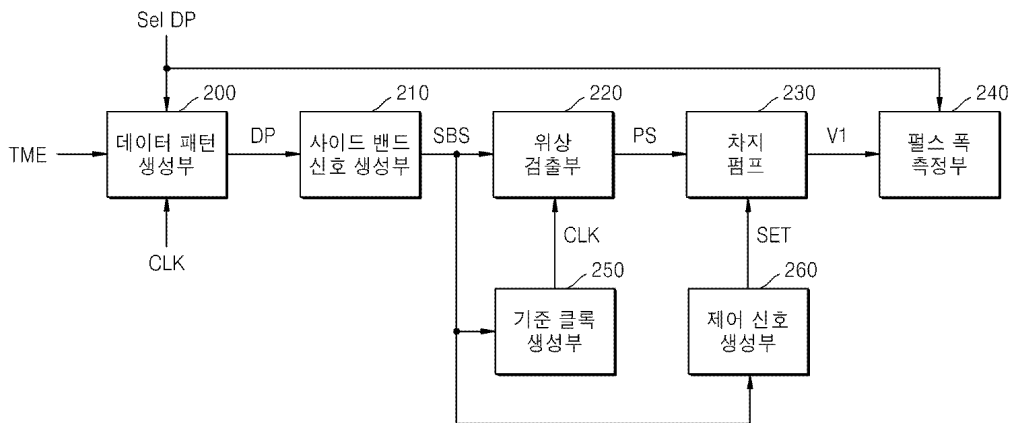
심사관 : 박장환

(54) 사이드 밴드 신호의 펄스 폭 측정 장치 및 그 방법

(57) 요약

사이드 밴드 신호의 펄스 폭 측정 장치 및 방법이 개시된다. 본 발명의 일 실시예에 따른 사이드 밴드 신호의 펄스 폭 측정 장치는 사이드 밴드 신호 생성부, 위상 검출부, 차지 펌프, 펄스 폭 측정부를 포함한다. 사이드 밴드 신호 생성부는, 테스트 모드에서, 소정의 데이터 패턴을 입력받고, 입력된 데이터 패턴의 펄스 폭을 변조시켜 사이드 밴드 신호를 출력한다. 위상 검출부는, 상기 사이드 밴드 신호 및 기준 클록을 입력받고, 입력된 사이드 밴드 신호 및 기준 클록의 위상을 비교하여 그 위상 차이에 해당하는 펄스 신호를 출력한다. 차지 펌프는, 상기 펄스 신호를 입력받고, 상기 펄스 신호에 근거하여 출력 전압을 상승 또는 하강시켜 출력한다. 펄스 폭 측정부는, 상기 차지 펌프의 출력 전압을 입력받고, 상기 출력 전압이 소정의 기준 전압 범위 내에 속하는지 여부에 따라 상기 사이드 밴드 신호를 구성하는 펄스가 정상적인 폭을 갖는지를 판단한다. 이로 인해 사이드 밴드 신호를 이용한 통신을 함에 있어서, 생성된 사이드 밴드 신호를 구성하는 펄스의 폭을 정확하고 신속하게 측정할 수 있는 효과가 있다.

대표도



## 특허청구의 범위

### 청구항 1

테스트 모드에서, 소정의 데이터 패턴을 입력받고, 입력된 데이터 패턴의 펄스 폭을 변조시켜 사이드 밴드 신호를 출력하는 사이드 밴드 신호 생성부;

상기 사이드 밴드 신호 및 기준 클록을 입력받고, 입력된 사이드 밴드 신호 및 기준 클록의 위상을 비교하여 그 위상 차이에 해당하는 펄스 신호를 출력하는 위상 검출부;

상기 펄스 신호를 입력받고, 상기 펄스 신호에 근거하여 출력 전압을 상승 또는 하강시켜 출력하는 차지 펌프; 및

상기 차지 펌프의 출력 전압을 입력받고, 상기 출력 전압이 소정의 기준 전압 범위 내에 속하는지 여부에 따라 상기 사이드 밴드 신호를 구성하는 펄스가 정상적인 폭을 갖는지를 판단하는 펄스 폭 측정부를 포함하는 것을 특징으로 하는 펄스 폭 측정 장치.

### 청구항 2

제1항에 있어서,

복수 개의 데이터 패턴이 저장된 레지스터를 구비하고, 테스트 모드 인에이블 신호 및 데이터 패턴 선택 신호에 응답하여 선택된 데이터 패턴을 생성하는 데이터 패턴 생성부를 더 포함하는 것을 특징으로 하는 펄스 폭 측정 장치.

### 청구항 3

제2항에 있어서, 상기 펄스 폭 측정부는,

각각의 데이터 패턴에 대응되는 복수 개의 기준 전압 범위들이 테이블 형태로 저장된 레지스터를 구비하고, 상기 데이터 패턴 선택 신호를 입력받아 그에 대응되는 기준 전압 범위를 선택하며, 선택된 기준 전압 범위와 상기 차지 펌프의 출력 전압을 비교하는 것을 특징으로 하는 펄스 폭 측정 장치.

### 청구항 4

제1항에 있어서, 상기 위상 검출부는,

상기 사이드 밴드 신호의 위상이 상기 기준 클록의 위상보다 낮은 경우, 그 위상 차이에 해당하는 펄스 폭을 갖는 UP 펄스 신호를 출력하고, 상기 사이드 밴드 신호의 위상이 상기 기준 클록의 위상보다 높은 경우, 그 위상 차이에 해당하는 펄스 폭을 갖는 DOWN 펄스 신호를 출력하는 것을 특징으로 하는 펄스 폭 측정 장치.

### 청구항 5

제1항에 있어서, 상기 차지 펌프는,

소정의 제어 신호를 입력받고, 상기 제어 신호가 인에이블되는 구간에서만 동작되는 것을 특징으로 하는 펄스 폭 측정 장치.

### 청구항 6

제5항에 있어서, 상기 제어 신호는,

상기 사이드 밴드 신호의 비트 수에 상응하는 인에이블 구간을 갖는 것을 특징으로 하는 펄스 폭 측정 장치.

### 청구항 7

제1항에 있어서,

상기 사이드 밴드 신호를 입력받고, 입력된 사이드 밴드 신호와 주기가 동일한 기준 클록을 생성하는 기준 클록 생성부를 더 포함하는 것을 특징으로 하는 펄스 폭 측정 장치.

**청구항 8**

제1항에 있어서, 상기 위상 검출부는,

상기 사이드 밴드 신호를 상기 기준 클록의 라이징 에지에 정렬시키지 않은 상태로 위상을 비교하여 그 위상 차이에 해당하는 상기 펄스 신호를 출력하는 것을 특징으로 하는 펄스 폭 측정 장치.

**청구항 9**

제1항에 있어서,

상기 차지 펌프의 출력 전압에 포함된 고주파 성분을 제거하기 위한 로우 패스 필터를 더 포함하는 것을 특징으로 하는 펄스 폭 측정 장치.

**청구항 10**

제1항에 있어서,

상기 데이터 패턴은 그 비트 수가 6비트인 것을 특징으로 하는 펄스 폭 측정 장치.

**청구항 11**

제1항에 있어서,

상기 데이터 패턴은 비트 0과 비트 1의 비율이 1:1인 것을 특징으로 하는 펄스 폭 측정 장치.

**청구항 12**

제1항에 있어서,

상기 데이터 패턴은 비트 0과 비트 1의 비율이 2:1인 것을 특징으로 하는 펄스 폭 측정 장치.

**청구항 13**

제1항에 있어서,

상기 데이터 패턴은 비트 0과 비트 1의 비율이 1:2인 것을 특징으로 하는 펄스 폭 측정 장치.

**청구항 14**

테스트 모드에서, 소정의 데이터 패턴을 입력받고, 입력된 데이터 패턴의 펄스 폭을 변조시켜 사이드 밴드 신호를 출력하는 단계;

상기 사이드 밴드 신호 및 기준 클록을 입력받고, 입력된 사이드 밴드 신호 및 기준 클록의 위상을 비교하여 그 위상 차이에 해당하는 펄스 신호를 출력하는 단계;

상기 펄스 신호를 입력받고, 상기 펄스 신호에 근거하여 차지 펌프의 출력 전압을 상승 또는 하강시켜 출력하는 단계; 및

상기 차지 펌프의 출력 전압을 입력받고, 상기 입력된 출력 전압을 소정의 기준 전압 범위와 비교하며, 그 비교 결과에 따라 상기 사이드 밴드 신호를 구성하는 펄스가 정상적인 폭을 갖는지를 판단하는 단계를 포함하는 것을 특징으로 하는 펄스 폭 측정 방법.

**청구항 15**

제14항에 있어서,

테스트 모드 인에이블 신호 및 데이터 패턴 선택 신호에 응답하여 복수 개의 데이터 패턴 중 선택된 데이터 패턴을 생성하는 단계가 더 부가된 것을 특징으로 하는 펄스 폭 측정 방법.

**청구항 16**

제15항에 있어서,

상기 펄스가 정상적인 폭을 갖는지를 판단하는 단계는,

상기 데이터 패턴 선택 신호를 입력받아 각각의 데이터 패턴에 대응되는 복수 개의 기준 전압 범위들이 테이블 형태로 저장된 레지스터에서 대응되는 기준 전압 범위를 선택하고, 선택된 기준 전압 범위와 상기 차지 펌프의 출력 전압을 비교하는 단계를 통해서 이루어지는 것을 특징으로 하는 펄스 폭 측정 방법.

**청구항 17**

제14항에 있어서, 상기 펄스 신호를 출력하는 단계는,

상기 사이드 밴드 신호의 위상이 상기 기준 클록의 위상보다 낮은 경우, 그 위상 차이에 해당하는 펄스 폭을 갖는 UP 펄스 신호를 출력하고, 상기 사이드 밴드 신호의 위상이 상기 기준 클록의 위상보다 높은 경우, 그 위상 차이에 해당하는 펄스 폭을 갖는 DOWN 펄스 신호를 출력하는 단계인 것을 특징으로 하는 펄스 폭 측정 방법.

**청구항 18**

제14항에 있어서,

상기 펄스 신호에 근거하여 출력 전압을 상승 또는 하강시켜 출력하는 단계는, 소정의 제어 신호에 의하여 그 동작 구간이 제어되는 것을 특징으로 하는 펄스 폭 측정 방법.

**청구항 19**

제18항에 있어서, 상기 제어 신호는,

상기 사이드 밴드 신호의 비트 수에 상응하는 인에이블 구간을 갖는 것을 특징으로 하는 펄스 폭 측정 방법.

**청구항 20**

제14항에 있어서,

상기 기준 클록은 상기 사이드 밴드 신호와 주기가 동일한 것을 특징으로 하는 펄스 폭 측정 방법.

**청구항 21**

제14항에 있어서,

상기 펄스 신호를 출력하는 단계는,

상기 사이드 밴드 신호를 상기 기준 클록의 라이징 에지에 정렬시키지 않은 상태로 위상을 비교하여 그 위상 차이에 해당하는 상기 펄스 신호를 출력하는 단계인 것을 특징으로 하는 펄스 폭 측정 방법.

**청구항 22**

제14항에 있어서,

상기 출력 전압에 포함된 고주파 성분을 제거하는 단계가 더 포함되는 것을 특징으로 하는 펄스 폭 측정 방법.

**청구항 23**

제14항에 있어서,

상기 데이터 패턴은 비트 수가 6비트인 것을 특징으로 하는 펄스 폭 측정 방법.

**청구항 24**

제14항에 있어서,

상기 데이터 패턴은 비트 0과 비트 1의 비율이 1:1인 것을 특징으로 하는 펄스 폭 측정 방법.

**청구항 25**

제14항에 있어서,

상기 데이터 패턴은 비트 0과 비트 1의 비율이 2:1인 것을 특징으로 하는 펄스 폭 측정 방법.

**청구항 26**

제14항에 있어서,

상기 데이터 패턴은 비트 0과 비트 1의 비율이 1:2인 것을 특징으로 하는 펄스 폭 측정 방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <10> 본 발명은 통신 분야에서 사용되는 신호를 테스트하는 장치 및 방법에 관한 것으로서, 더욱 상세하게는 사이드 밴드 통신 방법에서 사용되는 펄스 폭이 변조된 사이드 밴드 신호를 테스트하는 장치 및 방법에 관한 것이다.
- <11> 통신 분야에서 있어서, 사이드 밴드(Side-band) 신호 또는 대역 외(Out-of-band) 신호는 별도의 버스를 사용하지 않고도 와이어(Wire) 또는 적외선 포트를 통해 고속 통신을 가능케 하므로 널리 사용되고 있다.
- <12> 도 1을 참조하면, 사이드 밴드 신호는 복수 개의 펄스들로 구성되며, 각각의 펄스는 0 또는 1을 나타낸다. 다만, 일반적인 데이터 비트와 다르게, 논리 "H" 및 논리 "L"의 구별은 각각의 펄스 폭(Width)의 길이(Length)를 통해 이루어진다. 예를 들어, 1 비트 주기에 대한 펄스 폭의 길이가 듀티 싸이클(Duty cycle)의 50%보다 큰 경우에는 논리 "H"로 인식되고, 50%보다 작은 경우에는 논리 "L"로 인식된다. 즉, 비트 주기에 대한 펄스 폭의 상대적인 지속 시간을 따라 비트 값이 결정된다.
- <13> 따라서, (호스트 또는 클라이언트로부터) 전송하고자 하는 데이터를 입력받아 상기 사이드 밴드 신호를 생성하는 모듈에서, 상기 기준을 만족시킬 수 없는 펄스들을 생성하는 경우, 호스트 또는 클라이언트에서 정확한 정보를 인식할 수 없어 데이터 통신의 장애가 발생하는 문제점이 존재한다.

**발명이 이루고자 하는 기술적 과제**

- <14> 본 발명이 이루고자 하는 기술적 과제는 사이드 밴드 신호를 생성하는 모듈이 적절한 펄스 폭을 갖는 사이드 밴드 신호를 생성할 수 있는지를 정확하고 신속하게 측정할 수 있는 펄스 폭 측정 장치 및 방법을 제공하는 데 있다.

**발명의 구성 및 작용**

- <15> 상기 기술적 과제를 해결하기 위한 본 발명의 일 실시예에 따른 펄스 폭 측정 장치는, 사이드 밴드 신호 생성부, 위상 검출부, 차지 펌프, 펄스 폭 측정부를 포함한다. 사이드 밴드 신호 생성부는 테스트 모드에서, 소정의 데이터 패턴을 입력받고, 입력된 데이터 패턴의 펄스 폭을 변조시켜 사이드 밴드 신호를 출력한다. 위상 검출부는 상기 사이드 밴드 신호 및 기준 클럭을 입력받고, 입력된 사이드 밴드 신호 및 기준 클럭의 위상을 비교하여 그 위상 차이에 해당하는 펄스 신호를 출력한다. 차지 펌프는 상기 펄스 신호를 입력받고, 상기 펄스 신호에 근거하여 출력 전압을 상승 또는 하강시켜 출력한다. 펄스 폭 측정부는 상기 차지 펌프의 출력 전압을 입력받고, 상기 출력 전압이 소정의 기준 전압 범위 내에 속하는지 여부에 따라 상기 사이드 밴드 신호를 구성하는 펄스가 정상적인 폭을 갖는지를 판단한다.
- <16> 상기 펄스 폭 측정 장치에는, 복수 개의 데이터 패턴이 저장된 레지스터를 구비하고, 테스트 모드 인에이블 신호 및 데이터 패턴 선택 신호에 응답하여 상기 소정의 데이터 패턴을 생성하는 데이터 패턴 생성부가 더 포함될 수 있다.
- <17> 바람직하게는, 상기 펄스 폭 측정부는, 각각의 데이터 패턴에 대응되는 복수 개의 기준 전압 범위들이 테이블 형태로 저장된 레지스터를 구비하고, 상기 데이터 패턴 선택 신호를 입력받아 그에 대응되는 기준 전압 범위를 선택하며, 선택된 기준 전압 범위와 상기 차지 펌프의 출력 전압을 비교한다.
- <18> 바람직하게는, 상기 위상 검출부는, 상기 사이드 밴드 신호의 위상이 상기 기준 클럭의 위상보다 낮은 경우, 그 위상 차이에 해당하는 펄스 폭을 갖는 UP 펄스 신호를 출력하고, 상기 사이드 밴드 신호의 위상이 상기 기준 클럭의 위상보다 높은 경우, 그 위상 차이에 해당하는 펄스 폭을 갖는 DOWN 펄스 신호를 출력한다.

- <19> 상기 데이터 패턴은 비트 수가 6비트인 것이 바람직하며, 상기 데이터 패턴은 비트 0과 비트 1의 비율이 1:1, 2:1 또는 1:2일 수 있다.
- <20> 상기 기술적 과제를 해결하기 위한 본 발명의 다른 실시예에 따른 펄스 폭 측정 방법은, 테스트 모드에서, 소정의 데이터 패턴을 입력받고, 입력된 데이터 패턴의 펄스 폭을 변조시켜 사이드 밴드 신호를 출력하는 단계, 상기 사이드 밴드 신호 및 기준 클럭을 입력받고, 입력된 사이드 밴드 신호 및 기준 클럭의 위상을 비교하여 그 위상 차이에 해당하는 펄스 신호를 출력하는 단계, 상기 펄스 신호를 입력받고, 상기 펄스 신호에 근거하여 출력 전압을 상승 또는 하강시켜 출력하는 단계 및 상기 차지 펌프의 출력 전압을 입력받고, 상기 출력 전압이 소정의 기준 전압 범위 내에 속하는지 여부에 따라 상기 사이드 밴드 신호를 구성하는 펄스가 정상적인 폭을 갖는지를 판단하는 단계를 포함한다.
- <21> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다. 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략한다.
- <22> 도 2은 본 발명의 일 실시예에 따른 펄스 폭 측정 장치를 개략적으로 나타내는 블럭도이다.
- <23> 본 발명에 따른 펄스 폭 측정 장치는 데이터 패턴 생성부(100), 사이드 밴드 신호 생성부(110) 및 BIST(Built-in-self-test) 회로부를 구비한다.
- <24> 테스트 모드에서, 데이터 패턴 생성부(100)는, 테스트 모드 인에이블 신호(TME)를 수신하고, 데이터 패턴 선택 신호(SeIDP)에 응답하여 소정의 데이터 패턴을 생성한다. 상기 데이터 패턴은 데이터 패턴 생성부(100) 내부에 구비된 복수 개의 데이터 패턴을 테이블 형태로 저장하는 레지스터(미도시)로부터 출력된다.
- <25> 사이드 밴드 신호 생성부(110)는, 소정의 데이터 패턴을 입력받아 상기 데이터 패턴에 포함된 펄스들의 폭을 변조시켜 출력한다. 상기 펄스들의 폭이 변조된 데이터 패턴은 사이드 밴드 신호(SBS)이다. 예를 들어, 데이터 패턴이 "0101"인 경우, 도 1에 도시된 바와 같이, 특정 전압을 가진 펄스들이 각각 250 $\mu$ s, 750 $\mu$ s, 250 $\mu$ s 및 750 $\mu$ s 동안 유지되는 사이드 밴드 신호(SBS)를 생성할 수 있다.
- <26> BIST 회로부(120)는 사이드 밴드 신호(SBS) 및 기준 클럭(CLK)을 입력받고, 사이드 밴드 신호(SBS)와 기준 클럭(CLK)의 위상을 비교하여, 그 위상 차이에 해당하는 펄스 신호를 생성한 뒤, 생성된 펄스 신호에 대응되는 전압이 소정의 기준 전압 범위 내에 속하는지 여부에 따라 사이드 밴드 신호(SBS)를 구성하는 펄스가 정상적인 폭을 갖는지를 테스트한다. BIST 회로부(120)에는 소정의 제어 신호(SET)가 인가되어 그 동작이 제어될 수도 있다.
- <27> 도 3는 도 2에 도시된 BIST 회로부(120)를 나타내는 블럭도이다.
- <28> 본 발명에 따른 BIST 회로부(120)는 위상 검출부(122), 차지 펌프(124), 로우 패스 필터(126) 및 펄스 폭 측정부(128)를 구비한다.
- <29> 위상 검출부(122)는 사이드 밴드 신호(SBS) 및 기준 클럭(CLK)을 입력받고, 사이드 밴드 신호(SBS)와 기준 클럭(CLK)의 위상을 비교하여, 그 위상 차이에 해당하는 펄스 신호(UP, DOWN)들을 생성한다. 구체적으로 설명하면, 상기 사이드 밴드 신호의 위상이 상기 기준 클럭의 위상보다 낮은 경우, 그 위상 차이에 해당하는 펄스 폭을 갖는 UP 펄스 신호를 출력하고, 상기 사이드 밴드 신호의 위상이 상기 기준 클럭의 위상보다 높은 경우, 그 위상 차이에 해당하는 펄스 폭을 갖는 DOWN 펄스 신호를 출력한다.
- <30> 차지 펌프(124)는 상기 UP 펄스 신호 및 DOWN 펄스 신호를 수신하고, 그 출력 전압(V1)을 상기 UP 펄스 신호 및 DOWN 펄스 신호에 근거하여 상승 또는 하강시켜 출력한다. 즉, UP 펄스 신호가 인가되는 경우에는 출력 전압(V1)을 소정 값 상승시켜 출력하고, DOWN 펄스 신호가 인가되는 경우에는 출력 전압(V1)을 소정 값 하강시켜 출력한다.
- <31> 로우 패스 필터(126)는 차지 펌프(124)로부터 출력되는 출력 전압(V1)의 고주파 성분을 제거하여 출력한다. 상기 로우 패스 필터는 상기 차지 펌프의 출력단에 일단에 접속되고 그라운드에 타단이 접속된 커패시터(Capacitor)인 것이 바람직하다. 상기 커패시터는 차지 업(Charge-up) 및 차지 다운(Charge-down) 시간을 느리게 하기 위해 충분히 큰 정전용량(Capacitance)을 갖는다.
- <32> 로우 패스 필터(126)로부터 출력되는 전압(V2)은 펄스 폭 측정부(128)로 입력되고, 입력된 전압(V2)은 소정의 기준 전압 범위와 비교된다. 상기 기준 전압 범위는 각각의 데이터 패턴에 대응되는 복수 개의 기준 전압 범위가 테이블 형태로 저장되어 있는 레지스터(미도시)로부터 출력될 수 있다. 상기 레지스터는 펄스 폭 측정부

(128) 내부에 위치한다. 출력 전압(V2)이 소정의 기준 전압 범위를 벗어나는 경우, 생성된 사이드 밴드 신호(SBS)를 구성하는 펄스에 오류가 있는 것으로 판단하고, 소정의 기준 전압 내에 포함되는 경우, 생성된 사이드 밴드 신호(SBS)를 구성하는 펄스에 오류가 없는 것으로 판단한다. 상기 데이터 패턴, 출력 전압(V2), 기준 전압 범위의 상호 관계에 대해서는 하기에서 상세히 기술한다.

- <33> 도 4는 도 2에 도시된 BIST 회로부(120)를 구체적으로 나타내는 도면이다.
- <34> 도 4를 참조하면, 차지 펌프(144)는 복수 개의 트랜지스터(TR1,TR2,TR3,TR4) 및 인버터(INV)로 구성된다. 로우 패스 필터(146)는 C1의 정전용량을 갖는 커패시터로 구성된다. 펄스 폭 측정부(148)는 제1 입력단자가 로우 패스 필터(146)의 출력 전압(V2)에 연결되고, 제2 입력단자가 소정의 기준 전압 범위들을 저장하는 레지스터(148-2)에 연결되는 비교기(148-1)로 구성된다.
- <35> 차지 펌프(144)의 동작을 설명하면, 제1 및 제2 트랜지스터(TR1,TR2)의 게이트에는 위상 검출부(142)로부터 출력된 UP 펄스 신호 및 DOWN 펄스 신호가 입력되고, 제3 및 제4 트랜지스터(TR3, TR4)의 게이트에는 소정의 제어 신호(SET) 및 반전 제어 신호(SETB)가 입력된다. 제어 신호(SET)가 디스에이블되는 구간에서는, 제4 트랜지스터(TR4)가 턴온되므로 노드 1(N1)의 전압은 VDD로 풀 업(Pull-up)되고, 제어 신호(SET)가 인에이블되는 구간에서는, 제4 트랜지스터(TR4)가 턴오프되므로 노드 1(N1)의 전압은 플로팅(Floating) 상태로 된다.
- <36> 제어 신호(SET)가 인에이블되는 구간에서, UP 펄스 신호가 인가되면 제1 트랜지스터(TR1)는 턴온되고, 출력 전압(V1)은 제1 트랜지스터(TR1)가 턴온되는 시간에 비례하여 상승한다. 제어 신호(SET)가 인에이블되는 구간에서, DOWN 펄스 신호가 인가되면 제2 트랜지스터(TR2)는 턴온되고, 출력 전압(V1)은 제2 트랜지스터(TR2)가 턴온되는 시간에 비례하여 하강한다. 여기서 UP 펄스 신호와 DOWN 펄스 신호가 동시에 입력되는 구간은 존재할 수 없으므로, 출력 전압(V1)은 UP 펄스 신호와 DOWN 펄스 신호의 입력 횟수에 비례하여 변동한다.
- <37> 로우 패스 필터(146)의 동작을 설명하면, 차지 펌프(144)로부터 출력된 출력 전압(V1)은 정전용량(C1)을 가진 캐패시터에 의해 필터링된다. 필터링은 출력 전압(V1)에 포함된 고주파 성분을 제공하기 위해 필요하다. 다만, 본 발명에 따른 펄스 폭 측정 장치에서 로우 패스 필터(146)는 반드시 필요한 것이 아니라 부가될 수 있는 구성 요소이다.
- <38> 펄스 폭 측정부(148)의 동작을 설명하면, 로우 패스 필터(146)로부터 출력되는 출력 전압(V2)은 비교기(148-1)의 제1 입력단자에 입력되어 기준 전압 범위와 비교된다. 상기 기준 전압 범위는 사이드 밴드 신호에 포함된 펄스들이 원래의 데이터 비트들을 정확히 구현하고 있는지를 판단하기 위한 지표이다. 상기 기준 전압 범위는 각각의 데이터 패턴에 따라 달라지는 값이다. 복수 개의 기준 전압 범위들은 레지스터(148-2)에 미리 저장된다.
- <39> 도 5은 본 발명의 다른 실시예에 따른 펄스 폭 측정 장치를 나타내는 블록도이다.
- <40> 도 5을 참조하면, 본 발명의 다른 실시예에 따른 펄스 폭 측정 장치는 데이터 패턴 생성부(200), 사이드 밴드 신호 생성부(210), 위상 검출부(220), 차지 펌프(230), 펄스 폭 측정부(240), 기준 클록 생성부(250) 및 제어 신호 생성부(260)를 포함한다.
- <41> 데이터 패턴 생성부(200)는 테스트 모드 인에이블 신호(TME)를 수신하고, 데이터 패턴 선택 신호(SeIDP)에 응답하여, 소정의 데이터 패턴을 출력한다. 상기 데이터 패턴은 데이터 패턴 생성부(200) 내부에 구비된 레지스터(미도시)에 이미 저장되어 있는 데이터 패턴이다. 상기 레지스터에는 다양한 조합의 데이터 패턴들이 저장되는데, 다양한 조합이란 데이터 패턴에 포함된 비트 0과 비트 1의 비율이 다양한 것을 의미한다. 여기서, 상기 데이터 패턴의 비트 수는 효율적인 테스트를 위하여 6비트인 것이 바람직하다.
- <42> 사이드 밴드 신호 생성부(210)는 데이터 패턴 생성부(200)로부터 소정의 데이터 패턴을 입력받아 펄스 폭이 변조된 사이드 밴드 신호(SBS)로 출력한다. 출력된 사이드 밴드 신호(SBS)에 포함된 펄스들이 특정 데이터로 인식되기 위해서는 "H"로 인식되기 위한 허용가능한 펄스 폭 범위 또는 "L"로 인식되기 위한 허용가능한 펄스 폭 범위 내에 포함되어야 한다.
- <43> 위상 검출부(220)는 사이드 밴드 신호 생성부(210)로부터 출력되는 사이드 밴드 신호(SBS) 및 기준 클록 생성부(250)로부터 출력되는 기준 클록(CLK)을 입력받고, 사이드 밴드 신호(SBS)와 기준 클록(CLK)의 위상을 비교하여, 그 위상 차이에 해당하는 UP 펄스 신호 및 DOWN 펄스 신호를 생성한다. UP 펄스 신호는 기준 클록(CLK)의 위상의 사이드 밴드 신호(SBS)의 위상보다 높은 구간에서 발생한다. DOWN 펄스 신호는 기준 클록(CLK)의 위상이 사이드 밴드 신호(SBS)의 위상보다 낮은 구간에서 발생한다.
- <44> 여기서, 사이드 밴드 신호(SBS)와 기준 클록(CLK)의 위상을 비교할 때, 사이드 밴드 신호(SBS)를 기준 클록

(CLK)의 라이징 에지에 반드시 정렬시킬 필요는 없다. UP 펄스 신호 및 DOWN 펄스 신호는 사이드 밴드 신호(SBS)와 기준 클럭(CLK)의 상대적인 차이를 나타내는 펄스 신호이기 때문이다.

- <45> 기준 클럭 생성부(250)는 사이드 밴드 신호 생성부(210)로부터 출력되는 사이드 밴드 신호(SBS)를 입력받아 상기 사이드 밴드 신호(SBS)와 주기와 동일한 기준 클럭(CLK)을 생성한다. 데이터 패턴과 사이드 밴드 신호(SBS)는 동일한 주기를 갖는 것이 원칙이지만, 두 신호들(DP,SBS) 사이에 주기 오프셋이 발생한 가능성이 있으므로, 이를 고려해 사이드 밴드 신호(SBS)를 이용하여 기준 클럭(CLK)을 생성하는 것이 바람직하다.
- <46> 차지 펌프(230)는 위상 검출부(220)로부터 펄스 신호(PS)를 입력받고, 입력받은 펄스 신호(PS)에 근거하여 출력 전압(V1)을 상승 또는 하강시켜 출력한다. 출력 전압(V1)은 상기 UP 펄스 신호 및 DOWN 펄스 신호의 개수 및 펄스 폭에 따라 변동된다.
- <47> 차지 펌프(230)에 제어 신호 생성부(260)로부터 생성된 제어 신호(SET)가 입력될 수도 있다. 제어 신호(SET)는 차지 펌프(230)의 동작 구간을 제어하는 신호로서, 상기 제어 신호(SET)를 이용하면 불필요하게 낭비되는 소비 전력을 절감할 수 있는 효과가 있다.
- <48> 제어 신호 발생부(260)는 사이드 밴드 신호 생성부(210)로부터 생성되는 사이드 밴드 신호(SBS)를 입력받아 제어 신호(SET)를 생성한다. 상기 제어 신호(SET)가 인에이블되는 구간은 상기 사이드 밴드 신호(SBS)의 비트 수에 상응하도록 설정된다. 제어 신호(SET)를 생성할 때 사이드 밴드 신호(SBS)를 입력받는 이유는, 데이터 패턴과 사이드 밴드 신호(SBS) 사이에 주기 오프셋이 발생할 가능성이 있기 때문이다.
- <49> 펄스 폭 측정부(240)는 각각의 데이터 패턴에 대응되는 복수 개의 기준 전압 범위들이 테이블 형태로 저장된 레지스터를 구비하고, 상기 데이터 패턴 선택 신호를 입력받아 그에 대응되는 기준 전압 범위를 선택하며, 선택된 기준 전압 범위와 상기 차지 펌프의 출력 전압을 비교한다. 상기 복수 개의 기준 전압 범위들은 데이터 패턴에 상응하도록 설정된다. 즉, 데이터 패턴에 포함된 비트 0과 비트 1의 비율에 따라 상기 기준 전압 범위는 상승 또는 하강한다.
- <50> 데이터 패턴 선택 신호(SeIDP)가 펄스 폭 측정부(240)로 입력되면, 펄스 폭 측정부(240)는 레지스터(미도시)에 저장된 복수 개의 기준 전압 범위들 중 소정의 데이터 패턴 선택 신호(SeIDP)에 대응되는 소정의 기준 전압 범위를 선택하고, 이를 차지 펌프(230)로부터 출력되는 출력 전압(V1)과 비교한다. 비교 결과는 논리 "H" 또는 논리 "L"로 출력되므로, 사이드 밴드 신호(SBS)에 포함된 펄스가 정상적인 폭을 갖는지를 측정할 수 있다.
- <51> 도 6a 및 도 6b는 각각 데이터 패턴에 포함된 비트의 0과 1의 비율이 1:1인 경우에 생성되는 사이드 밴드 신호(SBS), 펄스 신호(UP, DOWN) 및 출력 전압(V1)을 나타내는 도면이다.
- <52> 도 6a에는 데이터 패턴이 "010101"인 경우에 생성되는 UP 펄스 신호 및 DOWN 펄스 신호가 도시되어 있고, 도 6b에는 데이터 패턴이 "010101"인 경우에 출력되는 출력 전압(V1)이 도시되어 있다. 상기와 같은 데이터 비율을 갖는 데이터 패턴을 이용하면, 비트 0을 나타내는 펄스의 폭과 비트 1을 나타내는 펄스의 폭이 모두 너무 좁거나 너무 넓게 생성되었는지를 테스트할 수 있다.
- <53> 사이드 밴드 신호(SBS)에 포함된 0과 1을 나타내는 펄스들이 모두 허용가능한 펄스 폭 길이보다 좁게 생성되면 출력 전압(V1)은 제1 기준 전압 범위보다 높아지고, 모두 허용가능한 펄스 폭 길이보다 넓게 생성되면 출력 전압(V1)은 제1 기준 전압 범위보다 낮아진다.
- <54> 이로 인해, 출력 전압(V1)이 제1 기준 전압 범위를 벗어나게 되면 사이드 밴드 신호에 포함된 비트 0 및 비트 1을 나타내는 펄스들이 모두 너무 좁거나 너무 넓은 폭을 가진 것으로 판단할 수 있다.
- <55> 도 7a 및 도 7b는 각각 데이터 패턴에 포함된 비트의 0과 1의 비율이 2:1인 경우에 생성되는 사이드 밴드 신호(SBS), 펄스 신호(UP, DOWN) 및 출력 전압(V1)을 나타내는 도면이다.
- <56> 도 7a에는 데이터 패턴이 "001001"인 경우에 생성되는 UP 펄스 신호 및 DOWN 펄스 신호가 도시되어 있고, 도 7b에는 데이터 패턴이 "001001"인 경우에 출력되는 출력 전압(V1)이 도시되어 있다. 상기와 같은 데이터 비율을 갖는 데이터 패턴을 이용하면, 비트 0을 나타내는 펄스 폭이 너무 좁게 생성되고, 비트 1을 나타내는 펄스 폭이 너무 넓게 생성되었는지를 테스트할 수 있다.
- <57> 사이드 밴드 신호(SBS)에 포함된 비트 0을 나타내는 펄스들이 각각 허용가능한 펄스 폭 길이보다 좁게 생성되고, 비트 1을 나타내는 펄스들이 각각 허용가능한 펄스 폭 길이보다 넓게 생성되면 출력 전압(V1)은 제2 기준 전압 범위를 벗어나게 된다.



- <58> 이로 인해, 출력 전압(V1)이 제2 기준 전압 범위를 벗어나게 되면 사이드 밴드 신호에 포함된 비트 0을 나타내는 펄스가 너무 좁은 폭을 가지고, 비트 1을 나타내는 펄스가 너무 넓은 폭을 가진 것으로 판단할 수 있다.
- <59> 도 8a 및 도 8b는 각각 데이터 패턴에 포함된 비트의 0과 1의 비율이 1:2인 경우에 생성되는 사이드 밴드 신호(SBS), 펄스 신호(UP, DOWN) 및 출력 전압(V1)을 나타내는 도면이다.
- <60> 도 8a에는 데이터 패턴이 "011011"인 경우에 생성되는 UP 펄스 신호 및 DOWN 펄스 신호가 도시되어 있고, 도 8b에는 데이터 패턴이 "011011"인 경우에 출력되는 출력 전압(V1)이 도시되어 있다. 상기와 같은 데이터 비율을 갖는 데이터 패턴을 이용하면, 비트 0을 나타내는 펄스 폭이 너무 넓게 생성되고, 비트 1을 나타내는 펄스 폭이 너무 좁게 생성되었는지를 테스트할 수 있다.
- <61> 사이드 밴드 신호(SBS)에 포함된 비트 0을 나타내는 펄스들이 각각 허용가능한 펄스 폭 범위보다 넓게 생성되고, 비트 1을 나타내는 펄스들이 각각 허용가능한 펄스 폭 범위보다 좁게 생성되면 출력 전압(V1)은 제3 기준 전압 범위를 벗어나게 된다.
- <62> 이로 인해, 출력 전압(V1)이 제3 기준 전압 범위를 벗어나게 되면 사이드 밴드 신호에 포함된 비트 0을 나타내는 펄스가 너무 넓은 폭을 가지고, 비트 1을 나타내는 펄스가 너무 좁은 폭을 가진 것으로 판단할 수 있다.
- <63> 도 9은 본 발명의 일 실시예에 따른 펄스 폭 측정 방법을 나타내는 플로우차트이다.
- <64> 테스트 모드에 진입한다(S310). 테스트 모드는 외부에 설치된 테스트로부터 제어 핀을 통해 입력되는 신호의 조합으로 진입할 수 있다. 이를 테스트 인에이블신호라 하기로 한다. 테스트 인에이블 신호에 의해 소정의 테스트 모드에 진입한 후 소정의 데이터 패턴을 선택하고(S315), 이를 이용하여 사이드 밴드 신호를 생성한다(S320). 사이드 밴드 신호는 상기 데이터 패턴에 포함된 데이터 비트들의 폭이 변환된 신호이다.
- <65> 사이드 밴드 신호를 기준 클록과 비교하여(S325), 그 위상 차이를 소정의 펄스 신호로 출력한다(S330). 출력된 펄스 신호를 근거로 하여 출력 전압을 변동시킨다. 출력 전압이 최종적으로 변경되면, 기준 전압 범위와 비교하여(S340) 기준 전압 범위를 벗어나는지를 판단한다(S345).
- <66> 만일 기준 전압 범위 내에 속하는 경우, 설정된 데이터 패턴들을 이용하여 모두 테스트하였는지를 판단하고(S350), 아직 테스트할 데이터 패턴이 남아있다면, 데이터 패턴을 변경하여(S355) 처음부터 상기 절차를 다시 진행한다. 그러나, 기준 전압 범위 내에 속하지 않는 경우, 사이드 밴드 신호에 포함된 펄스 폭이 비정상적인 것으로 판단한다(S365).
- <67> 이상 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적으로 사용된 것이지 의미 한정이나 특허 청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야에서 통상의 지식을 가지는 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

**발명의 효과**

- <68> 본 발명에 따른 펄스 폭 측정 장치 및 방법은 사이드 밴드 신호를 생성하는 모듈이 정상적인 펄스 폭을 가진 사이드 밴드 신호를 생성할 수 있는지를 정확하고 신속하게 측정할 수 있으므로, 사이드 밴드 채널을 이용한 데이터 통신시 오류를 현저하게 줄일 수 있는 효과가 있다.

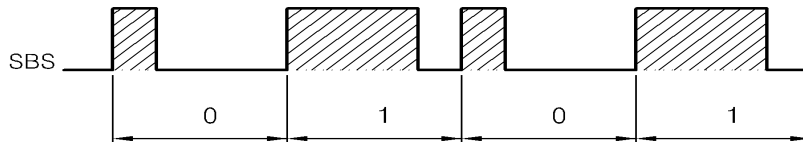
**도면의 간단한 설명**

- <1> 도 1은 복수 개의 펄스로 구성된 사이드 밴드 신호를 나타내는 도면이다.
- <2> 도 2는 본 발명의 일 실시예에 따른 펄스 폭 측정 장치를 개략적으로 나타내는 블럭도이다.
- <3> 도 3은 도 2에 도시된 BIST 회로부를 나타내는 블럭도이다.
- <4> 도 4는 도 2에 도시된 BIST 회로부를 구체적으로 나타내는 도면이다.
- <5> 도 5는 본 발명의 다른 실시예에 따른 펄스 폭 측정 장치를 나타내는 블럭도이다.
- <6> 도 6a 및 도 6b는 데이터 패턴에 포함된 비트의 0과 1의 비율이 1:1인 경우에 생성되는 사이드 밴드 신호(SBS), 펄스 신호(UP, DOWN) 및 출력 전압(V1)을 나타내는 도면이다.

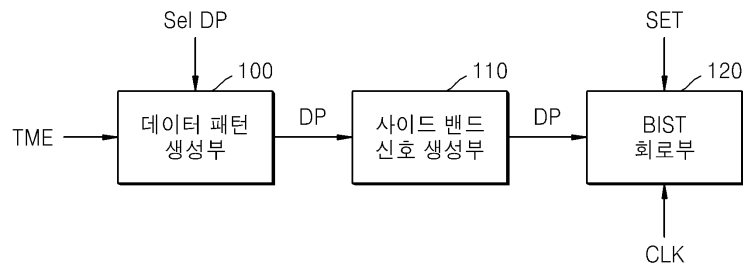
- <7> 도 7a 및 도 7b는 데이터 패턴에 포함된 비트의 0과 1의 비율이 2:1인 경우에 생성되는 사이드 밴드 신호(SBS), 펄스 신호(UP, DOWN) 및 출력 전압(V1)을 나타내는 도면이다.
- <8> 도 8a 및 도 8b는 데이터 패턴에 포함된 비트의 0과 1의 비율이 1:2인 경우에 생성되는 사이드 밴드 신호(SBS), 펄스 신호(UP, DOWN) 및 출력 전압(V1)을 나타내는 도면이다.
- <9> 도 9는 본 발명의 일 실시예에 따른 펄스 폭 측정 방법을 나타내는 플로우차트이다.

도면

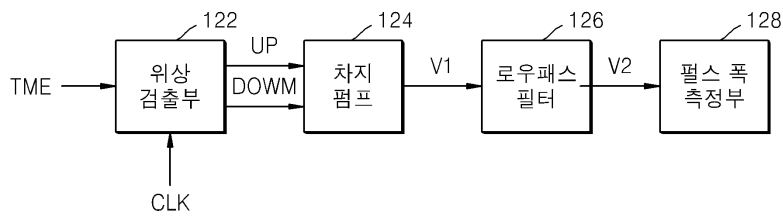
도면1



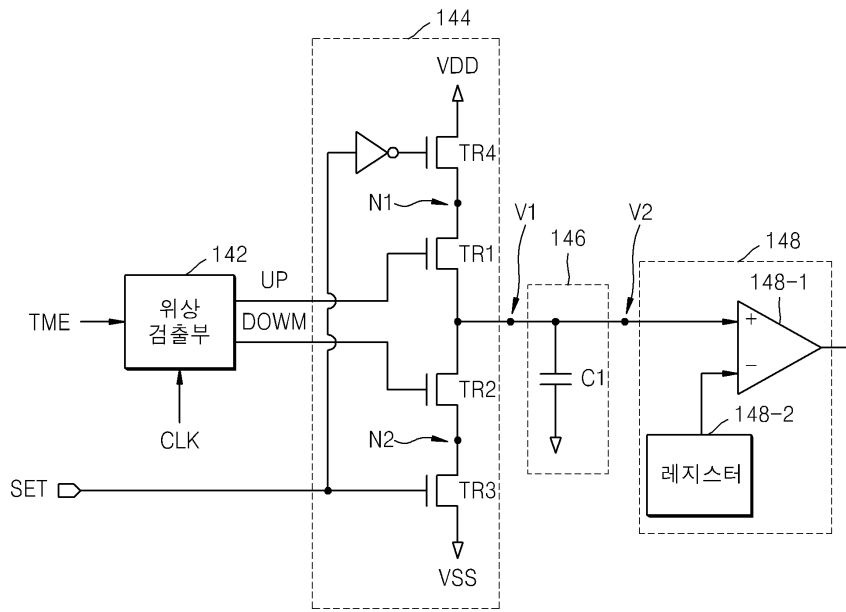
도면2



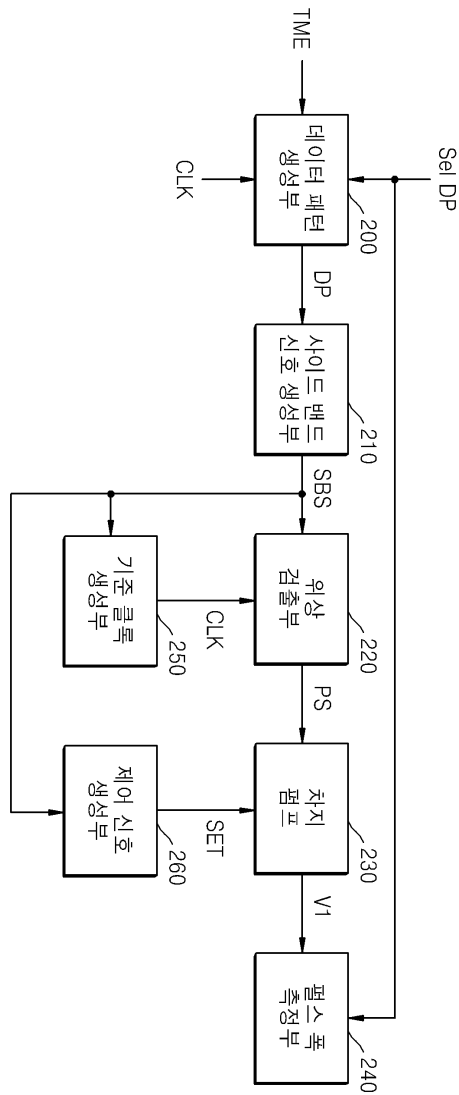
도면3



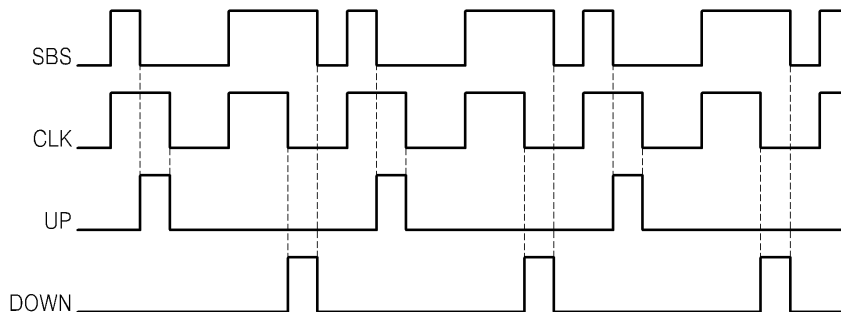
도면4



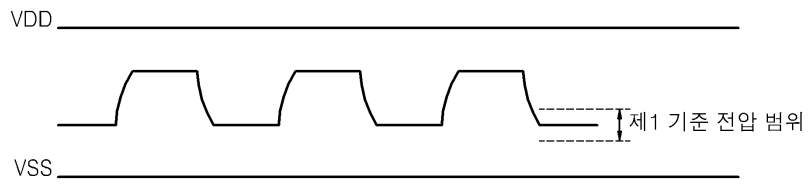
도면5



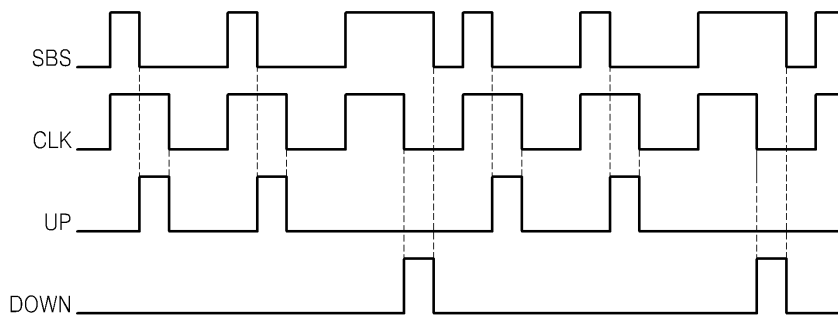
도면6a



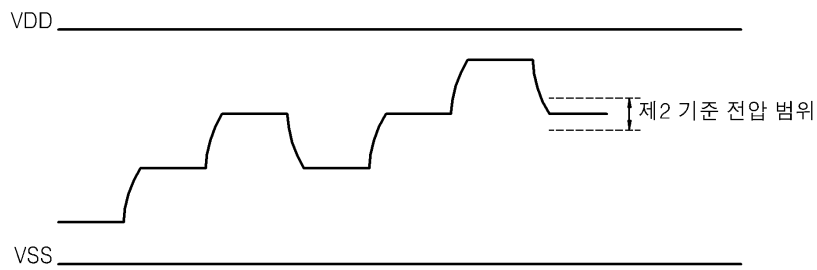
도면6b



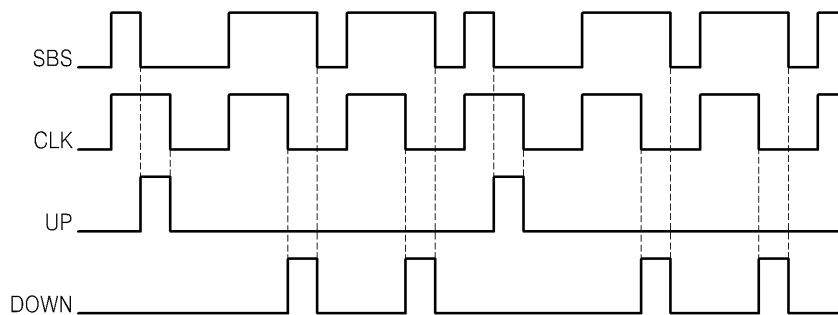
도면7a



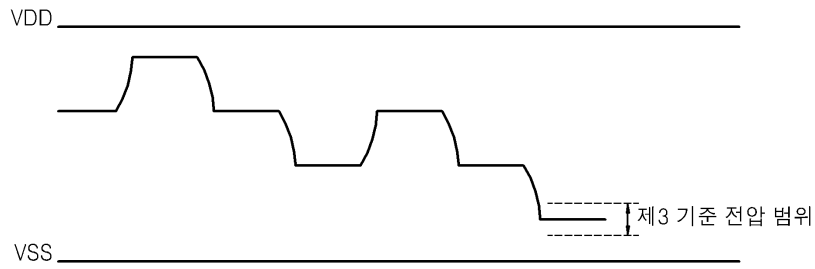
도면7b



도면8a



도면8b



도면9

