

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
H01L 29/73  
H01L 27/04

(45) 공고일자 1995년05월24일  
(11) 공고번호 95-005470

(21) 출원번호	특 1992-0015792	(65) 공개번호	특 1994-0004838
(22) 출원일자	1992년08월31일	(43) 공개일자	1994년03월16일
(71) 출원인	삼성전자주식회사 김광호 경기도 수원시 권선구 매탄동 416번지		

(72) 발명자 장경희  
서울특별시 동대문구 제기 1동 768번지  
(74) 대리인 이영필, 최덕용

심사관 : 김정국 (특자공보 제3984호)

(54) 정전기특성이 개선된 반도체장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

정전기특성이 개선된 반도체장치

[도면의 간단한 설명]

제1도는 종래의 기판 PNP트랜지스터의 구조를 나타낸 평면도.

제2도는 종래의 기판 PNP트랜지스터의 구조를 나타낸 단면도.

제3도는 본 발명의 기판 PNP트랜지스터의 구조를 나타낸 평면도.

제4도는 본 발명의 기판 PNP트랜지스터의 구조를 나타낸 단면도.

제5도는 본 발명의 일실시예에 의한 기판 PNP트랜지스터의 구조를 나타낸 평면도.

제6도는 본 발명의 일실시예에 의한 기판 PNP트랜지스터의 구조를 나타낸 단면도.

[발명의 상세한 설명]

본 발명은 정전기 특성이 개선된 반도체장치에 관한 것으로, 특히 입력단이 기판(sub)-PNP트랜지스터로 구성된 바이폴라소자의 베이스와 콜렉터 사이의 양(+)정전기 특성이 개선된 반도체장치에 관한 것이다.

일반적으로 기판 PNP트랜지스터는 제1도 및 제2도에 도시된 바와 같이 P형 반도체기판(1)에 N형 에피택셜층(2)이 성장되고, 상기 N형 에피택셜층(2)의 소정영역에 P<sup>+</sup>형 불순물이 확산되어 각 소자간을 분리시키기 위한 P<sup>+</sup>형 분리층(3)이 형성된다. 이 P<sup>+</sup>형 분리층(3)은 콜렉터역할도 하게 된다. 그리고 상기 N형 에피택셜층(2) 표면에 P형영역의 에미터(4)와 N<sup>+</sup>형영역의 베이스(5)가 형성되며, 상기 에미터(4)와 베이스(5)를 전기적으로 절연시키기 위해 절연막(6)을 개재하여 에미터(4), 베이스(5) 각각의 상부에 금속콘택(7,8)이 형성된 구조로 되어 있다. 제2도에서 참조부호 9는 상기 베이스(5)와 분리층(3)(콜렉터)의 접합면에서 형성되는 다이오드이다.

상기와 같은 일반적인 기판 PNP트랜지스터의 경우, 베이스(5)와 콜렉터(3)사이에 양(+)정전기가 인가될 경우 상기 베이스(5)와 콜렉터(3)사이에 양(+)정전기가 인가될 경우 상기 베이스(5)와 콜렉터(3)의 접합면에 형성되는 다이오드(9)가 역바이어스되고 역바이어스된 다이오드에 에너지가 가해지게 된다. 특히 N<sup>+</sup>영역인 베이스(5)의 금속-실리콘 콘택부근에 에너지가 몰리게 되어 금속-실리콘의 공융(Eutectic)온도이상이면 콘택부근이 파괴되어 접합면이 단락된다. 또한 상기 베이스(5)와 콜렉터(3)의 접합면에서 형성되는 다이오드(9)의 브레이크다운(breakdown)매카니즘은 표면브레이크다운으로 표면의 불안정등에 의한 정전기 내성이 약하기 때문에 정전기 특성이 +500V 수준으로 낮게 분포하는 문제점이 생긴다. 따라서, 예컨대 인체에 의해 발생된 정전기 등에 의해 치명적인 불량을

초래할 수 있다.

본 발명은 상술한 문제점을 해결하기 위한 것으로, 양호한 정전기 특성을 갖는 반도체장치를 제공하는 것을 그 목적으로 한다.

상기 목적을 달성하기 위해 본 발명의 반도체장치는 P형 반도체기판과, 상기 P형 반도체기판에 형성된 N형 에피택셜층, 상기 반도체기판과 N형 에피택셜층의 경계부분에 형성된 N<sup>+</sup>형 매몰층, 상기 N형 에피택셜층의 주변에 형성된 P형 분리층, 상기 N형 에피택셜층의 소정영역에 형성된 P형 에미터영역과 N<sup>+</sup>형 베이스영역, 상기 N<sup>+</sup>형 매몰층과 동일 수직선상의 상기 N형 에피택셜층 소정영역에 형성되며, 상기 P<sup>+</sup>형 분리층까지 확장되어 형성된 P형 영역 및 상기 P형 에미터영역과 N<sup>+</sup>형 베이스영역의 각각의 상부에 절연막을 개재하여 형성된 금속콘택을 구비하여 구성된 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명한다.

전제3도 및 제4도는 각각 본 발명의 반도체장치의 구조를 나타낸 평면도 및 단면도이다.

도면에서 알 수 있는 바와 같이 본 발명의 반도체장치는 P형 반도체기판(21)에 N형 에피택셜층(22)이 형성되어 있고, 상기 반도체기판(21)과 N형 에피택셜층(22)의 경계근에 N<sup>+</sup>형 매몰층(31)이 형성되어 있으며, 상기 N형 에피택셜층(22)의 주변에 소자간을 분리시키고 콜렉터의 역할을 하는 P<sup>+</sup>형 분리층(23)이 형성되어 있다.

또한, 상기 N형 에피택셜층(22)의 소정부분에는 P형 에미터영역(24)과 N<sup>+</sup>형 베이스영역(25) 그리고 추가된 P형 영역(24A)이 형성되어 있고, 상기 에미터영역(24)과 베이스영역(25)상에는 절연막(26)을 개재하여 에미터와 베이스를 전기적으로 연결하기 위한 금속콘택(27,28)이 각각 형성되어 있다.

상기 N<sup>+</sup>형 베이스영역(25)과 P<sup>+</sup>형 분리층(23) 및 추가된 P형 영역(24A) 사이의 수평간격을 넓게 형성함으로써 상기 N<sup>+</sup>형 베이스영역(25)과 P<sup>+</sup>형 분리층(23)사이에 형성되는 다이오드(29)의 브레이크다운이 애벌런치브레이크다운을 나타내도록 하고, 상기한 바와 같이 추가된 P형 영역(24A)을 상기 N<sup>+</sup>형 매몰층(31)의 상부에 형성함으로써 상기 P형 영역(24A)과 N<sup>+</sup>형 매몰층(31)의 접합면 사이에서 형성되는 다이오드(30)의 브레이크다운은 수직브레이크다운을 나타내도록 한다. 또한, 상기 추가된 P형 영역(24A)은 기판 PNP트랜지스터의 콜렉터역할을 하는 상기 P<sup>+</sup>형 분리층(23)까지 확장되어 형성됨으로써 상기 P<sup>+</sup>형 분리층(23)과 동일전위를 이룬다.

따라서, 상기와 같은 본 발명의 반도체장치는 N<sup>+</sup>형 베이스영역(25)과 P<sup>+</sup>형 분리층(23), 그리고 추가된 P형영역(24A)과 N<sup>+</sup>형 매몰층(31)의 각각의 사이에 두개의 다이오드(29)(30)가 병렬로 형성됨으로써 브레이크다운전압이 낮은 다이오드, 즉, 추가된 P형영역(24A)과 N<sup>+</sup>형 매몰층(31)사이의 다이오드(30)에 의해 정전기 특성이 결정되게 된다. 이에 따라 N<sup>+</sup>형 베이스영역(25)의 금속-실리콘 콘택부근에서 발생하는 열적충격 및 표면브레이크다운이 수직브레이크다운으로 유도됨으로써 기판 PNP트랜지스터의 정전기특성이 +1500V정도로 개선된다.

상기 브레이크다운이 일어날 때의 전류의 경로는 N<sup>+</sup>형 베이스영역(25)에서 N형 에피택셜층(22), N<sup>+</sup>형 매몰층(31), 추가된 P형 영역(24A), P<sup>+</sup>형 분리층(23)을 순차적으로 거쳐 흐르게 됨으로써 브레이크다운이 이루어지게 된다.

다음에 본 발명의 일 실시예를 제5도 및 제6도를 참조하여 설명한다.

제5도 및 제6도는 본 발명의 기판 PNP트랜지스터를 증폭기의 입력단에 사용하는 경우를 나타낸 도면이다.

먼저, P형 반도체기판(21)상의 소정영역에 N<sup>+</sup>형 매몰층(31)을 형성하고, N형 에피택셜층(22)을 성장시킨다.

이어서, 상기 N형 에피택셜층(22)의 소정영역에 P형 불순물을 확산시켜 P<sup>+</sup>형 분리층(23)을 형성한다.

그리고, 상기 N형 에피택셜층(22) 표면의 소정영역에 기판 PNP트랜지스터의 에미터 역할을 하는 P형 영역(24)과 정전기 개선용의 추가된 P형 영역(24A)을 동시에 형성시킨다. 이어서 상기 N형 에피택셜층(22)의 소정영역에 N형 불순물을 확산시켜 상기 N<sup>+</sup>형 매몰층(31)과 동일 수직선상에 위치하는 N<sup>+</sup>형 베이스영역(25)을 형성한다. 이때, 상기 추가된 P형영역(24A)은 상기 분리층(23)까지 확장시켜 동일전위로 만들고, 상기 N<sup>+</sup>형 매몰층(31)은 상기 추가된 P형 영역(24A)까지 확장시켜 N<sup>+</sup>형 베이스영역(25)과 P<sup>+</sup>형 분리층(23)사이에 수직브레이크다운전압이 유도되도록 한다.

그리고 상기 P형 영역(24)과 N<sup>+</sup>형 베이스영역(25)상에 절연막(26)을 개재하여 P형 에미터영역(24)과 N<sup>+</sup>형 베이스영역(25)을 전기적으로 연결하기 위한 금속콘택(27,28)을 각각 형성한다.

다음에 기판 PNP트랜지스터가 증폭기의 입력단에 사용될 경우, 정전기가 문제가 되므로 기판 PNP트랜지스터의 베이스, 즉, 상기 N<sup>+</sup>형 영역(25)을 패드(32)(와이어본딩을 위한 것으로 최종패키지가 끝난 후 리드로 연결됨)에 연결시킨다. 이때, 상기 추가된 P형 영역(24A) 옆에 패드(32)를 형성함으로써 칩 면적의 증가없이 소정의 목적을 달성할 수 있다.

상기와 같이 제조된 반도체장치는 N<sup>+</sup>형 베이스영역(25)과 분리층(23)사이에 수직브레이크다운전압이 형성되므로 정전기 특성이 +1500V정도로 개선되며, 또한 기판 PNP트랜지스터에서의 N형 에피택셜층

(22)위에 패드(32)를 형성시킴으로써 추가적으로 칩면적을 증가시킬 필요가 없게 된다.

이상 상술한 바와 같이 본 발명에 의하면, 별도의 칩면적을 증가시키지 않고도 기판 PNP트랜지스터의 베이스와 콜렉터사이의 약(+)정전기 특성을 개선시킬 수 있다.

### (57) 청구의 범위

#### 청구항 1

P형 반도체기판과, 상기 P형 반도체기판에 형성된 N형 에피택셜층, 상기 반도체기판과 N형 에피택셜층의 경계부분에 형성된 N+형 매몰층, 상기 N형 에피택셜층의 주변에 형성된 P+형 분리층, 상기 N형 에피택셜층의 소정영역에 형성된 P형 에미터영역과 N형 베이스영역, 상기 N+형 매몰층과 동일 수직선상의 상기 N형 에피택셜층 소정영역에 형성되며 상기 P+형 분리층까지 확장되어 형성된 추가된 P형 영역 및 상기 P형 에미터영역과 N형 베이스영역의 각각의 상부에 절연막을 개재하여 형성된 금속콘택을 구비하여 구성된 것을 특징으로 하는 반도체장치.

#### 청구항 2

제1항에 있어서, 상기 추가된 P형 영역과 상기 P+형 분리층은 동일전위를 형성하는 것을 특징으로 하는 반도체장치.

#### 청구항 3

제1항에 있어서, 상기 N+형 베이스영역과 추가된 P형 영역은 상기 N+형 매몰층과 동일수직선상에 형성되는 것을 특징으로 하는 반도체장치.

#### 청구항 4

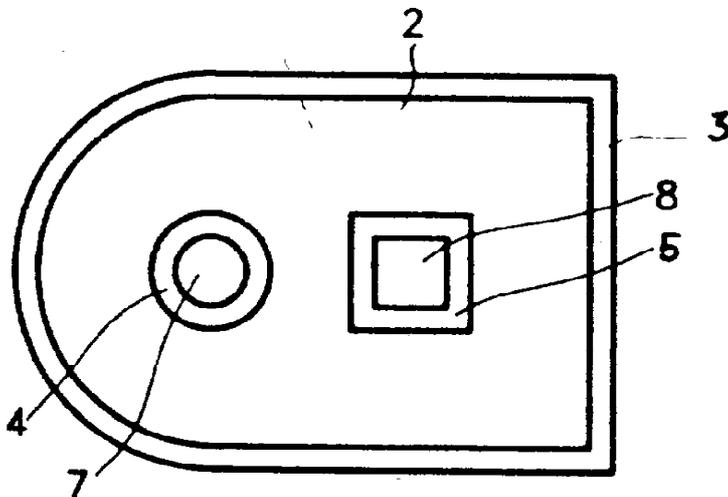
제1항에 있어서, 상기 추가된 P형 영역과 인접한 상기 N형 에피택셜층상에 절연막을 개재하여 형성된 패드를 더 포함하여 구성되는 것을 특징으로 하는 반도체장치.

#### 청구항 5

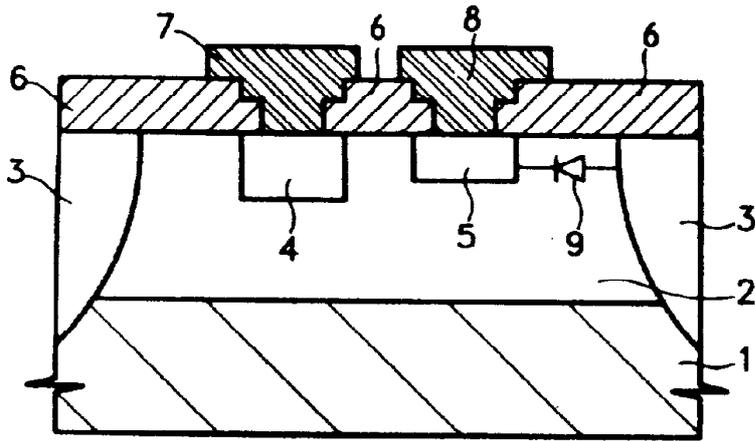
제4항에 있어서, 상기 패드는 상기 N+형 베이스영역과 연결되는 것을 특징으로 하는 반도체장치.

### 도면

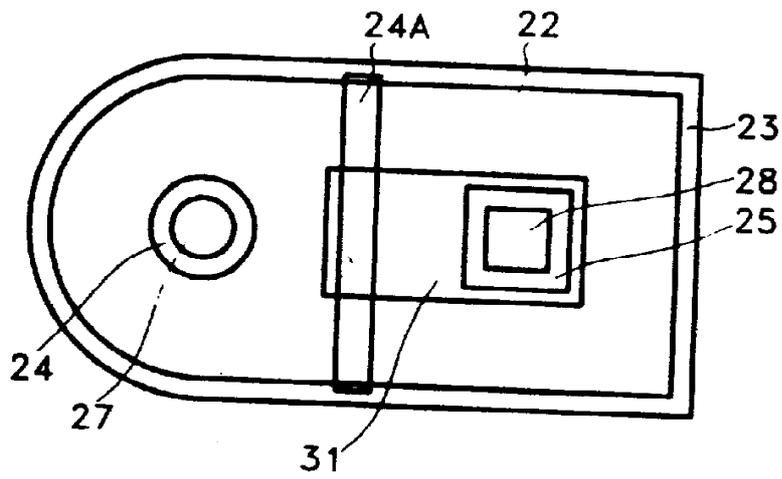
도면1



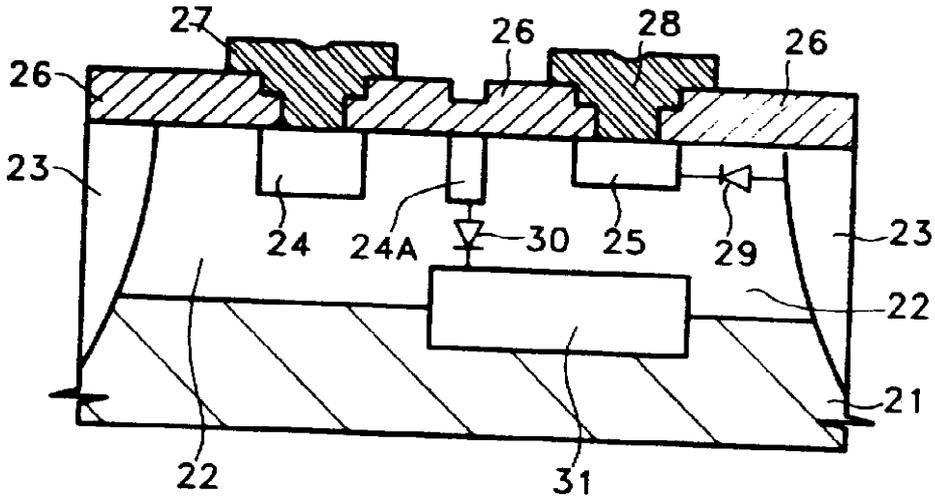
도면2



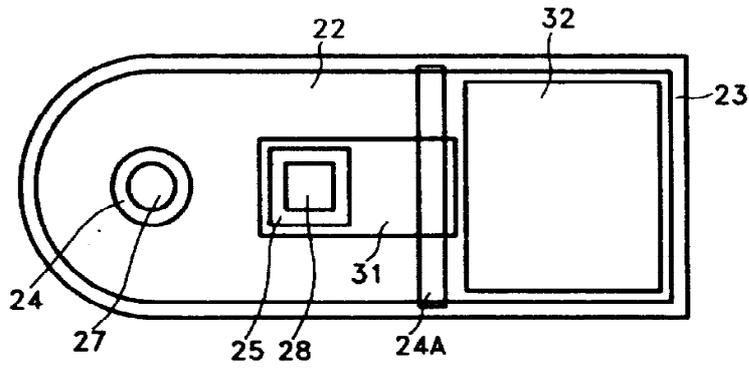
도면3



도면4



도면5



도면6

