



(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2024 100 067.8**

(22) Anmeldetag: **03.01.2024**

(43) Offenlegungstag: **14.08.2024**

(51) Int Cl.: **H01L 27/08 (2006.01)**

H01L 21/822 (2006.01)

H01L 21/768 (2006.01)

H01L 29/06 (2006.01)

(30) Unionspriorität:

63/484,680 13.02.2023 US
18/333,405 12.06.2023 US

(72) Erfinder:

Chang, Han-Chung, Hsinchu, TW; Chang, Kuang-Ching, Hsinchu, TW; Gao, Jia-Hong, Hsinchu, TW; Cheng, Po-Chih, Hsinchu, TW; Zhuang, Hui-Zhong, Hsinchu, TW

(71) Anmelder:

**Taiwan Semiconductor Manufacturing Co., Ltd.,
Hsinchu, TW**

(74) Vertreter:

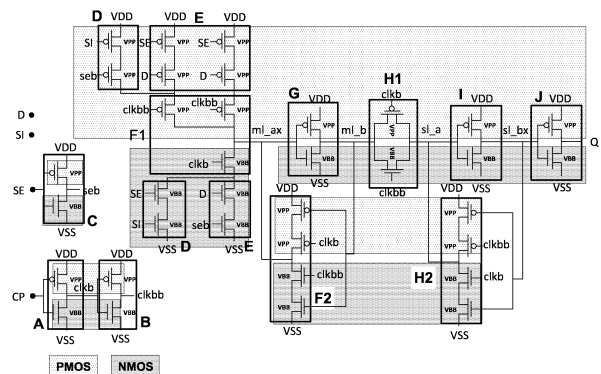
**BOEHMERT & BOEHMERT Anwaltspartnerschaft
mbB - Patentanwälte Rechtsanwälte, 28359
Bremen, DE**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **VORRICHTUNG MIT HYBRIDZELLENBEREICHEN UND VERFAHREN ZU DEREN HERSTELLUNG**

(57) Zusammenfassung: Ein Zellenbereich einer Halbleitervorrichtung weist aktive Bereiche (ARs) auf, die als vorgegebene Formen auf einem Substrat ausgebildet sind und Folgendes umfassen: einen ersten und einen zweiten AR, die eine erste Form und eine erste bzw. eine zweite Dotierungsart haben; einen dritten AR, der eine zweite Form und die zweite Dotierungsart hat; und einen vierten AR, der eine dritte Form und die erste Dotierungsart hat. Der erste und der zweite AR sind in einer ersten Zone des Zellenbereichs angeordnet. Der dritte und der vierte AR sind in einer zweiten Zone des Zellenbereichs angeordnet. Die zweite Zone ist entlang einer ersten Richtung, z. B. entlang der y-Achse (vertikale Adjatenzarchitektur) oder entlang der x-Achse (horizontale Adjatenzarchitektur), zu der ersten Zone benachbart. Die erste Form ist kleiner als die zweite Form, und die zweite Form ist kleiner als die dritte Form.



Beschreibung

Prioritätsangaben

[0001] Die vorliegende Anmeldung beansprucht die Priorität der am 13. Februar 2023 eingereichten vorläufigen US-Patentanmeldung mit dem Aktenzeichen 63/484.680, die durch Bezugnahme in die vorliegende Anmeldung vollständig aufgenommen ist.

Hintergrund

[0002] Die IC-Industrie (IC: integrierte Halbleiterschaltung) stellt eine breite Palette von analogen und digitalen Vorrichtungen her, um Probleme in verschiedenen Bereichen anzugehen. Durch Entwicklungen bei Halbleiterprozessknoten sind Komponentengrößen zunehmend reduziert worden und Abstände sind verkleinert worden, was zu einer immer höheren Transistordichte geführt hat. ICs sind kleiner geworden.

Kurze Beschreibung der Zeichnungen

[0003] In den Figuren der beigefügten Zeichnungen werden eine oder mehrere Ausführungsformen beispielhaft und nicht beschränkend erläutert, wobei Elemente mit denselben Bezugszahlen durchweg ähnliche Elemente darstellen. Die Zeichnungen sind nicht maßstabsgerecht, wenn nicht anders angegeben.

Die **Fig. 1A bis 1E** sind Layoutdiagramme entsprechender Zellenbereiche für Halbleitervorrichtungen gemäß einigen Ausführungsformen.

Die **Fig. 2A bis 2F** sind Layoutdiagramme entsprechender Zellenbereiche für Halbleitervorrichtungen gemäß einigen Ausführungsformen.

Die **Fig. 3A und 3C** sind Prinzipschaltbilder entsprechender Flipflop-Schaltungen gemäß einigen Ausführungsformen.

Die **Fig. 3B und 3D** sind Layoutdiagramme entsprechender Flipflop-Schaltungen gemäß einigen Ausführungsformen.

Die **Fig. 4A bis 4C** sind Layoutdiagramme entsprechender Zellenbereiche für Halbleitervorrichtungen gemäß einigen Ausführungsformen.

Fig. 5 ist ein Layoutdiagramm einer Flipflop-Schaltung gemäß einigen Ausführungsformen.

Die **Fig. 6, 7A und 7B** sind Ablaufdiagramme entsprechender Verfahren zum Herstellen einer Speichervorrichtung gemäß einigen Ausführungsformen.

Fig. 8 ist ein Blockdiagramm eines elektronischen Design-Automatisierungssystems (EDA-Systems) gemäß einigen Ausführungsformen.

Fig. 9 ist ein Blockdiagramm eines IC-Herstellungssystems und eines damit verbundenen IC-Herstellungsablaufs gemäß einigen Ausführungsformen.

Detaillierte Beschreibung

[0004] Die nachstehende Offenbarung liefert viele verschiedene Ausführungsformen oder Beispiele zum Implementieren verschiedener Merkmale des Gegenstands. Nachstehend werden spezielle Beispiele für Komponenten, Materialien, Werte, Schritte, Operationen, Anordnungen oder dergleichen beschrieben, um die vorliegende Offenbarung zu vereinfachen. Diese sind natürlich lediglich Beispiele und sollen nicht beschränkend sein. Es werden auch andere Komponenten, Materialien, Werte, Schritte, Operationen, Anordnungen oder dergleichen in Betracht gezogen. Zum Beispiel kann die Herstellung eines ersten Elements über oder auf einem zweiten Element in der nachstehenden Beschreibung Ausführungsformen umfassen, bei denen das erste und das zweite Element in direktem Kontakt hergestellt werden, und sie kann auch Ausführungsformen umfassen, bei denen zusätzliche Elemente zwischen dem ersten und dem zweiten Element hergestellt werden können, sodass das erste und das zweite Element nicht in direktem Kontakt sind. Darüber hinaus können in der vorliegenden Offenbarung Bezugszahlen und/oder -buchstaben in den verschiedenen Beispielen wiederholt werden. Diese Wiederholung dient der Einfachheit und Übersichtlichkeit und schreibt an sich keine Beziehung zwischen den verschiedenen erörterten Ausführungsformen und/oder Konfigurationen vor.

[0005] Darüber hinaus können hier räumlich relative Begriffe, wie etwa „darunter befindlich“, „unter“, „untere(r)“, „unteres“, „darüber befindlich“, „obere(r)“, „oberes“ und dergleichen, zur einfachen Beschreibung der Beziehung eines Elements oder Strukturelements zu einem oder mehreren anderen Elementen oder Strukturelementen verwendet werden, die in den Figuren dargestellt sind. Die räumlich relativen Begriffe sollen zusätzlich zu der in den Figuren dargestellten Orientierung andere Orientierungen der in Gebrauch oder in Betrieb befindlichen Vorrichtung umfassen. Die Vorrichtung kann anders ausgerichtet werden (um 90° gedreht oder in einer anderen Orientierung), und die räumlich relativen Deskriptoren, die hier verwendet werden, können entsprechend interpretiert werden. Bei einigen Ausführungsformen bezeichnet der Begriff „Standardzellenstruktur“ einen standardisierten Baustein, der in einer Bibliothek von verschiedenen Standardzellenstrukturen enthalten ist. Bei einigen Ausführungsformen werden verschiedene Standardzellenstrukturen aus einer Standardzellenstrukturen-Bibliothek ausgewählt und als Komponenten in einem Layoutdiagramm verwendet, das eine Schaltung darstellt.

[0006] Bei einigen Ausführungsformen weist ein Zellenbereich einer Halbleitervorrichtung aktive Bereiche (ARs) auf, die als vorgegebene Formen auf einem Substrat ausgebildet sind, wobei die ARs Folgendes umfassen: einen ersten und einen zweiten AR, die eine erste Form und eine erste bzw. eine zweite Dotierungsart haben; einen dritten AR, der eine zweite Form und die zweite Dotierungsart hat; und einen vierten AR, der eine dritte Form und die erste Dotierungsart hat. Der dritte und der vierte AR sind in einer zweiten Zone des Zellenbereichs angeordnet. Die zweite Zone ist zu der ersten Zone in Bezug auf eine erste Richtung, z. B. y-Achse (vertikale Adjatanzarchitektur) oder x-Achse (horizontale Adjatanzarchitektur), benachbart. Die erste Form ist kleiner als die zweite Form. Die zweite Form ist kleiner als die dritte Form. Ein solcher Zellenbereich ist ein Hybridzellenbereich, der Schaltungen mit einer höheren (Betriebs-)Geschwindigkeit und einer größeren Fläche in Kombination mit Schaltungen mit einer niedrigeren (Betriebs-)Geschwindigkeit und einer kleineren Fläche enthält, wodurch eine bessere Betriebsgeschwindigkeit erzielt wird, ohne dass eine relativ große Flächenzunahme entsteht.

[0007] Die Fig. 1A bis 1E sind Layoutdiagramme entsprechender Zellenbereiche 100A bis 100E für Halbleitervorrichtungen gemäß einigen Ausführungsformen.

[0008] Die Zellenbereiche 100A bis 100E sind Bausteine, die zu größeren Zellenbereichen kombiniert werden, z. B. den Zellenbereichen der Fig. 2A bis 2F, 4A bis 4C oder dergleichen. Bei einigen Ausführungsformen werden die Zellenbereiche 100A bis 100E als Kernzellenbereiche bezeichnet, während größere Zellenbereiche, die aus Kombinationen von Kernzellenbereichen 100A oder 100B oder 100C oder 100D oder 100E erzeugt werden, als Kombinationszellenbereiche bezeichnet werden. In den Fig. 1A bis 1E und ebenso in anderen Figuren in dem vorliegenden Dokument wird unterstellt, dass eine erste, zweite und dritte orthogonale Richtung z. B. parallel zu der x-Achse, der y-Achse bzw. der z-Achse sind.

[0009] In den Fig. 1A bis 1E und ebenso in anderen Figuren in dem vorliegenden Dokument wird eine Nummerierungsvereinbarung unterstellt, bei der die erste Metallisierungsschicht, d. h. MET₁, mit M0 bezeichnet ist und eine entsprechende erste Verbindungsschicht (VIA₁-Schicht) VIA_o ist. Bei einigen Ausführungsformen ist in Abhängigkeit von der Nummerierungsvereinbarung für den entsprechenden Prozessknoten, mit dem eine Halbleitervorrichtung hergestellt wird, die MET₁-Schicht M1, und entsprechend ist die VIA₁-Schicht VIA1.

[0010] Zusammengefasst enthalten die Zellenbereiche 100A bis 100E aktive Bereiche (ARs) unter-

schiedlicher Größen in Bezug zueinander. Um zumindest einige der relativen Größenunterschiede zu benennen: die ARs umfassen hier kleine, mittlere und große ARs. Längsachsen der ARs sind parallel zu der x-Achse. In dem vorliegenden Dokument wird eine Größe entlang der x-Achse als Breite bezeichnet, eine Größe entlang der y-Achse wird als Höhe bezeichnet, und das Produkt aus Länge und Breite der ARs wird als Fläche bezeichnet. Der einfachen Erläuterung halber wird entlang der x-Achse in den Fig. 1A bis 1E (und ebenso in anderen Figuren in dem vorliegenden Dokument) unterstellt, dass Breiten des kleinen, mittleren und großen AR für jeden der Zellenbereiche 100A bis 100E gleich groß sind. Dementsprechend hängt die Flächenbeziehung eines kleinen AR im Vergleich zu einem mittleren AR im Vergleich zu einem großen AR von der Höhe der aktiven Bereiche entlang der y-Achse ab. Die Höhe des kleinen AR (h_{Sm}), die Höhe des mittleren AR (h_{Med}) und die Höhe des großen AR (h_{Lrg}) haben die folgende Beziehung: $h_{Sm} < h_{Med} < h_{Lrg}$. Dementsprechend haben die Fläche des kleinen AR ($area_{Sm}$), die Fläche des mittleren AR ($area_{Med}$) und die Fläche des großen AR ($area_{Lrg}$) die folgende Beziehung: $area_{Sm} < area_{Med} < area_{Lrg}$.

[0011] In Fig. 1A erstrecken sich Zeilen 110(1) und 110(2) mit einer einzigen Höhe parallel zu der x-Achse. Die Zeilen 110(1) und 110(2) mit einer einzigen Höhe stellen gemeinsam eine Zeile 112(1) mit doppelter Höhe dar. Eine Höhe des Zellenbereichs 100A (h_{100A}) ist gleich einer Höhe einer Zeile (h_{row}) mit einer einzigen Höhe, d. h., $h_{100A} = 1 * h_{row}$.

[0012] Eine Höhe des kleinen AR (h_{Sm}) ist gleich einer HAR, d. h., $h_{Sm} = 1 * HAR$, wobei HAR eine Einheit der Höhe des entsprechenden Prozessknotens ist, mit dem eine Vorrichtung auf der Basis eines oder mehrerer Zellenbereiche 100A bis 100E hergestellt wird. Bei einigen Ausführungsformen liegt in Bezug auf eine Höhe des Zellenbereichs 100A (h_{100A}) die Höhe des kleinen AR in dem folgenden Bereich: $(\approx 13 \% * h_{100A}) < h_{Sm} \leq (\approx 23 \% * h_{100A})$. Bei einigen Ausführungsformen liegt in Bezug auf die Höhe des kleinen AR die Höhe des mittleren AR (h_{Med}) in dem folgenden Bereich: $(\approx 1,2 * h_{Sm}) \leq h_{Med} \leq (\approx 1,7 * h_{Sm})$. Bei einigen Ausführungsformen liegt in Bezug auf die Höhe des kleinen AR die Höhe des großen AR (h_{Lrg}) in dem folgenden Bereich: $(\approx 1,8 * h_{Sm}) \leq h_{Lrg} < (\approx 3,2 * h_{Sm})$.

[0013] In Fig. 1A enthält der Zellenbereich 100A einen kleinen AR 102(1), der entlang der y-Achse auf einen kleinen AR 102(2) gestapelt ist. In Fig. 1A wird unterstellt, dass der kleine AR 102(1) mit einem p-Dotanden dotiert ist und der kleine AR 102(2) mit einem n-Dotanden dotiert ist. Der Zellenbereich

100A ist als ein pn-Zellenbereich dargestellt. Bei einigen Ausführungsformen gilt das Gegenteil, d. h., der kleine AR 102(1) ist mit einem n-Dotanden dotiert, und der kleine AR 102(2) ist mit einem p-Dotanden dotiert, und der Zellenbereich 100A ist als ein np-Zellenbereich dargestellt.

[0014] In **Fig. 1A** enthält der Zellenbereich 100A M0-Segmente, deren Längsachsen parallel zu der x-Achse sind und die Mo-Segmente 108(1) und 108(2) umfassen, die Instanzen von Betriebsspannungsleitungen (PRs) darstellen, die ein Stromnetz (PG) bilden. Entlang der y-Achse ist die PR 108(1) über einer oberen Grenze des Zellenbereichs 100A angeordnet, und die PR 108(2) ist über einer unteren Grenze des Zellenbereichs 100A angeordnet. Entlang der y-Achse wird weder der kleine AR 102(1) noch der kleine AR 102(2) von einer Instanz der PR überlappt. Die PR 108(1) ist im Wesentlichen kollinear mit einer oberen Grenze der Zeile 110(2). Die PR 108(2) ist im Wesentlichen kollinear mit einer unteren Grenze der Zeile 110(2). Bei einigen Ausführungsformen stellt die PR 108(1) eine erste Referenzspannung, z. B. VDD, bereit, und die PR 108(2) stellt eine zweite Referenzspannung, z. B. VSS, bereit. Bei einigen Ausführungsformen gilt das Gegenteil, das heißt, die PR 108(1) stellt die VSS bereit, und die PR 108(2) stellt die VDD bereit. Entlang der y-Achse wird hier ein Mittellinie-Mittellinie-Abstand zwischen benachbarten PRs, z. B. den PRs 108(1) und 108(2), als PR-Abstand (p_PR) bezeichnet, der gleich der Höhe einer einzelnen Zeile ist, d. h., $p_PR = 1 * h_row$. Allgemeiner gesagt, entlang der y-Achse haben benachbarte PRs einen Abstand p_PR .

[0015] In **Fig. 1B** enthält der Zellenbereich 100B einen mittleren AR 104(1), einen großen AR 106(1) und einen mittleren AR 104(2). Entlang der y-Achse ist der große AR 106(1) zwischen den mittleren ARs 104(1) und 104(2) angeordnet. In **Fig. 1B** wird unterstellt, dass die mittleren ARs 104(1) und 104(2) mit einem p-Dotanden dotiert sind und der große AR 106(1) mit einem n-Dotanden dotiert ist. Wegen der größeren Fläche jedes der mittleren ARs 104(1) und 104(2) und des großen AR 106(1) im Vergleich zu dem kleinen AR [z. B. 102(1) und 102(2) von **Fig. 1A**] wird der Zellenbereich 100B als ein ppnnp-Zellenbereich bezeichnet. Bei einigen Ausführungsformen gilt das Gegenteil, d. h., die mittleren ARs 104(1) und 104(2) sind mit einem n-Dotanden dotiert, und der große AR 106(1) ist mit einem p-Dotanden dotiert, und der Zellenbereich 100B wird als ein nppnn-Zellenbereich bezeichnet. Die Höhe des Zellenbereichs 100B (h_100B) ist gleich der Höhe einer Zeile mit doppelter Höhe, z. B. der Zeile 112(1), sodass $h_100B = 2 * h_row$ ist.

[0016] In **Fig. 1B** enthält der Zellenbereich 100B PRs 108(3), 108(4) und 108(5). Entlang der y-

Achse ist der PR 108(3) über einer oberen Grenze des Zellenbereichs 100B angeordnet, der PR 108(4) ist über einem mittleren Teil des Zellenbereichs 100B angeordnet und der PR 108(5) ist über einer unteren Grenze des Zellenbereichs 100A angeordnet. Entlang der y-Achse überlappen die PR 108(3) und die PR 108(5) jeweils nicht den mittleren AR 104(1), den großen AR 106(1) oder den mittleren AR 104(2), und die PR 108(4) ist über einem mittleren Teil des großen AR 106(1) angeordnet. Die PR 108(3) ist im Wesentlichen kollinear mit einer oberen Grenze der Zeile 112(1), die gleich einer oberen Grenze der Zeile 110(1) ist. Die PR 108(4) ist im Wesentlichen kollinear mit einer unteren Grenze der Zeile 110(1), die gleich einer oberen Grenze der Zeile 110(2) ist. Die PR 108(5) ist kollinear mit einer unteren Grenze der Zeile 112(1), die gleich einer unteren Grenze der Zeile 110(2) ist. Bei einigen Ausführungsformen stellen die PRs 108(3) und die PR 108(5) die VSS bereit, und die PR 108(4) stellt die VDD bereit. Bei einigen Ausführungsformen gilt das Gegenteil, und die PRs 108(3) und die PR 108(5) stellen die VDD bereit, und die PR 108(4) stellt die VSS bereit.

[0017] In **Fig. 1C** enthält ein Zellenbereich 100C einen großen AR 106(2) und einen großen AR 106(3). In **Fig. 1C** wird unterstellt, dass der große AR 106(2) mit einem p-Dotanden dotiert ist und der große AR 106(3) mit einem n-Dotanden dotiert ist. Der Zellenbereich 100C wird als ein ppnn-Zellenbereich bezeichnet. Bei einigen Ausführungsformen gilt das Gegenteil, d. h., der große AR 106(2) ist mit einem n-Dotanden dotiert und der große AR 106(3) ist mit einem p-Dotanden dotiert, und der Zellenbereich 100C wird als ein nppp-Zellenbereich bezeichnet. Die Höhe des Zellenbereichs 100C (h_100C) beträgt zwei Zeilen oder die doppelte Höhe, d. h. $h_100C = 2 * h_row$.

[0018] In **Fig. 1C** enthält der Zellenbereich 100C PRs 108(6) und PR 108(7). Entlang der y-Achse ist die PR 108(6) über einem mittleren Bereich des großen AR 106(2) angeordnet, und die PR 108(7) ist über einem mittleren Bereich des großen AR 106(3) angeordnet. Die PR 108(6) ist kollinear mit einer Referenzlinie, die parallel zu der x-Achse verläuft und eine vertikale Mittellinie der Zeile 110(1) entlang der y-Achse darstellt. Die PR 108(7) ist kollinear mit einer Referenzlinie, die parallel zu der x-Achse verläuft und eine vertikale Mittellinie der Zeile 110(2) entlang der y-Achse darstellt. Entlang der y-Achse wird weder eine obere Grenze, eine untere Grenze noch ein mittlerer Teil des Zellenbereichs 100C von einer Instanz der PR überlappt. Bei einigen Ausführungsformen stellt die PR 108(6) die VDD bereit, und die PR 108(7) stellt die VSS bereit. Bei einigen Ausführungsformen gilt das Gegenteil, und die PR 108(6) stellt die VSS bereit und die PR 108(7) stellt die VDD bereit.

[0019] In **Fig. 1D** enthält ein Zellenbereich 100D einen mittleren AR 104(3), der auf einen großen AR 106(4) gestapelt ist. In **Fig. 1D** wird unterstellt, dass der mittlere AR 104(3) mit einem p-Dotanden dotiert ist und der große AR 106(4) mit einem n-Dotanden dotiert ist. Der Zellenbereich 100D wird als ein ppnn-Zellenbereich bezeichnet. Bei einigen Ausführungsformen gilt das Gegenteil, d. h., der mittlere AR 104(3) ist mit einem n-Dotanden dotiert und der große AR 106(4) ist mit einem p-Dotanden dotiert, und der Zellenbereich 100D wird als ein nppp-Zellenbereich bezeichnet. Die Höhe des Zellenbereichs 100D (h_{100D}) beträgt 1,5 Zeilen, d. h., $h_{100D} = 1,5 * h_{row}$.

[0020] In **Fig. 1D** enthält der Zellenbereich 100D PRs 108(8) und PR 108(9). Entlang der y-Achse ist die PR 108(8) über der oberen Grenze des Zellenbereichs 100D angeordnet, und die PR 108(9) ist über einem mittleren Bereich des großen AR 106(4) angeordnet. Die PR 108(8) ist kollinear mit einer Referenzlinie, die parallel zu der x-Achse verläuft und eine vertikale Mittellinie der Zeile 110(3) entlang der y-Achse darstellt. Die PR 108(9) ist kollinear mit einer Referenzlinie, die parallel zu der x-Achse verläuft und eine vertikale Mittellinie der Zeile 110(4) entlang der y-Achse darstellt. Die Zeilen 110(3) und 110(4) mit nur einer Höhe stellen gemeinsam eine Zeile 112(2) mit doppelter Höhe dar.

[0021] In dem Zellenbereich 100D ist eine untere Grenze des mittleren AR 104(3) im Wesentlichen kollinear mit einer unteren Grenze der Zeile 110(3), wobei die untere Grenze der Zeile 110(3) gleich einer oberen Grenze der Zeile 110(4) und einer vertikalen Mittellinie der Zeile 112(2) ist. Entlang der y-Achse wird weder der mittlere AR 104(3), eine untere Grenze des Zellenbereichs 100D noch ein mittlerer Teil des Zellenbereichs 100D von einer Instanz der PR überlappt. Bei einigen Ausführungsformen stellt die PR 108(8) die VDD bereit, und die PR 108(9) stellt die VSS bereit. Bei einigen Ausführungsformen gilt das Gegenteil, und die PR 108(8) stellt die VSS bereit und die PR 108(9) stellt die VDD bereit.

[0022] In **Fig. 1E** enthält der Zellenbereich 100E einen großen AR 106(5), der auf einen mittleren AR 104(4) gestapelt ist. In **Fig. 1E** wird unterstellt, dass der große AR 106(5) mit einem n-Dotanden dotiert ist und der mittlere AR 104(4) mit einem p-Dotanden dotiert ist. Der Zellenbereich 100E wird als ein nppp-Zellenbereich bezeichnet. Bei einigen Ausführungsformen gilt das Gegenteil, d. h., der große AR 106(5) ist mit einem p-Dotanden dotiert und der mittlere AR 104(4) ist mit einem n-Dotanden dotiert, und der Zellenbereich 100E wird als ein ppnn-Zellenbereich bezeichnet. Die Höhe des Zellenbereichs 100E (h_{100E}) beträgt 1,5 Zeilen, d. h., $h_{100E} = 1,5 * h_{row}$.

[0023] In **Fig. 1E** enthält der Zellenbereich 100E PRs 108(10) und PR 108(11). Entlang der y-Achse ist die PR 108(10) über einem mittleren Bereich des großen AR 106(5) angeordnet und ist kollinear mit einer vertikalen Mittellinie der Zeile 110(3). Die PR 108(11) ist kollinear mit der vertikalen Mittellinie der Zeile 110(4) entlang der y-Achse. Eine obere Grenze des mittleren AR 104(4) ist in der Nähe der vertikalen Mittellinie der Zeile 112(2), wobei die vertikale Mittellinie der Zeile 112(2) gleich der unteren Grenze der Zeile 110(3) und der oberen Grenze der Zeile 110(4) ist. Entlang der y-Achse wird weder der mittlere AR 104(4), eine obere Grenze des Zellenbereichs 100E noch ein mittlerer Teil des Zellenbereichs 100E von einer Instanz der PR überlappt. Bei einigen Ausführungsformen stellt die PR 108(10) die VSS bereit, und die PR 108(11) stellt die VDD bereit. Bei einigen Ausführungsformen gilt das Gegenteil, und die PR 108(10) stellt die VDD bereit und die PR 108(11) stellt die VSS bereit.

[0024] Die **Fig. 2A bis 2F** sind Layoutdiagramme entsprechender Zellenbereiche 214A bis 214F von Halbleitervorrichtungen gemäß einigen Ausführungsformen.

[0025] Die Zellenbereiche 214A bis 214F werden als eine Kombination von Zellenbereichen bezeichnet, da sie entsprechende Kombinationen der Kernzellenbereiche 100A bis 100F der **Fig. 1A bis 1F** sind. Die Zellenbereiche 214A bis 214F sind jeweils ein Beispiel für eine Adjatanzarchitektur entlang der y-Achse, d. h., eine vertikale Adjatanzarchitektur. Jeder der Zellenbereiche 214A bis 214F ist ein entsprechender Stapel, entlang der y-Achse, der Zellenbereiche 100A bis 100E der **Fig. 1A bis 1F**.

[0026] In **Fig. 2A** ist der Zellenbereich 214A eine Kombination aus dem Zellenbereich 100A und dem Zellenbereich 100B, wobei der Zellenbereich 100A entlang der y-Achse auf den Zellenbereich 100B gestapelt ist. Der Zellenbereich 100A ist entlang der y-Achse zu dem Zellenbereich 100B benachbart. In dem Zellenbereich 214A sind die Zellenbereiche 100A und 100B nicht durch einen oder mehrere Dummy-ARs entlang der y-Achse getrennt. Die Höhe des Zellenbereichs 214A (h_{214A}) ist die Summe der Höhen der Zellenbereiche 100A und 100B, sodass $h_{214A} = h_{100A} + h_{100B} = 3 * h_{row}$ ist. Der Zellenbereich 214A wird als ein (pn+ppnpp)-Zellenbereich bezeichnet.

[0027] In **Fig. 2B** ist der Zellenbereich 214B dem Zellenbereich 214A von **Fig. 2A** ähnlich. Der Kürze halber konzentriert sich die Erörterung mehr auf Unterschiede als auf Ähnlichkeiten zwischen **Fig. 2B** und **Fig. 2A**. Während in **Fig. 2A** ein Zellenbereich 100A auf einen Zellenbereich 100B gestapelt ist, ist der Zellenbereich 214B von **Fig. 2B** eine Kombination aus einem Zellenbereich 100B und einem

Zellenbereich 100A, wobei der Zellenbereich 100B entlang der y-Achse auf den Zellenbereich 100A gestapelt ist. Der Zellenbereich 214B wird als ein (ppnpp+pn)-Zellenbereich bezeichnet.

[0028] In Fig. 2C ist der Zellenbereich 214B von Fig. 2B eine Kombination aus einem Zellenbereich 100A und einem Zellenbereich 100C, wobei der Zellenbereich 100A entlang der y-Achse auf den Zellenbereich 100C gestapelt ist. Der Zellenbereich 100A ist entlang der y-Achse zu dem Zellenbereich 100C benachbart. In einem Zellenbereich 214C ist entlang der y-Achse der Zellenbereich 100A von dem Zellenbereich 100C durch einen Füllbereich 216(1) getrennt. Bei einigen Ausführungsformen enthält der Füllbereich 216(1) einen AR, der mit einem n-Dotanden dotiert ist. Bei einigen Ausführungsformen dient die Verwendung des n-Dotanden für den AR des Füllbereichs 216(1) dazu, insgesamt ein besseres Gleichgewicht von n- und p-Dotanden in dem Zellenbereich 214C zu erzielen. Bei einigen Ausführungsformen enthält der Füllbereich 216(1) Dummy-Transistoren, die jeweils eine kurzgeschlossene Konfiguration (kurzgeschlossener Transistor) haben, wobei der kurzgeschlossene Transistor eine Gateelektrode, einen ersten Source/Drainbereich (S/D-Bereich) und einen zweiten S/D-Bereich aufweist, die miteinander verbunden sind.

[0029] Die Höhe des Füllbereichs 216(1) [$h_{216(1)}$] beträgt die Hälfte einer Zeile mit nur einer Höhe, sodass $h_{216(1)} = (\frac{1}{2}) * h_{row}$ ist. Bei einigen Ausführungsformen dient die Integration des Füllbereichs 216(1) dazu, die Einheitlichkeit des Abstands PR (p_{PR}) aufrechtzuerhalten. Die Höhe des Zellenbereichs 214A (h_{214A}) ist die Summe der Höhen der Zellenbereiche 100A und 100B, sodass $h_{214A} = h_{100A} + h_{216(1)} + h_{100B} = 2,5 * h_{row}$ ist. Der Zellenbereich 214C wird als ein (pn+ppnn)-Zellenbereich bezeichnet.

[0030] In Fig. 2D ist ein Zellenbereich 214D dem Zellenbereich 214C ähnlich. Der Kürze halber konzentriert sich die Erörterung mehr auf Unterschiede als auf Ähnlichkeiten zwischen Fig. 2D und Fig. 2C. Während in Fig. 2C ein Zellenbereich 100A auf einen Zellenbereich 100C gestapelt ist, ist der Zellenbereich 214D von Fig. 2D eine Kombination aus einem Zellenbereich 100A und einem Zellenbereich 100C, wobei der Zellenbereich 100C entlang der y-Achse auf den Zellenbereich 100A gestapelt ist und zwischen beiden Bereichen ein Füllbereich 216(2) angeordnet ist. Bei einigen Ausführungsformen enthält der Füllbereich 216(2) einen AR, der mit einem p-Dotanden dotiert ist. Bei einigen Ausführungsformen dient die Verwendung des p-Dotanden für den AR des Füllbereichs 216(2) dazu, insgesamt ein besseres Gleichgewicht von n- und p-Dotanden in dem Zellenbereich 214D zu erzielen. Der Zellenbereich

214D wird als ein (ppnn+pn)-Zellenbereich bezeichnet.

[0031] In Fig. 2E ist der Zellenbereich 214D eine Kombination aus einem Zellenbereich 100A und einem Zellenbereich 100D, wobei der Zellenbereich 100A entlang der y-Achse auf den Zellenbereich 100D gestapelt ist. Der Zellenbereich 100A ist entlang der y-Achse zu dem Zellenbereich 100D benachbart. In einem Zellenbereich 214E sind entlang der y-Achse die Zellenbereiche 100A und 100D nicht durch einen oder mehrere Dummy-ARs voneinander getrennt.

[0032] Die Höhe des Zellenbereichs 214E (h_{214E}) ist die Summe der Höhen der Zellenbereiche 100A und 100D, sodass $h_{214E} = h_{100A} + h_{100D} = 2,5 * h_{row}$ ist. Der Zellenbereich 214E wird als ein (np+ppnn)-Zellenbereich bezeichnet.

[0033] In Fig. 2F ist ein Zellenbereich 214F dem Zellenbereich 214E ähnlich. Der Kürze halber konzentriert sich die Erörterung mehr auf Unterschiede als auf Ähnlichkeiten zwischen Fig. 2F und Fig. 2E. Während in Fig. 2E ein Zellenbereich 100A auf einen Zellenbereich 100D gestapelt ist, ist der Zellenbereich 214F von Fig. 2F eine Kombination aus einem Zellenbereich 100D und einem Zellenbereich 100A, wobei der Zellenbereich 100D auf den Zellenbereich 100A gestapelt ist. Der Zellenbereich 214F wird als ein (ppnn+np)-Zellenbereich bezeichnet.

[0034] Fig. 3A ist ein Prinzipschaltbild gemäß einigen Ausführungsformen. Fig. 3B ist ein Layoutdiagramm, das der Schaltung von Fig. 3A entspricht, gemäß einigen Ausführungsformen

[0035] Insbesondere ist Fig. 3A ein Prinzipschaltbild eines Scan-Insertion-D-Flipflops (SDFQ) 330A. Ein SDFQ 330B von Fig. 3B entspricht dem SDFQ 330A von Fig. 3A. Gruppen von Transistoren (die später erörtert werden) in Fig. 3A werden als Polygone/Blöcke bezeichnet, die Zonen in Fig. 3B entsprechen.

[0036] Der SDFQ 330A ist ein Übertragungsgate-Design (das später erörtert wird). Der SDFQ 330A ist eine flankengesteuerte Anordnung, die an einer ansteigenden Flanke (positiven Flanke) eines Taktsignals getriggert wird. Varianten des SDFQ 330A werden an einer abfallenden Flanke (negativen Flanke) des Taktsignals getriggert. Weitere Varianten des SDFQ 330A werden an zwei Flanken getriggert, d. h., sie werden von der ansteigenden Flanke (positiven Flanke) und der abfallenden Flanke (negativen Flanke) des Taktsignals getriggert.

[0037] Der SDFQ 330A enthält einen Multiplexer 332, einen D-Flipflop 334A, einen Abtastpuffer 344 und einen Taktpuffer 346. Der SDFQ 330A enthält

Feldeffekttransistoren (FETs), insbesondere Positivkanal-Metalloxidhalbleiter (PMOS)-FETs (PFETs) und Negativkanal-Metalloxidhalbleiter (NMOS)-FETs (NFETs). Einige der FETs des SDFQ 330A sind so eingerichtet, dass sie gemeinsam als Sleepy-Inverter (die später erörtert werden) funktionieren. Einige der FETs des SDFQ 330A sind so eingerichtet, dass sie gemeinsam als Non-Sleepy-Inverter (NS-Inverter) (die später erörtert werden) funktionieren.

[0038] In Fig. 3A empfängt der Abtastpuffer 344 ein Signal Scan/Test Enable (Signal SE), das zwischen einem Normalbetrieb (d. h., Nicht-Scan/Test), einem Betrieb entsprechend einem Datensignal D oder einem Scan/Test-Betrieb entsprechend einem Signal Scan Input (Signal SI) wählt. Der Abtastpuffer 344 enthält einen Non-Sleepy-Inverter (NS-Inverter) 348 (4), der einen PFET und einen NFET aufweist, die in Reihe geschaltet sind. Ein NS-Inverter, z. B. der NS-Inverter 348(4), ist ein Gegenstück zu einem Sleepy-Inverter, z. B. 350(1) (der später erörtert wird). Der Abtastpuffer 344 entspricht einer Zone C in Fig. 3B.

[0039] In Fig. 3A weist der Taktpuffer 346 ein Paar in Reihe geschaltete NS-Inverter 348(5) und 348(6) auf. Die NS-Inverter 348(5) und 348(6) entsprechen Zonen A und B in Fig. 3B. der Taktpuffer 346 ist so konfiguriert, dass er ein Taktsignal CP empfängt und ein Taktsignal clk_b, das eine Inversion des Taktsignals CP darstellt, und ein Taktsignal clk_{bb} ausgibt, das eine Inversion des Taktsignals clk_b darstellt.

[0040] In Fig. 3A weist der Multiplexer 332 Gruppen von Transistoren auf, die Zonen D, E und F in Fig. 3B entsprechen. Der Multiplexer 332 ist so konfiguriert, dass er ein Abtasteingangssignal SI, ein Signal seb, ein Dateneingangssignal D, ein Signal SE, ein Signal clk_{bb} und ein Signal clk_b empfängt. Der Multiplexer 332 dient zum Auswählen des Dateneingangssignals D oder des Abtasteingangssignals SI.

[0041] In Fig. 3A enthält der D-Flipflop 334A einen primären Latch 336A, einen internen Puffer 341, einen sekundären Latch 338A und einen Ausgangspuffer 342. Der primäre Latch 336A weist einen NS-Inverter 348(1), der einer Zone G von Fig. 3B entspricht, und einen Sleepy-Inverter 350(1) auf, der einer Zone F2 in Fig. 3B entspricht. Der primäre Latch 336A ist so konfiguriert, dass er ein Signal ml_{ax} von dem Multiplexer 332 empfängt. Somit stellt das Signal ml_{ax} das Eingangssignal des D-Flipflops 334A dar. Ein Ausgangsknoten des primären Latches 336A hat ein Signal ml_b, das die Inversion des Signals ml_{ax} darstellt. In dem primären Latch 336A kann der Sleepy-Inverter 350(1) in einen Ruhemodus gebracht werden, indem zusätzliche Transistoren zu denen des NS-Inverters 348 (1) verwendet werden. Im Gegensatz dazu weist der NS-Inverter 348(1) nicht die zusätzlichen Transistoren des Sleepy-Inverters 350(1) auf, sodass

der NS-Inverter 348(1) des primären Latches 336A nicht den Ruhemodus hat, und dementsprechend wird der NS-Inverter 348(1) als ein Non-Sleepy-Inverter (NS-Inverter) bezeichnet.

[0042] In Fig. 3A weist der interne Puffer 341 ein Übertragungsgate 340 auf, das einer Zone H1 in Fig. 3B entspricht. Die Bezeichnung des SDFQ 330A als ein Übertragungsgate-basiertes Design ist auf die Integration des Übertragungsgates 340 in den internen Puffer 341 zurückzuführen. Der interne Puffer 341 empfängt das Signal clk_{bb} und gibt ein Signal sl_a aus. Der sekundäre Latch 338A weist einen NS-Inverter 348(2), der einer Zone I in Fig. 3B entspricht, und einen Sleepy-Inverter 350(2) auf, der einer Zone H2 in Fig. 3B entspricht. Der sekundäre Latch 338A ist so konfiguriert, dass er das Signal sl_a empfängt und ein Signal sl_{bx} ausgibt, das die Inversion des Signals sl_a darstellt.

[0043] In dem D-Flipflop 334A weist der Ausgangspuffer 342 einen NS-Inverter 348(3) auf, der einer Zone J in Fig. 3A entspricht. Der NS-Inverter 348(3) ist so konfiguriert, dass er ein Signal sl_{bx} empfängt und es verstärkt, sodass die Ausgabe des D-Flipflops 334A das Signal sl_{bx} ist. Außerdem ist die Ausgabe des D-Flipflops 334A auch die Ausgabe des SDFQ 330A.

[0044] In Fig. 3A ist der D-Flipflop 334A ein Übertragungsgate-basiertes Design, da sein interner Puffer 341 das Übertragungsgate 340 enthält. Bei einigen Ausführungsformen ist der D-Flipflop 334A ein Stapelgate-basiertes Design (nicht dargestellt). Insbesondere enthält eine Stapelgate-basierte Variante des D-Flipflops 334A eine Variante des internen Puffers 341, die Stapelgate-basiert ist, während der interne Puffer 341 von Fig. 3A das Übertragungsgate 340 enthält. Bei einigen Ausführungsformen enthält die Stapelgate-basierte Variante des internen Puffers 341 einen Sleepy-Inverter (nicht dargestellt) statt des Übertragungsgates 340, wobei ein Sleepy-Inverter ein Beispiel für eine Stapelgate-basierte Vorrichtung ist. Wie bei dem Übertragungsgate 340 ist der Ausgang des alternativen Sleepy-Inverters mit dem Eingang des sekundären Latches 338A verbunden. Im Gegensatz zu dem Übertragungsgate 340 ist der Eingang des alternativen Sleepy-Inverters in der Stapelgate-basierten Vorrichtung nicht mit dem Ausgang des primären Latches 336A, sondern mit dem Ausgang des Multiplexers 332 verbunden.

[0045] Der SDFQ 330B von Fig. 3B ist in einen Teil mit der pn-Architektur von Fig. 1A und einen Teil mit der PPNNPP-Architektur von Fig. 1C unterteilt. Entlang der y-Achse ist der pn-Teil von Fig. 3B auf den PPNNPP-Teil von Fig. 3B gestapelt. Dementsprechend hat der SDFQ 330B die (PN+PPNNPP)-Architektur des Zellenbereichs 214A von Fig. 2A.

[0046] In **Fig. 3B** sind Zonen markiert worden, um entsprechende Gruppen von Transistoren in dem SDFQ 330A von **Fig. 3A** zu kennzeichnen. Der PN-Teil von **Fig. 3B** enthält Zonen F2, B, H2 und A. Der PPNPP-Teil von **Fig. 3B** enthält Zonen D, E, F1, C, G, H1, I und J.

[0047] **Fig. 3C** ist ein Prinzipschaltbild gemäß einigen Ausführungsformen. **Fig. 3D** ist ein Layoutdiagramm, das der Schaltung von **Fig. 3C** entspricht, gemäß einigen Ausführungsformen.

[0048] Insbesondere ist **Fig. 3C** ein Prinzipschaltbild eines Scan-Insertion-D-Flipflops (SDFQ) 330C. Ein SDFQ 330D von **Fig. 3D** entspricht dem SDFQ 330C von **Fig. 3C**. Der SDFQ 330D ist dem SDFQ 330A ähnlich. Der Kürze halber konzentriert sich die Erörterung mehr auf Unterschiede als auf Ähnlichkeiten zwischen **Fig. 3C** und **Fig. 3A**. Gruppen von Transistoren (die später erörtert werden) in **Fig. 3C** werden als Polygone/Blöcke bezeichnet, die Zonen in **Fig. 3D** entsprechen. Die Gruppen von Transistoren in **Fig. 3C** können von denen in **Fig. 3B** geringfügig abweichen.

[0049] Der SDFQ 330C enthält einen Multiplexer 332, einen D-Flipflop 334C, einen Abtastpuffer 344 und einen Taktpuffer 346. Der SDFQ 330C enthält einen primären Latch 336C, einen internen Puffer 341, einen sekundären Latch 338C und einen Ausgangspuffer 342. Der primäre Latch 336A weist einen NS-Inverter, der einer Zone G von **Fig. 3D** entspricht, und einen Sleepy-Inverter auf, der einer Zone F2 von **Fig. 3D** entspricht. Die Anzahl von Transistoren und ihre Konfiguration in dem NS-Inverter (Zone G) von **Fig. 3C** sind von denen für den NS-Inverter 348(1) von **Fig. 3A** verschieden.

[0050] Der sekundäre Latch 338C weist einen NS-Inverter, der der Zone I in **Fig. 3D** entspricht, und einen Sleepy-Inverter auf, der der Zone H2 in **Fig. 3D** entspricht. Die Anzahl von Transistoren und ihre Konfiguration in dem Sleepy-Inverter (Zone H2) von **Fig. 3C** sind von denen für den Sleepy-Inverter 350(2) von **Fig. 3A** verschieden.

[0051] Der SDFQ 330D von **Fig. 3D** ist in einen Teil mit der pn-Architektur von **Fig. 1A** und einen Teil mit der pppnpp-Architektur von **Fig. 1C** unterteilt. Entlang der y-Achse ist der pn-Teil von **Fig. 3D** auf den pppnpp-Teil von **Fig. 3D** gestapelt. Dementsprechend hat der SDFQ 330F die (pn+ppnpp)-Architektur des Zellenbereichs 214A von **Fig. 2A**.

[0052] In **Fig. 3D** sind Zonen markiert worden, um entsprechende Gruppen von Transistoren in dem SDFQ 330C von **Fig. 3C** zu kennzeichnen. Der pn-Teil von **Fig. 3D** enthält Zonen F2, B, H2 und C. Der pppnpp-Teil von **Fig. 3D** enthält Zonen D, E, F1, G, H1, A, J und I.

[0053] Die **Fig. 4A** bis **4C** sind Layoutdiagramme entsprechender Zellenbereiche 418A bis 418C von Halbleitervorrichtungen gemäß einigen Ausführungsformen.

[0054] Die Zellenbereiche 418A bis 418C werden als eine Kombination von Zellenbereichen bezeichnet, da sie entsprechende Kombinationen der Kernzellenbereiche 100A bis 100C der **Fig. 1A** bis **1C** sind. Die Zellenbereiche 418A bis 418C sind jeweils ein Beispiel für eine Adjatenzarchitektur entlang der x-Achse, d. h., eine horizontale Adjatenzarchitektur.

[0055] In **Fig. 4A** weist der Zellenbereich 418A Folgendes auf: Zellenbereiche 100A(1) und 100A(2), die jeweils ein Beispiel für den Zellenbereich 100A von **Fig. 1A** sind; und einen Zellenbereich 100B. Das heißt, der Zellenbereich 418A ist eine Kombination aus den Zellenbereichen 100A(1), 100A(2) und 100B.

[0056] Jeder der Zellenbereiche 100A(1) und 100A(2) ist entlang der x-Achse benachbart zu dem Zellenbereich 100B angeordnet, weshalb der Zellenbereich 418A als ein Beispiel für eine horizontale Adjatenzarchitektur bezeichnet wird. Der Zellenbereich 100A(1) ist entlang der y-Achse auf den Zellenbereich 100A(2) gestapelt, und insofern ist auch der Zellenbereich 418A ein Beispiel für eine vertikale Adjatenzarchitektur. Der Zellenbereich 100A(1) enthält einen kleinen AR 102(3), der entlang der y-Achse auf einen kleinen AR 102(4) gestapelt ist. Der Zellenbereich 100A(2) enthält einen kleinen AR 102(5), der entlang der y-Achse auf einen kleinen AR 102(6) gestapelt ist. Die Zellenbereiche 100A(1) und 100A(2) sind entlang der y-Achse nicht durch einen oder mehrere Dummy-ARs voneinander getrennt.

[0057] In **Fig. 4A** sind entlang der x-Achse die Zellenbereiche 100A(1) und 100A(2) durch Füllbereiche von dem Zellenbereich 100B getrennt. Der kleine AR 102(3) ist durch einen Füllbereich 422(1) von einem mittleren AR 104(5) getrennt. Der kleine AR 102(4) ist durch einen Füllbereich 424(1) von einem großen AR 106(6) getrennt. Der Füllbereich 424(1) trennt außerdem den kleinen AR 102(5) von dem großen AR 106(6). Der kleine AR 102(6) ist durch den Füllbereich 422(1) von einem mittleren AR 104(6) getrennt.

[0058] Bei einigen Ausführungsformen enthält der Füllbereich 422(1) einen AR, der mit einem n-Dotanden dotiert ist. Bei einigen Ausführungsformen enthält der Füllbereich 422(2) einen AR, der mit einem n-Dotanden dotiert ist. Bei einigen Ausführungsformen enthält der Füllbereich 424(1) einen AR, der mit einem p-Dotanden dotiert ist. Bei einigen Ausführungsformen enthalten ein oder mehrere der Füllbereiche 422(1), 422(2) und 424(1) Dummy-Transistoren, die jeweils eine kurzgeschlossene Konfiguration

(kurzgeschlossener Transistor) haben, wobei der kurzgeschlossene Transistor eine Gateelektrode, einen ersten S/D-Bereich und einen zweiten S/D-Bereich aufweist, die miteinander verbunden sind.

[0059] Die Höhe des Zellenbereichs 418A (h_{418A}) ist gleich der Höhe eines Zellenbereichs 100B(1), sodass $h_{418A} = h_{100B(1)} = 2,5 * h_{row}$ ist. Der Zellenbereich 418A wird als ein (pn_DH+ppnpp)-Zellenbereich bezeichnet, wobei DH eine doppelte Höhe darstellt und pn_DH den Zellenbereich 100A(1) mit dem darauf gestapelten Zellenbereich 100A(2) darstellt.

[0060] Die Füllbereiche 422(1), 422(2) und 424(1) haben jeweils eine Breite w_{fill} , die ein Vielfaches eines Normalabstands SP für den entsprechenden Halbleiterprozess-Technologieknoten ist, sodass $w_{fill} = n * SP$ ist, wobei n eine positive ganze Zahl ist. Bei einigen Ausführungsformen stellt der Normalabstand SP einen kontaktierten Polysilizium-Abstand (CPP) für den entsprechenden Halbleiterprozess-Technologieknoten dar. Hier impliziert das Wort „Polysilizium“ in dem Begriff „CPP“ nicht unbedingt, dass Gatestrukturen in Halbleitervorrichtungen, die entsprechend auf **Fig. 4A** basieren, aus Polysilizium hergestellt werden müssen, sondern es stellt vielmehr eine historische Bequemlichkeit dar, d. h., da Gatestrukturen in ICs, die entsprechend einem Vorgänger-Halbleiterprozess-Technologieknoten hergestellt wurden, häufig aus Polysilizium hergestellt wurden.

[0061] Entlang der x-Achse gibt es einen Stufenübergang (oder Sprung) bei einem Übergang von einem AR zu einem Füllbereich und bei einem Übergang von einem Füllbereich zu einem AR. Die Größe des Übergangs wird entlang der y-Achse gemessen. Die Höhen der Füllbereiche von **Fig. 4A** werden so gewählt, dass die Größe der Stufenübergänge (oder Sprünge) reduziert wird. Entlang der y-Achse ist die Höhe (h_{422}) jedes der Füllbereiche 422(1) und 422(2) gleich groß und ist kleiner als die Höhe des Füllbereichs 424 (h_{424}), sodass $h_{422} < h_{424}$ ist.

[0062] In **Fig. 4B** ist der Zellenbereich 418B dem Zellenbereich 418A von **Fig. 4A** ähnlich. Der Kürze halber konzentriert sich die Erörterung mehr auf Unterschiede als auf Ähnlichkeiten zwischen **Fig. 4B** und **Fig. 4A**. Während in **Fig. 4A** die gestapelten Zellenbereiche 100A(1) und 100A(2) links von dem Zellenbereich 100B(1) angeordnet sind, sind in **Fig. 4B** die gestapelten Zellenbereiche 100A(1) und 100A(2) rechts von dem Zellenbereich 100B(1) angeordnet.

[0063] In **Fig. 4C** enthält der Zellenbereich 418C Zellenbereiche 100A(3), 100A(4) und 100A(5), die jeweils ein Beispiel für den Zellenbereich 100A von **Fig. 1A** sind; und Zellenbereiche 100C(1), 100C(2)

und 100C(3), die jeweils ein Beispiel für den Zellenbereich 100C von **Fig. 1C** sind. Das heißt, der Zellenbereich 418C ist eine Kombination aus den Zellenbereichen 100A(3), 100A(4), 100A(5), 100C(1), 100C(2) und 100C(3). Der Zellenbereich 418C enthält außerdem Füllbereiche 426(1) bis 426(6) und 428(1) bis 428(3).

[0064] Die Zellenbereiche 100A(3), 100A(4) und 100A(5) sind entlang der x-Achse jeweils benachbart zu den Zellenbereichen 100C(1), 100C(2) und 100C(3) angeordnet, weshalb der Zellenbereich 418C als ein Beispiel für eine horizontale Adjatzarchitektur bezeichnet wird. Entlang der y-Achse ist der Zellenbereich 100A(3) auf den Zellenbereich 100A(4) gestapelt und der Zellenbereich 100A(4) ist auf den Zellenbereich 100A(5) gestapelt, und insofern ist der Zellenbereich 418A auch ein Beispiel für eine vertikale Adjatzarchitektur. Entlang der y-Achse ist der Zellenbereich 100C(1) auf den Zellenbereich 100C(2) gestapelt und der Zellenbereich 100C(2) ist auf den Zellenbereich 100C(3) gestapelt, und insofern ist auch der Zellenbereich 418C ein Beispiel für eine vertikale Adjatzarchitektur.

[0065] Der Zellenbereich 100A(3) enthält einen kleinen AR 102(7), der entlang der y-Achse auf einen kleinen AR 102(8) gestapelt ist. Der Zellenbereich 100A(4) enthält einen kleinen AR 102(9), der entlang der y-Achse auf einen kleinen AR 102(10) gestapelt ist. Der Zellenbereich 100A(5) enthält einen kleinen AR 102(11), der entlang der y-Achse auf einen kleinen AR 102(12) gestapelt ist. Die Zellenbereiche 100A(1) und 100A(2) und die Zellenbereiche 100A(2) und 100A(3) sind entlang der y-Achse nicht durch einen oder mehrere Dummy-ARs voneinander getrennt.

[0066] Der Zellenbereich 100C(1) enthält einen großen AR 106(6), der entlang der y-Achse auf einen großen AR 106(7) gestapelt ist. Der Zellenbereich 100C(2) enthält einen großen AR 106(8), der entlang der y-Achse auf einen großen AR 106(9) gestapelt ist. Der Zellenbereich 100C(3) enthält einen großen AR 106(10), der entlang der y-Achse auf einen großen AR 106(11) gestapelt ist. Die Zellenbereiche 100C(1) und 100C(2) und die Zellenbereiche 100C(2) und 100C(3) sind entlang der y-Achse nicht durch einen oder mehrere Dummy-ARs voneinander getrennt.

[0067] In **Fig. 4C** sind entlang der x-Achse die Zellenbereiche 100A(3) bis 100A(5) durch Füllbereiche von den Zellenbereichen 100C(1) bis 100C(3) getrennt. Der kleine AR 102(7) ist durch einen Füllbereich 426(2) von dem großen AR 106(7) getrennt. Der kleine AR 102(8) ist durch einen Füllbereich 426(3) von dem großen AR 106(8) getrennt. Der kleine AR 102(9) ist durch einen Füllbereich 428(2) von dem großen AR 106(8) getrennt. Der Füllbereich

428(2) trennt außerdem den kleinen AR 102(10) von dem großen AR 106(9). Der kleine AR 102(11) ist durch den Füllbereich 426(4) von dem großen AR 106(9) getrennt. Der kleine AR 102(12) ist durch den Füllbereich 426(5) von dem großen AR 106(10) getrennt.

[0068] Bei einigen Ausführungsformen enthält der Füllbereich 426(3) einen AR, der mit einem p-Dotanden dotiert ist. Bei einigen Ausführungsformen enthält der Füllbereich 426(4) einen AR, der mit einem n-Dotanden dotiert ist. Bei einigen Ausführungsformen sind die Füllbereiche 428(1), 426(2), 428(2), 436(5) und 428(3) undotiert, da sie ARs mit anderen Dotierungsarten trennen. Bei einigen Ausführungsformen enthalten ein oder mehrere der Füllbereiche 422(1), 422(2) und 424(1) Dummy-Transistoren, die jeweils eine kurzgeschlossene Konfiguration (kurzgeschlossener Transistor) haben, wobei der kurzgeschlossene Transistor eine Gateelektrode, einen ersten S/D-Bereich und einen zweiten S/D-Bereich aufweist, die miteinander verbunden sind.

[0069] Die Höhe des Zellenbereichs 418C (h_{418C}) ist die Summe der Höhen der Zellenbereiche 100C(1), 100C(2) und 100C(3), sodass $h_{418C} = 3 * h_{100C} = 6 * h_{row}$ ist. Der Zellenbereich 418C wird als ein (pn-TH+ppnnp)-Zellenbereich bezeichnet, wobei TH eine dreifache Höhe darstellt und pn_TH den Stapel von Zellenbereichen 100C(1), 100C(2) und 100C(3) darstellt.

[0070] Die Füllbereiche 426(1) bis 426(6) und 428(1) bis 428(3) haben jeweils eine Breite $w_{fill} = n * SP$ ist, wie vorstehend dargelegt worden ist.

[0071] Fig. 5 ist ein Layoutdiagramm eines SDFQ 530, der dem SDFQ 330A von Fig. 3A entspricht, gemäß einigen Ausführungsformen.

[0072] Der SDFQ 530 von Fig. 5 ist in einen Teil mit der pn_DH-Architektur von Fig. 4A, der auf der pn-Architektur von Fig. 1A basiert, einen Dummy-Teil und einen Teil mit der PPNPP-Architektur von Fig. 1C unterteilt. Der Dummy-Teil ist entlang der x-Achse zwischen den Teilen pn_DH und PPNPP angeordnet.

[0073] Entlang der x-Achse ist der Teil pn_DH von Fig. 5 links von dem Teil ppnnp von Fig. 3B angeordnet. Dementsprechend hat der SDFQ 530 die (pn_DH+ppnnp)-Architektur des Zellenbereichs 418A von Fig. 4A. In Fig. 5 sind Zonen markiert worden, um entsprechende Gruppen von Transistoren in dem SDFQ 530 von Fig. 3A zu kennzeichnen. Der Teil pn_DH von Fig. 5 enthält Zonen A, B, C, F1, F2, G, H1, H2 und I. Der Teil ppnnp von Fig. 5 enthält eine Zone J.

[0074] Fig. 6 ist ein Ablaufdiagramm 600 eines Verfahrens zum Herstellen einer Speichervorrichtung gemäß einigen Ausführungsformen.

[0075] Das Verfahren des Ablaufdiagramms 600 kann unter Verwendung eines EDA-Systems 800 (Fig. 8; wird später erörtert) und eines IC-Herstellungssystems 900 (Fig. 9; wird später erörtert) gemäß einigen Ausführungsformen implementiert werden. Beispiele für eine Halbleitervorrichtung, die gemäß dem Verfahren des Ablaufdiagramms 600 hergestellt werden kann, sind Halbleitervorrichtungen auf der Basis der Layoutdiagramme der Fig. 2A bis 2F, 3B, 3D, 4A bis 4C und 5 oder dergleichen.

[0076] In Fig. 6 umfasst das Verfahren des Ablaufdiagramms 600 Blöcke 602 bis 604. In dem Block 602 wird ein Layoutdiagramm erzeugt, das unter anderem ein oder mehrere Layoutdiagramme, die hier offenbart sind, oder dergleichen umfasst. Der Block 602 kann zum Beispiel unter Verwendung des EDA-Systems 800 (Fig. 8; wird später erörtert) gemäß einigen Ausführungsformen implementiert werden. Von dem Block 602 geht der Ablauf zu dem Block 604 weiter.

[0077] In dem Block 604 werden auf der Basis des Layoutdiagramms (A) eine oder mehrere fotolithografische Belichtungen durchgeführt, (B) eine oder mehrere Halbleitermasken hergestellt und/oder (C) eine oder mehrere Komponenten in einer Schicht einer Halbleitervorrichtung hergestellt. Siehe die nachstehende Erörterung des IC-Herstellungssystems 900 unter Bezugnahme auf Fig. 9.

[0078] Fig. 7A ist ein Ablaufdiagramm 700A eines Verfahrens zum Herstellen einer Halbleitervorrichtung, insbesondere einer Speichervorrichtung, gemäß einigen Ausführungsformen.

[0079] Das Ablaufdiagramm 700A ist ein Beispiel für den Block 604 von Fig. 6. Das Ablaufdiagramm 700A umfasst Blöcke 708, 710A, 712A und 714 bis 718. In Beispielen, die im Rahmen der Erörterung der Blöcke 708, 710A, 712A und 714 bis 718 bereitgestellt werden, wird unterstellt, dass eine erste, eine zweite und eine dritte orthogonale Richtung z. B. entsprechend parallel zu der x-Achse, der y-Achse bzw. der z-Achse sind. Das Verfahren des Ablaufdiagramms 700A kann zum Beispiel unter Verwendung des IC-Herstellungssystems 900 (Fig. 9; wird später erörtert) gemäß einigen Ausführungsformen implementiert werden. Beispiele für eine Halbleitervorrichtung, die gemäß dem Verfahren des Ablaufdiagramms 700A hergestellt werden kann, sind Halbleitervorrichtungen mit den Zellenbereichen der Fig. 1A bis 1E, 2A bis 2F, 4A bis 4C oder dergleichen.

[0080] In dem Block 708 wird ein Substrat hergestellt. Von dem Block 708 geht der Ablauf zu dem Block 710A weiter.

[0081] In dem Block 710A werden aktive Bereiche (ARs) in dem Substrat erzeugt, indem eine erste Zone, die einen ersten und einen zweiten AR enthält, die eine erste Form haben, und eine zweite Zone konfiguriert werden, die einen dritten AR mit einer zweiten Form und einen vierten AR mit einer dritten Form enthält. Ein Beispiel für die erste Zone ist der Zellenbereich 100A oder dergleichen. Beispiele für den ersten und den zweiten AR sind die kleinen ARs 102(1) und 102(2) von **Fig. 1A** oder dergleichen. Ein Beispiel für die zweite Zone ist der Zellenbereich 100B oder dergleichen. Ein Beispiel für den dritten AR ist der mittlere AR 104(1) oder 104(2) von **Fig. 1B** oder dergleichen. Ein Beispiel für den vierten AR ist der große AR 106(1) von **Fig. 1B** oder dergleichen. Von dem Block 710A geht der Ablauf zu dem Block 712A weiter.

[0082] In dem Block 712A werden die ARs dotiert, wobei der erste und der vierte AR mit einer ersten Dotierungsart dotiert werden und der zweite und der dritte AR mit einer zweiten Dotierungsart dotiert werden. Ein Beispiel für die erste Dotierungsart ist ein p-Dotand. Ein Beispiel für die zweite Dotierungsart ist ein n-Dotand. Von dem Block 712A geht der Ablauf zu dem Block 714 weiter.

[0083] In dem Block 714 werden S/D-Bereiche, die erste Transistorkomponenten (TCs) darstellen, an Positionen in den entsprechenden ARs erzeugt, wobei entsprechende erste Zonen der ARs dotiert werden und zweite Zonen der ARs, die zwischen entsprechenden S/D-Bereichen angeordnet sind, Kanalbereiche sind, die zweite TCs darstellen. Von dem Block 714 geht der Ablauf zu dem Block 716 weiter.

[0084] In dem Block 716 werden Gateleitungen, die dritte TCs darstellen, über entsprechenden der Kanalbereiche hergestellt. Von dem Block 716 geht der Ablauf zu dem Block 718 weiter.

[0085] In dem Block 718 werden Metall-S/D-Kontaktstrukturen (MD-Kontaktstrukturen), die dritte TCs darstellen, über entsprechenden S/D-Bereichen hergestellt.

[0086] In **Fig. 7A** entstehen bei einigen Ausführungsformen durch das Herstellen der ARs in dem Block 710A, das Dotieren der ARs in dem Block 712A, das Erzeugen der S/D-Bereiche und der entsprechenden Kanalbereiche in dem Block 714, das Herstellen der Gateleitungen in dem Block 716 und das Herstellen der MD-Kontaktstrukturen in dem Block 718 entsprechende Transistoren. Beispiele für die Transistoren sind die Transistoren des SDFQ

330A von **Fig. 3A**, die Transistoren in den verschiedenen Zonen von **Fig. 3B**, der SDFQ 330C, die Transistoren in den verschiedenen Zonen in **Fig. 3D** oder dergleichen.

[0087] **Fig. 7B** ist ein Ablaufdiagramm 700B eines Verfahrens zum Herstellen einer Halbleitervorrichtung, insbesondere einer Speichervorrichtung, gemäß einigen Ausführungsformen.

[0088] In **Fig. 7B** ist das Ablaufdiagramm 700B dem Ablaufdiagramm 700A von **Fig. 7A** ähnlich. Der Kürze halber konzentriert sich die Erörterung mehr auf Unterschiede als auf Ähnlichkeiten zwischen **Fig. 7B** und **Fig. 7A**. Während **Fig. 7A** die Blöcke 710A und 712A umfasst, umfasst das Ablaufdiagramm 700B Blöcke 710B und 712B.

[0089] In dem Block 710B werden aktive Bereiche (ARs) in dem Substrat erzeugt, indem eine erste Zone, die einen ersten und einen zweiten AR enthält, die eine erste Form haben, und eine zweite Zone konfiguriert werden, die einen dritten und einen vierten AR enthält, die eine zweite Form haben. Beispiele für die erste Zone sind die Zellenbereiche 100A(3) bis 100A(5) von **Fig. 4C** oder dergleichen. Beispiele für den ersten AR sind die kleinen ARs 102(7), 102(9) und 102(11) von **Fig. 4C** oder dergleichen. Beispiele für den zweiten AR sind die kleinen ARs 102(8), 102(10) und 102(12) von **Fig. 4C** oder dergleichen. Beispiele für die zweite Zone sind die Zellenbereiche 100C(1) bis 100C(3) von **Fig. 4C** oder dergleichen. Beispiele für den dritten AR sind die großen ARs 106(6), 106(8) und 106(10) von **Fig. 4C** oder dergleichen. Ein Beispiel für den vierten AR ist der große AR 106(1) von **Fig. 1B** oder dergleichen. Beispiele für den vierten AR sind die großen ARs 106(7), 106(9) und 106(11) von **Fig. 4C** oder dergleichen. Von dem Block 710B geht der Ablauf zu dem Block 712B weiter.

[0090] In dem Block 712B werden die ARs dotiert, wobei der erste und der dritte AR mit einer ersten Dotierungsart dotiert werden und der zweite und der vierte AR mit einer zweiten Dotierungsart dotiert werden. Ein Beispiel für die erste Dotierungsart ist ein p-Dotand. Ein Beispiel für die zweite Dotierungsart ist ein n-Dotand.

[0091] In **Fig. 7B** entstehen bei einigen Ausführungsformen durch das Herstellen der ARs in dem Block 710B, das Dotieren der ARs in dem Block 712B, das Erzeugen der S/D-Bereiche und der entsprechenden Kanalbereiche in dem Block 714, das Herstellen der Gateleitungen in dem Block 716 und das Herstellen der MD-Kontaktstrukturen in dem Block 718 entsprechende Transistoren. Beispiele für die Transistoren sind die Transistoren des SDFQ 330A von **Fig. 3A**, die Transistoren in den verschiedenen Zonen von **Fig. 5** oder dergleichen.

[0092] Fig. 8 ist ein Blockdiagramm eines elektronischen Design-Automatisierungssystems (EDA-Systems) 800 gemäß einigen Ausführungsformen.

[0093] Bei einigen Ausführungsformen umfasst das EDA-System 800 ein APR-System (APR: automatische Platzierung und Trassierung). Bei einigen Ausführungsformen ist das EDA-System 800 eine Universal-Rechenvorrichtung mit einem Hardware-Prozessor 802 und einem nichtflüchtigen maschinenlesbaren Speichermedium 804. Das Speichermedium 804 wird unter anderem mit einem Computerprogrammcode 806, d. h., einem Satz von ausführbaren Befehlen, codiert, d. h., es speichert den Satz von ausführbaren Befehlen. Das Ausführen der Befehle 806 mit dem Hardware-Prozessor 802 erfolgt (zumindest teilweise) mit einem EDA-Tool, das gemäß einer oder mehreren Ausführungsformen einige oder alle der folgenden Verfahren implementiert: das Verfahren von Fig. 6 (Block 602); Verfahren zum Erzeugen von Layoutdiagrammen, wie etwa denen der Fig. 1A bis 1F; Verfahren zum Erzeugen von Layoutdiagrammen, die Blockdiagrammen, wie etwa denen der Fig. 8 und 9, entsprechen; oder dergleichen (nachstehend: „die angegebenen Prozesse und/oder Verfahren“). Das Speichermedium 804 speichert unter anderem Layoutdiagramme 811, wie etwa die hier offenbarten Layoutdiagramme oder dergleichen.

[0094] Der Prozessor 802 ist über einen Bus 808 mit dem maschinenlesbaren Speichermedium 804 elektrisch verbunden. Der Prozessor 802 ist über den Bus 808 außerdem mit einer E/A-Schnittstelle 810 elektrisch verbunden. Weiterhin ist eine Netzwerk-Schnittstelle 812 über den Bus 808 mit dem Prozessor 802 elektrisch verbunden. Die Netzwerk-Schnittstelle 812 ist mit einem Netzwerk 814 verbunden, sodass der Prozessor 802 und das maschinenlesbare Speichermedium 804 externe Elemente über das Netzwerk 814 verbinden können. Der Prozessor 802 ist so konfiguriert, dass er den Computerprogrammcode 806, der in dem maschinenlesbaren Speichermedium 804 codiert ist, abarbeitet, damit das System 800 zum Durchführen einiger oder aller angegebenen Prozesse und/oder Verfahren verwendet werden kann. Bei einer oder mehreren Ausführungsformen ist der Prozessor 802 ein Hauptprozessor (CPU), ein Multiprozessor, ein verteiltes Verarbeitungssystem, eine anwendungsspezifische integrierte Schaltung (ASIC) und/oder eine andere geeignete Verarbeitungseinheit.

[0095] Bei einer oder mehreren Ausführungsformen ist das maschinenlesbare Speichermedium 804 ein elektronisches, magnetisches, optisches, elektromagnetisches, Infrarot- und/oder ein Halbleitersystem (oder -vorrichtung). Das maschinenlesbare Speichermedium 804 ist zum Beispiel ein Halbleiter- oder Festkörperspeicher, ein Magnetband, eine

Wechselplatte, ein Direktzugriffsspeicher (RAM), ein Festspeicher (ROM), eine starre Magnetplatte und/oder eine optische Platte. Bei einer oder mehreren Ausführungsformen, bei denen optische Platten verwendet werden, ist das maschinenlesbare Speichermedium 804 eine Compact Disc Read-Only Memory (CD-ROM), eine Compact Disc Read/Write (CD-R/W) und/oder eine digitale Videoplatte (DVD).

[0096] Bei einer oder mehreren Ausführungsformen speichert das Speichermedium 804 einen Computerprogrammcode 806, der so konfiguriert ist, dass das System 800 (bei dem die Abarbeitung zumindest teilweise mit dem EDA-Tool erfolgt) zum Durchführen einiger oder aller angegebenen Prozesse und/oder Verfahren verwendet werden kann. Bei einer oder mehreren Ausführungsformen speichert das Speichermedium 804 außerdem Informationen, die das Durchführen einiger oder aller angegebenen Prozesse und/oder Verfahren ermöglichen. Bei einer oder mehreren Ausführungsformen speichert das Speichermedium 804 eine Bibliothek 807 von Standardzellen, die die hier offenbarten Standardzellen umfassen. Bei einigen Ausführungsformen speichert das Speichermedium 804 ein oder mehrere Layoutdiagramme 811.

[0097] Das EDA-System 800 weist eine E/A-Schnittstelle 810 auf. Die E/A-Schnittstelle 810 ist mit externen Schaltungen verbunden. Bei einer oder mehreren Ausführungsformen umfasst die E/A-Schnittstelle 810 eine Tastatur, ein Keypad, eine Maus, einen Trackball, ein Touchpad, einen Touchscreen und/oder Cursor-Richtungstasten zum Senden von Informationen und Befehlen an den Prozessor 802.

[0098] Das EDA-System 800 weist außerdem die Netzwerk-Schnittstelle 812 auf, die mit dem Prozessor 802 verbunden ist. Die Netzwerk-Schnittstelle 812 gestattet es dem System 800, mit dem Netzwerk 814 zu kommunizieren, mit dem ein oder mehrere andere Computersysteme verbunden sind. Die Netzwerk-Schnittstelle 812 ist eine drahtlose Netzwerk-Schnittstelle, wie etwa BLUETOOTH, WIFI, WIMAX, GPRS oder WCDMA, oder eine drahtgebundene Netzwerk-Schnittstelle, wie etwa ETHERNET, USB oder IEEE-1364. Bei einer oder mehreren Ausführungsformen werden einige oder alle angegebenen Prozesse und/oder Verfahren in zwei oder mehr Systemen 800 implementiert.

[0099] Das System 800 ist so konfiguriert, dass es Informationen über die E/A-Schnittstelle 810 empfängt. Die Informationen, die über die E/A-Schnittstelle 810 empfangen werden, umfassen Befehle, Daten, Designregeln, Bibliotheken von Standardzellen und/oder andere Parameter zum Verarbeiten mit dem Prozessor 802. Die Informationen werden über den Bus 808 an den Prozessor 802 gesendet. Das

EDA-System 800 ist so konfiguriert, dass es Informationen zu einer Benutzerschnittstelle (UI) über die E/A-Schnittstelle 810 empfängt. Die Informationen werden in dem maschinenlesbaren Medium 804 als eine UI 842 gespeichert.

[0100] Bei einigen Ausführungsformen werden einige oder alle angegebenen Prozesse und/oder Verfahren als eine unabhängige Software-Anwendung zum Abarbeiten mit einem Prozessor implementiert. Bei einigen Ausführungsformen werden einige oder alle angegebenen Prozesse und/oder Verfahren als eine Software-Anwendung implementiert, die Teil einer weiteren Software-Anwendung ist. Bei einigen Ausführungsformen werden einige oder alle angegebenen Prozesse und/oder Verfahren als ein Plug-in für eine Software-Anwendung implementiert. Bei einigen Ausführungsformen wird mindestens einer der angegebenen Prozesse und/oder Verfahren als eine Software-Anwendung implementiert, die ein Teil eines EDA-Tools ist. Bei einigen Ausführungsformen werden einige oder alle angegebenen Prozesse und/oder Verfahren als eine Software-Anwendung implementiert, die von dem EDA-System 800 verwendet wird. Bei einigen Ausführungsformen wird ein Layout, das Standardzellen enthält, unter Verwendung eines Tools wie VIRTUOSO®, das von der Fa. CADENCE DESIGN SYSTEMS, Inc. lieferbar ist, oder eines anderen geeigneten Layout-Erzeugungs-Tools erzeugt.

[0101] Bei einigen Ausführungsformen werden die Prozesse als Funktionen eines Programms realisiert, das in einem nichtflüchtigen maschinenlesbaren Aufzeichnungsmedium gespeichert ist. Beispiele für ein nichtflüchtiges maschinenlesbares Aufzeichnungsmedium sind unter anderem externe/Wechsel- und/oder interne/eingebaute Speichereinheiten, z. B. eine optische Platte, wie etwa eine DVD, eine Magnetplatte, wie etwa eine Festplatte, ein Halbleiterspeicher, wie etwa ein ROM, ein RAM und/oder eine Speicherkarte oder dergleichen.

[0102] Fig. 9 ist ein Blockschaltbild eines IC-Herstellungssystems 900 und eines mit diesem verbundenen IC-Herstellungsablaufs gemäß einigen Ausführungsformen.

[0103] Auf der Basis des IC-Layoutdiagramms implementiert das IC-Herstellungssystem 900 einen Block, in dem (A) eine oder mehrere Halbleitermasken und/oder (B) mindestens eine Komponente in einer Schicht eines unfertigen integrierten Halbleiterschaltkreises unter Verwendung des Herstellungssystems 900 hergestellt werden.

[0104] In Fig. 9 weist das IC-Herstellungssystem 900 Einheiten auf, wie etwa ein Designhaus 920, ein Maskenhaus 930 und einen IC-Hersteller („Mikrochip-Fabrik“) 950, die miteinander in den Design-

Entwicklungs- und Herstellungszyklen und/oder bei den Dienstleistungen interagieren, die mit der Herstellung einer IC-Vorrichtung 960 verbunden sind. Die Einheiten in dem System 900 sind durch ein Kommunikationsnetzwerk verbunden. Bei einigen Ausführungsformen ist das Kommunikationsnetzwerk ein einzelnes Netzwerk. Bei einigen Ausführungsformen umfasst das Kommunikationsnetzwerk viele unterschiedliche Netzwerke, wie etwa ein Intranet und das Internet. Das Kommunikationsnetzwerk umfasst drahtgebundene und/oder drahtlose Kommunikationskanäle. Jede Einheit interagiert mit einer oder mehreren der anderen Einheiten und stellt Dienste für eine oder mehrere der anderen Einheiten bereit und/oder empfängt Dienste von diesen. Bei einigen Ausführungsformen sind zwei oder mehr der Einheiten Designhaus 920, Maskenhaus 930 und IC-Fabrik 950 im Besitz eines einzigen größeren Unternehmens. Bei einigen Ausführungsformen bestehen zwei oder mehr der Einheiten Designhaus 920, Maskenhaus 930 und IC-Fabrik 950 in einer gemeinsamen Einrichtung nebeneinander, und sie nutzen gemeinsame Ressourcen.

[0105] Das Designhaus (oder Designteam) 920 erzeugt ein IC-Designlayout 922. Das IC-Designlayout 922 enthält verschiedene geometrische Strukturen, die für eine IC-Vorrichtung 960 entworfen worden sind. Die geometrischen Strukturen entsprechen Strukturen von Metall-, Oxid- oder Halbleiterschichten, die die verschiedenen Komponenten der herzustellenden IC-Vorrichtung 960 bilden. Die verschiedenen Schichten bilden gemeinsam verschiedene IC-Strukturelemente. Zum Beispiel weist ein Teil des IC-Designlayouts 922 verschiedene IC-Strukturelemente auf, wie etwa einen aktiven Bereich, eine Gateelektrode, eine Source und einen Drain, Metallleitungen oder -durchkontaktierungen einer Zwischenschichtverbindung und Öffnungen für Bondpads, die in einem Halbleitersubstrat (wie etwa einem Siliziumwafer) und verschiedenen Materialschichten, die auf dem Halbleitersubstrat angeordnet sind, hergestellt werden sollen. Source/Drainbereiche können kontextabhängig einzeln oder kollektiv eine Source oder einen Drain bezeichnen. Das Designhaus 920 implementiert ein passendes Designverfahren zum Erzeugen des IC-Designlayouts 922. Das Designverfahren umfasst ein Logikdesign, ein physisches Design oder eine Platzierung und Trassierung. Das IC-Designlayout 922 wird in einer oder mehreren Datendateien mit Informationen der geometrischen Strukturen dargestellt. Das IC-Designlayout 922 wird in einem GDSII-Dateiformat oder einem DFII-Dateiformat dargestellt.

[0106] In dem Maskenhaus 930 werden eine Datenaufbereitung 932 und eine Maskenherstellung 934 durchgeführt. Das Maskenhaus 930 verwendet das IC-Designlayout 922 zum Herstellen einer oder mehrerer Masken 935, die für die Herstellung der ver-

schiedenen Schichten der IC-Vorrichtung 960 entsprechend dem IC-Designlayout 922 genutzt werden sollen. Das Maskenhaus 930 führt die Datenaufbereitung 932 durch, bei der das IC-Designlayout 922 in eine repräsentative Datendatei (RDF) übersetzt wird. Bei der Maskendatenaufbereitung 932 wird die RDF für die Maskenherstellung 934 bereitgestellt. Bei der Maskenherstellung 934 wird ein Maskenschreiber verwendet. Ein Maskenschreiber wandelt die RDF in ein Bild auf einem Substrat um, wie etwa auf einer Maske (Retikel) oder einem Halbleiterwafer. Das Designlayout wird bei der Maskendatenaufbereitung 932 so manipuliert, dass es bestimmten Eigenschaften des Maskenschreibers entspricht und/oder Anforderungen der IC-Fabrik 950 erfüllt. In **Fig. 9** sind die Maskendatenaufbereitung 932, die Maskenherstellung 934 und die Maske 935 als getrennte Elemente dargestellt. Bei einigen Ausführungsformen können die Maskendatenaufbereitung 932 und die Maskenherstellung 934 kollektiv als Maskendatenaufbereitung bezeichnet werden.

[0107] Bei einigen Ausführungsformen umfasst die Maskendatenaufbereitung 932 eine Optical Proximity Correction (OPC), für die lithografische Verbesserungsmethoden verwendet werden, um Bildfehler auszugleichen, wie etwa solche, die durch Beugung, Interferenz, andere Prozess-Effekte und dergleichen entstehen können. Durch die OPC wird das IC-Designlayout 922 angepasst. Bei einigen Ausführungsformen umfasst die Maskendatenaufbereitung 932 weitere Auflösungsverbesserungsmethoden (RET), wie etwa außeraxiale Belichtung, Teilauflösungs-Unterstützungselemente, Phasenverschiebungsmasken, andere geeignete Methoden und dergleichen, oder Kombinationen davon. Bei einigen Ausführungsformen wird auch die inverse Lithografie-Technologie (ILT) verwendet, die die OPC als ein inverses Abbildungsproblem behandelt.

[0108] Bei einigen Ausführungsformen überprüft bei der Maskendatenaufbereitung 932 ein Maskenregelprüfer (MRC) das IC-Designlayout 922, das Prozesse in der OPC durchlaufen hat, mit einer Gruppe von Masken-Erzeugungsregeln, die bestimmte geometrische und/oder Konnektivitätseinschränkungen enthalten, um ausreichende Spannen zu gewährleisten, um der Veränderlichkeit bei Halbleiterherstellungsprozessen und dergleichen Rechnung zu tragen. Um die Masken-Erzeugungsregeln einzuhalten, modifiziert bei einigen Ausführungsformen der MRC das IC-Designlayout 922, um Beschränkungen während der Maskenherstellung 934 auszugleichen, die einen Teil der von der OPC durchgeführten Modifikationen rückgängig machen können.

[0109] Bei einigen Ausführungsformen umfasst die Maskendatenaufbereitung 932 eine Prüfung des Lithografieprozesses (LPC), bei der die Bearbeitung

simuliert wird, die von der IC-Fabrik 950 implementiert wird, um die IC-Vorrichtung 960 herzustellen. Bei der LPC wird diese Bearbeitung auf der Basis des IC-Designlayouts 922 simuliert, um eine simulierte hergestellte Vorrichtung, wie etwa die IC-Vorrichtung 960, herzustellen. Die Bearbeitungsparameter bei der LPC-Simulation können Folgendes umfassen: Parameter, die mit verschiedenen Prozessen des IC-Herstellungszyklus assoziiert sind; Parameter, die mit Tools assoziiert sind, die für die Herstellung von ICs verwendet werden; und/oder andere Aspekte des Herstellungsprozesses. Die LPC berücksichtigt verschiedene Faktoren, wie etwa Zwischenbildkontrast, Tiefenschärfe (DOF), Maskenfehler-Verbesserungsfaktor (MEEF), andere geeignete Faktoren und dergleichen, oder Kombinationen davon. Bei einigen Ausführungsformen müssen in dem Fall, dass nach der Herstellung einer simulierten hergestellten Vorrichtung durch LPC die simulierte Vorrichtung hinsichtlich der Form zu weit von der Einhaltung der Designregeln entfernt ist, die OPC und/oder die MRC wiederholt werden, um das IC-Designlayout 922 weiter zu verbessern.

[0110] Die vorstehende Beschreibung der Maskendatenaufbereitung 932 ist der Übersichtlichkeit halber vereinfacht worden. Bei einigen Ausführungsformen umfasst die Maskendatenaufbereitung 932 weitere Elemente, wie etwa eine logische Operation (LOP), um das IC-Designlayout 922 entsprechend den Herstellungsregeln zu modifizieren. Darüber hinaus können die Prozesse, die für das IC-Designlayout 922 während der Maskendatenaufbereitung 932 verwendet werden, in vielen verschiedenen Reihenfolgen durchgeführt werden.

[0111] Nach der Maskendatenaufbereitung 932 und während der Maskenherstellung 934 wird eine Maske 935 oder eine Gruppe von Masken 935 auf der Basis des modifizierten IC-Designlayouts 922 hergestellt. Bei einigen Ausführungsformen wird ein Elektronenstrahl oder ein Mechanismus mit mehreren Elektronenstrahlen zum Erzeugen einer Struktur auf einer Maske (Fotomaske oder Retikel) auf der Basis des modifizierten IC-Designlayouts 922 verwendet. Die Masken werden mit verschiedenen Technologien hergestellt. Bei einigen Ausführungsformen wird die Maske unter Verwendung der Binärtechnologie hergestellt. Bei einigen Ausführungsformen weist eine Maskenstruktur opake Bereiche und transparente Bereiche auf. Ein Strahlungsstrahl, wie etwa ein Ultraviolettstrahl (UV-Strahl), der zum Belichten einer lichtempfindlichen Materialschicht (z. B. Fotoresist) verwendet wird, die auf einen Wafer aufgebracht worden ist, wird von dem opaken Bereich blockiert und geht durch die transparenten Bereiche hindurch. In einem Beispiel weist eine Binärmaske ein transparentes Substrat (z. B. Quarzglas) und ein opakes Material (z. B. Chrom) auf, das in den opaken Bereichen der Maske aufgebracht ist.

In einem anderen Beispiel wird die Maske unter Verwendung der Phasenverschiebungstechnologie hergestellt. Bei einer Phasenverschiebungsmaske (PSM) sind verschiedene Elemente in der Struktur, die auf der Maske erzeugt wird, so konfiguriert, dass sie eine Phasendifferenz haben, die zum Verbessern der Auflösung und der Bildqualität geeignet ist. In verschiedenen Beispielen kann die Phasenverschiebungsmaske eine Maske mit abgeschwächter Phasenverschiebung oder eine Maske mit veränderlicher Phasenverschiebung sein. Die von der Maskenherstellung 934 erzeugten Masken werden in vielen verschiedenen Prozessen verwendet. Solche Masken werden zum Beispiel in einem Ionenimplantationsprozess zum Erzeugen von verschiedenen dotierten Bereichen in dem Halbleiterwafer, in einem Ätzprozess zum Erzeugen von verschiedenen Ätzbereichen in dem Halbleiterwafer und/oder in anderen geeigneten Prozessen verwendet.

[0112] Die IC-Fabrik 950 ist ein IC-Herstellungsunternehmen, das eine oder mehrere Produktionsanlagen für die Herstellung vieler unterschiedlicher IC-Produkte hat. Bei einigen Ausführungsformen ist die IC-Fabrik 950 eine Halbleiter-Fertigungsanlage. Es kann zum Beispiel eine Produktionsanlage für die Front-End-Fertigung einer Mehrzahl von IC-Produkten [Front-End-of-Line-Fertigung (FEOL-Fertigung)] geben, während mit einer zweiten Produktionsanlage die Back-End-Fertigung für das Verbinden und Packaging der IC-Produkte [Back-End-of-Line-Fertigung (BEOL-Fertigung)] durchgeführt werden kann und eine dritte Produktionsanlage andere Dienste für den Fertigungsbetrieb bereitstellen kann.

[0113] In der IC-Fabrik 950 werden eine oder mehrere von dem Maskenhaus 930 hergestellte Masken 935 verwendet, um die IC-Vorrichtung 960 unter Verwendung von Fertigungstools 952 herzustellen. Somit verwendet die IC-Fabrik 950 zumindest indirekt das IC-Designlayout 922 zum Herstellen der IC-Vorrichtung 960. Bei einigen Ausführungsformen wird der Halbleiterwafer 953 von der IC-Fabrik 950 unter Verwendung einer oder mehrerer Masken 935 hergestellt, um die IC-Vorrichtung 960 herzustellen. Der Halbleiterwafer 953 ist ein Siliziumsubstrat oder ein anderes geeignetes Substrat, auf dem Materialschichten hergestellt sind. Der Halbleiterwafer 953 weist weiterhin einen oder mehrere verschiedene dotierte Bereiche, dielektrische Strukturelemente, Mehrebenen-Interconnects und dergleichen auf (die in späteren Herstellungsschritten hergestellt werden).

[0114] Bei einigen Ausführungsformen weist ein Zellenbereich einer Halbleitervorrichtung aktive Bereiche (ARs) auf, die als vorgegebene Formen auf einem Substrat ausgebildet sind und Folgendes umfassen: einen ersten und einen zweiten AR, die eine erste Form und eine erste bzw. eine zweite

Dotierungsart haben; einen dritten AR, der eine zweite Form und die zweite Dotierungsart hat; und einen vierten AR, der eine dritte Form und die erste Dotierungsart hat. Der erste und der zweite AR sind in einer ersten Zone des Zellenbereichs angeordnet, der dritte und der vierte AR sind in einer zweiten Zone des Zellenbereichs angeordnet, und die zweite Zone ist entlang einer ersten Richtung zu der ersten Zone benachbart. Die erste Form ist kleiner als die zweite Form, und die zweite Form ist kleiner als die dritte Form.

[0115] Bei einigen Ausführungsformen ist die erste Richtung senkrecht zu Längsachsen entsprechender ARs.

[0116] Bei einigen Ausführungsformen hat entlang der ersten Richtung die erste Zone eine gemeinsame Grenze mit der zweiten Zone.

[0117] Bei einigen Ausführungsformen ist entlang der ersten Richtung eine Grenze der ersten Zone durch einen Dummy-Bereich von einer Grenze der zweiten Zone getrennt.

[0118] Bei einigen Ausführungsformen ist die erste Richtung parallel zu Längsachsen entsprechender ARs.

[0119] Bei einigen Ausführungsformen ist entlang der ersten Richtung eine Grenze der ersten Zone durch einen Dummy-Bereich von einer Grenze der zweiten Zone getrennt.

[0120] Bei einigen Ausführungsformen weisen die ARs weiterhin Folgendes auf: einen fünften und einen sechsten AR, die die erste Form und die erste bzw. die zweite Dotierungsart haben, wobei entlang einer zu der ersten Richtung senkrechten zweiten Richtung der erste und der zweite AR als eine erste Einheit gestapelt sind und der fünfte und der sechste AR als eine zweite Einheit gestapelt sind, wobei die zweite Einheit auf die erste Einheit gestapelt ist.

[0121] Bei einigen Ausführungsformen können die ARs weiterhin einen fünften AR mit der zweiten Form und der zweiten Dotierungsart umfassen, wobei der fünfte AR sowie der dritte und der vierte AR in der zweiten Zone angeordnet sind.

[0122] Bei einigen Ausführungsformen ist entlang einer zweiten Richtung, die parallel zu Längsachsen der entsprechender ARs ist, der vierte AR zwischen dem dritten und dem fünften AR angeordnet.

[0123] Bei einigen Ausführungsformen weist ein Zellenbereich einer Halbleitervorrichtung aktive Bereiche (ARs) auf, die als vorgegebene Formen auf einem Substrat ausgebildet sind Folgendes umfassen: einen ersten und einen zweiten AR, die

eine erste Form und eine erste bzw. eine zweite Dotierungsart haben; und einen dritten und einen vierten AR, die eine zweite Form und die erste bzw. die zweite Dotierungsart haben. Der erste und der zweite AR sind in einer ersten Zone des Zellenbereichs angeordnet, der dritte und der vierte AR sind in einer zweiten Zone des Zellenbereichs angeordnet, und die zweite Zone ist entlang einer ersten Richtung zu der ersten Zone benachbart. Die erste Form ist kleiner als die zweite Form.

[0124] Bei einigen Ausführungsformen ist die erste Richtung senkrecht zu Längsachsen entsprechender ARs.

[0125] Bei einigen Ausführungsformen ist entlang der ersten Richtung eine Grenze der ersten Zone durch einen Dummy-Bereich von einer Grenze der zweiten Zone getrennt.

[0126] Bei einigen Ausführungsformen ist die erste Richtung parallel zu Längsachsen entsprechender ARs.

[0127] Bei einigen Ausführungsformen ist entlang der ersten Richtung eine Grenze der ersten Zone durch einen Dummy-Bereich von einer Grenze der zweiten Zone getrennt.

[0128] Bei einigen Ausführungsformen umfasst ein Verfahren ein Erzeugen von aktiven Bereichen (ARs) mit vorgegebenen Formen auf einem Substrat durch Konfigurieren einer ersten Zone so, dass sie einen ersten und einen zweiten AR enthält, die eine erste Form haben, und Konfigurieren einer zweiten Zone so, dass sie zu der ersten Zone entlang einer ersten Richtung benachbart ist und einen dritten AR mit einer zweiten Form und einen vierten AR mit einer dritten Form enthält, wobei die erste Form kleiner als die zweite Form ist und die zweite Form kleiner als die dritte Form ist. Das Verfahren umfasst weiterhin Folgendes: Dotieren der ARs durch Dotieren des ersten und des vierten AR mit einer ersten Dotierungsart und Dotieren des zweiten und des dritten AR mit einer zweiten Dotierungsart; Erzeugen von Source/Drainbereichen (S/D-Bereichen) durch Dotieren von ersten Zonen der ARs, wobei die S/D-Bereiche erste Transistorkomponenten darstellen und zweite Zonen der ARs, die zwischen entsprechenden S/D-Bereichen angeordnet sind, Kanalbereiche sind, die zweite Transistorkomponenten darstellen; Herstellen von Gateleitungen über entsprechenden der Kanalbereiche, wobei die Gateleitungen dritte Transistorkomponenten darstellen; und Herstellen von Metall-S/D-Kontaktstrukturen (MD-Kontaktstrukturen) über entsprechenden der S/D-Bereiche, wobei die MD-Kontaktstrukturen vierte Transistorkomponenten darstellen, wobei durch das Erzeugen der ARs, das Dotieren der ARs, das Erzeugen der S/D-Bereiche, das Herstellen

der MD-Kontaktstrukturen und das Herstellen der Gateleitungen entsprechende Transistoren entstehen.

[0129] Bei einigen Ausführungsformen entsteht durch das Erzeugen der ARs, das Erzeugen der S/D-Bereiche, das Herstellen der MD-Kontaktstrukturen und das Herstellen der Gateleitungen weiterhin Folgendes: eine erste Gruppe einer ersten bis vierten Transistorkomponente, die als entsprechende der Transistoren geschaltet sind und einen primären Latch definieren; eine zweite Gruppe der ersten bis vierten Transistorkomponente, die als entsprechende der Transistoren geschaltet sind und einen sekundären Latch definieren; eine dritte Gruppe der ersten bis vierten Transistorkomponente, die als entsprechende der Transistoren geschaltet sind und einen Ausgangspuffer definieren. Der primäre Latch, der sekundäre Latch, der Ausgangspuffer und der Taktpuffer bilden einen D-Flipflop (DFF). Der primäre Latch weist einen ersten Sleepy-Inverter und einen ersten Nicht-Sleepy-Inverter (NS-Inverter) auf, der sekundäre Latch weist einen zweiten Sleepy-Inverter und einen zweiten NS-Inverter auf, und der Taktpuffer weist den ersten und den zweiten NS-Inverter auf. Eine erste Gruppe einiger, aber nicht aller der Transistoren ist in einer ersten Zone angeordnet, und diejenigen der Transistoren, die den Ausgangspuffer bilden, sind in einer zweiten Zone angeordnet.

[0130] Bei einigen Ausführungsformen sind diejenigen der Transistoren, die den ersten NS-Inverter bilden, in der zweiten Zone angeordnet, und diejenigen der Transistoren, die den zweiten NS-Inverter bilden, sind ebenfalls in der zweiten Zone angeordnet.

[0131] Bei einigen Ausführungsformen entsteht durch das Erzeugen der ARs, das Erzeugen der S/D-Bereiche, das Herstellen der MD-Kontaktstrukturen und das Herstellen der Gateleitungen weiterhin Folgendes: eine fünfte Gruppe der ersten bis vierten Transistorkomponente, die als entsprechende der Transistoren geschaltet sind und einen internen Puffer definieren, wobei der interne Puffer in dem D-Flipflop (DFF) enthalten ist und diejenigen der Transistoren, die den internen Puffer bilden, in der zweiten Zone angeordnet sind.

[0132] Bei einigen Ausführungsformen entsteht durch das Erzeugen der ARs, das Erzeugen der S/D-Bereiche, das Herstellen der MD-Kontaktstrukturen und das Herstellen der Gateleitungen weiterhin Folgendes: eine fünfte Gruppe der ersten bis vierten Transistorkomponente, die als entsprechende der Transistoren geschaltet sind und einen Abtastpuffer definieren, wobei diejenigen der Transistoren, die

den Abtastpuffer bilden, in der zweiten Zone angeordnet sind.

beschränkt werden, die in den beigefügten Ansprüchen und deren Äquivalenten enthalten sind.

[0133] Bei einigen Ausführungsformen entsteht durch das Erzeugen der ARs, das Erzeugen der S/D-Bereiche, das Herstellen der MD-Kontaktstrukturen und das Herstellen der Gateleitungen weiterhin Folgendes: eine fünfte Gruppe der ersten bis vierten Transistorkomponente, die als entsprechende der Transistoren geschaltet sind und einen Multiplexer definieren, wobei erste der Transistoren, die den Multiplexer bilden, in der ersten Zone angeordnet sind, und zweite der Transistoren, die den Multiplexer bilden, in der zweiten Zone angeordnet sind.

[0134] Bei einigen Ausführungsformen umfasst ein Verfahren zum Herstellen einer Halbleitervorrichtung ein Erzeugen von aktiven Bereichen (ARs) mit vorgegebenen Formen auf einem Substrat durch Konfigurieren einer ersten Zone so, dass sie einen ersten und einen zweiten AR enthält, die eine erste Form haben, und Konfigurieren einer zweiten Zone so, dass sie zu der ersten Zone entlang einer ersten Richtung benachbart ist und einen dritten und einen vierten AR enthält, die eine zweite Form haben, wobei die erste Form kleiner als die zweite Form ist. Das Verfahren umfasst weiterhin Folgendes: Dotieren der ARs durch Dotieren des ersten und des dritten AR mit einer ersten Dotierungsart und Dotieren des zweiten und des vierten AR mit einer zweiten Dotierungsart; Erzeugen von Source/Drainbereichen (S/D-Bereichen) durch Dotieren von ersten Zonen der ARs, wobei die S/D-Bereiche erste Transistorkomponenten darstellen und zweite Zonen der ARs, die zwischen entsprechenden S/D-Bereichen angeordnet sind, Kanalbereiche sind, die zweite Transistorkomponenten darstellen; Herstellen von Gateleitungen über entsprechenden der Kanalbereiche, wobei die Gateleitungen dritte Transistorkomponenten darstellen; und Herstellen von Metall-S/D-Kontaktstrukturen (MD-Kontaktstrukturen) über entsprechenden der S/D-Bereiche, wobei die MD-Kontaktstrukturen vierte Transistorkomponenten darstellen, wobei durch das Erzeugen der ARs, das Dotieren der ARs, das Erzeugen der S/D-Bereiche, das Herstellen der MD-Kontaktstrukturen und das Herstellen der Gateleitungen entsprechende Transistoren entstehen.

[0135] Ein Durchschnittsfachmann dürfte ohne Weiteres erkennen, dass eine oder mehrere der offenbarten Ausführungsformen einen oder mehrere der vorstehend beschriebenen Vorzüge bieten. Nach dem Lesen der vorstehenden Patentbeschreibung dürfte ein Durchschnittsfachmann in der Lage sein, verschiedene Änderungen und Ersetzungen von Äquivalenten vorzunehmen und verschiedene weitere Ausführungsformen auszuführen, die hier im Umriss beschrieben worden sind. Daher soll der hier gewährte Schutz nur von den Definitionen

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Patentliteratur

- US 63/484680 [0001]

Patentansprüche

1. Halbleitervorrichtung mit einem Zellenbereich, wobei der Zellenbereich aktive Bereiche (ARs) enthält, die als vorgegebene Formen auf einem Substrat ausgebildet sind und Folgendes umfassen: einen ersten AR und einen zweiten AR, die eine erste Form und eine erste Dotierungsart bzw. eine zweite Dotierungsart haben; einen dritten AR, der eine zweite Form und die zweite Dotierungsart hat; und einen vierten AR, der eine dritte Form und die erste Dotierungsart hat, wobei: der erste AR und der zweite AR in einer ersten Zone des Zellenbereichs angeordnet sind, der dritte AR und der vierte AR in einer zweiten Zone des Zellenbereichs angeordnet sind, wobei die zweite Zone bezüglich einer ersten Richtung zu der ersten Zone benachbart ist, die erste Form kleiner als die zweite Form ist, und die zweite Form kleiner als die dritte Form ist.
2. Vorrichtung nach Anspruch 1, wobei: die erste Richtung senkrecht zu Längsachsen entsprechender ARs ist.
3. Vorrichtung nach Anspruch 1 oder 2, wobei: entlang der ersten Richtung die erste Zone eine gemeinsame Grenze mit der zweiten Zone hat.
4. Vorrichtung nach Anspruch 1 oder 2, wobei: bezüglich der ersten Richtung eine Grenze der ersten Zone durch einen Dummy-Bereich von einer Grenze der zweiten Zone getrennt ist.
5. Vorrichtung nach einem der vorhergehenden Ansprüche, wobei: die erste Richtung parallel zu Längsachsen entsprechender Ars ist.
6. Vorrichtung nach Anspruch 15, wobei: bezüglich der ersten Richtung eine Grenze der ersten Zone durch einen Dummy-Bereich von einer Grenze der zweiten Zone getrennt ist.
7. Vorrichtung nach einem der vorhergehenden Ansprüche, wobei die ARs weiterhin einen fünften AR und einen sechsten AR aufweisen, die die erste Form und die erste Dotierungsart bzw. die zweite Dotierungsart haben, wobei: bezüglich einer zu der ersten Richtung senkrechten zweiten Richtung der erste AR und der zweite AR als eine erste Einheit gestapelt sind und der fünfte AR und der sechste AR als eine zweite Einheit gestapelt sind, wobei die zweite Einheit auf die erste Einheit gestapelt ist.
8. Vorrichtung nach einem der vorhergehenden Ansprüche, wobei die Ars weiterhin einen fünften AR mit der zweiten Form und der zweiten Dotie-

rungsart umfassen, wobei: der fünfte AR sowie der dritte AR und der vierte AR in der zweiten Zone angeordnet sind.

9. Vorrichtung nach Anspruch 8, wobei: bezüglich einer zweiten Richtung, die parallel zu Längsachsen der entsprechender Ars ist, der vierte AR zwischen dem dritten AR und dem fünften AR angeordnet ist.

10. Halbleitervorrichtung mit einem Zellenbereich, wobei der Zellenbereich aktive Bereiche (Ars) enthält, die als vorgegebene Formen auf einem Substrat ausgebildet sind und Folgendes umfassen: einen ersten AR und einen zweiten AR, die eine erste Form und eine erste Dotierungsart bzw. eine zweite Dotierungsart haben; und einen dritten AR und einen vierten AR, die eine zweite Form und die erste Dotierungsart bzw. die zweite Dotierungsart haben, wobei: der erste AR und der zweite AR in einer ersten Zone des Zellenbereichs angeordnet sind, der dritte AR und der vierte AR in einer zweiten Zone des Zellenbereichs angeordnet sind, wobei die zweite Zone bezüglich einer ersten Richtung zu der ersten Zone benachbart ist, und die erste Form kleiner als die zweite Form ist.

11. Vorrichtung nach Anspruch 10, wobei: die erste Richtung senkrecht zu Längsachsen der entsprechenden Ars ist.

12. Vorrichtung nach Anspruch 10 oder 11, wobei: bezüglich der ersten Richtung eine Grenze der ersten Zone durch einen Dummy-Bereich von einer Grenze der zweiten Zone getrennt ist.

13. Vorrichtung nach Anspruch 10, wobei: die erste Richtung parallel zu Längsachsen der entsprechenden Ars ist.

14. Vorrichtung nach Anspruch 10 oder 13, wobei: bezüglich der ersten Richtung eine Grenze der ersten Zone durch einen Dummy-Bereich von einer Grenze der zweiten Zone getrennt ist.

15. Verfahren zum Herstellen einer Halbleitervorrichtung, umfassend: Erzeugen von aktiven Bereichen (ARs) mit vorgegebenen Formen auf einem Substrat mit den folgenden Schritten: Konfigurieren einer ersten Zone so, dass sie einen ersten AR und einen zweiten AR enthält, die eine erste Form haben, und Konfigurieren einer zweiten Zone so, dass sie zu der ersten Zone bezüglich einer ersten Richtung benachbart ist und einen dritten AR mit einer zwei-

ten Form und einen vierten AR mit einer dritten Form enthält, wobei die erste Form kleiner als die zweite Form ist und die zweite Form kleiner als die dritte Form ist;

Dotieren der ARs mit den folgenden Schritten:

Dotieren des ersten AR und des vierten AR mit einer ersten Dotierungsart, und

Dotieren des zweiten AR und des dritten AR mit einer zweiten Dotierungsart;

Erzeugen von Source/Drainbereichen (S/D-Bereichen) umfassend ein Dotieren von ersten Zonen der Ars, wobei die S/D-Bereiche erste Transistorkomponenten darstellen und zweite Zonen der Ars, die zwischen entsprechenden S/D-Bereichen angeordnet sind, Kanalbereiche sind, die zweite Transistorkomponenten darstellen;

Herstellen von Gateleitungen über entsprechenden der Kanalbereiche, wobei die Gateleitungen dritte Transistorkomponenten darstellen; und

Herstellen von Metall-S/D-Kontaktstrukturen (MD-Kontaktstrukturen) über entsprechenden der S/D-Bereiche, wobei die MD-Kontaktstrukturen vierte Transistorkomponenten darstellen, wobei:

durch das Erzeugen der ARs, das Dotieren der ARs, das Erzeugen der S/D-Bereiche, das Herstellen der MD-Kontaktstrukturen und das Herstellen der Gateleitungen entsprechende Transistoren entstehen.

16. Verfahren nach Anspruch 15, wobei durch das Erzeugen der ARs, das Erzeugen der S/D-Bereiche, das Herstellen der MD-Kontaktstrukturen und das Herstellen der Gateleitungen weiterhin Folgendes entsteht:

eine erste Gruppe der ersten bis vierten Transistorkomponenten, die als entsprechende der Transistoren geschaltet sind und einen primären Latch definieren;

eine zweite Gruppe der ersten bis vierten Transistorkomponenten, die als entsprechende der Transistoren geschaltet sind und einen sekundären Latch definieren;

eine dritte Gruppe der ersten bis vierten Transistorkomponenten, die als entsprechende der Transistoren geschaltet sind und einen Taktpuffer definieren; und

eine vierte Gruppe der ersten bis vierten Transistorkomponenten, die als entsprechende der Transistoren geschaltet sind und einen Ausgangspuffer definieren, wobei

der primäre Latch, der sekundäre Latch, der Ausgangspuffer und der Taktpuffer einen D-Flipflop (DFF) bilden,

der primäre Latch einen ersten Sleepy-Inverter und einen ersten Nicht-Sleepy-Inverter (NS-Inverter) aufweist,

der sekundäre Latch einen zweiten Sleepy-Inverter und einen zweiten NS-Inverter aufweist,

der Taktpuffer den ersten NS-Inverter und den zweiten NS-Inverter aufweist,

eine erste Gruppe einiger, aber nicht aller der Tran-

sistoren in einer ersten Zone angeordnet ist, und diejenigen der Transistoren, die den Ausgangspuffer umfassen, in der zweiten Zone angeordnet sind.

17. Verfahren nach Anspruch 15 oder 16, wobei: diejenigen der Transistoren, die den ersten NS-Inverter umfassen, in der zweiten Zone angeordnet sind, und

diejenigen der Transistoren, die den zweiten NS-Inverter umfassen, in der zweiten Zone angeordnet sind.

18. Verfahren nach einem der Ansprüche 15 bis 17, wobei:

durch das Erzeugen der Ars, das Erzeugen der S/D-Bereiche, das Herstellen der MD-Kontaktstrukturen und das Herstellen der Gateleitungen weiterhin eine fünfte Gruppe der ersten bis vierten Transistorkomponente entsteht, die als entsprechende der Transistoren geschaltet sind und einen internen Puffer definieren, wobei

der interne Puffer in dem D-Flipflop (DFF) enthalten ist, und

diejenigen der Transistoren, die den internen Puffer umfassen, in der zweiten Zone angeordnet sind.

19. Verfahren nach einem der Ansprüche 15 bis 18, wobei:

durch das Erzeugen der ARs, das Erzeugen der S/D-Bereiche, das Herstellen der MD-Kontaktstrukturen und das Herstellen der Gateleitungen weiterhin eine fünfte Gruppe der ersten bis vierten Transistorkomponenten entsteht, die als entsprechende der Transistoren geschaltet sind und einen Abtastpuffer definieren, wobei:

diejenigen der Transistoren, die den Abtastpuffer umfassen, in der zweiten Zone angeordnet sind.

20. Verfahren nach einem der Ansprüche 15 bis 19, wobei:

Durch das Erzeugen der Ars, das Erzeugen der S/D-Bereiche, das Herstellen der MD-Kontaktstrukturen und das Herstellen der Gateleitungen weiterhin eine fünfte Gruppe der ersten bis vierten Transistorkomponenten entsteht, die als entsprechende der Transistoren geschaltet sind und einen Multiplexer definieren, wobei:

erste der Transistoren, die den Multiplexer umfassen, in der ersten Zone angeordnet sind, und

zweite der Transistoren, die den Multiplexer umfassen, in der zweiten Zone angeordnet sind.

Es folgen 15 Seiten Zeichnungen

Anhängende Zeichnungen

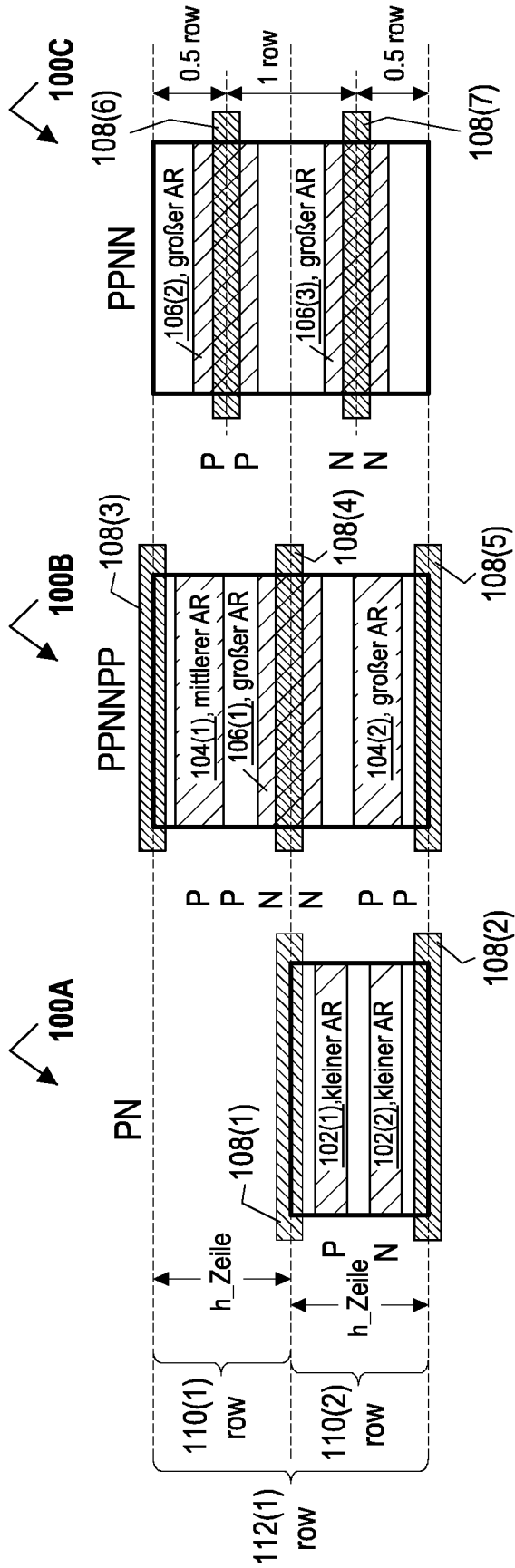


FIG. 1A

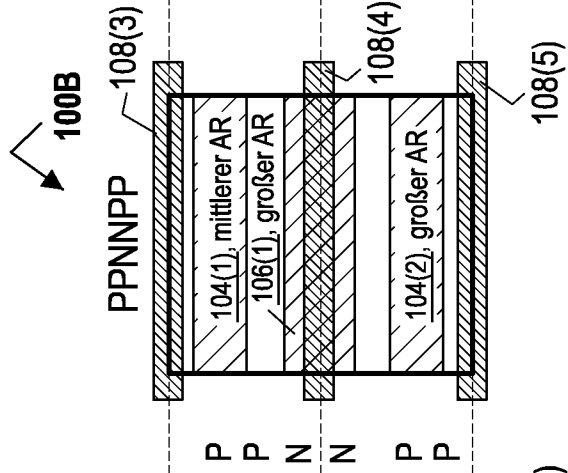


FIG. 1B

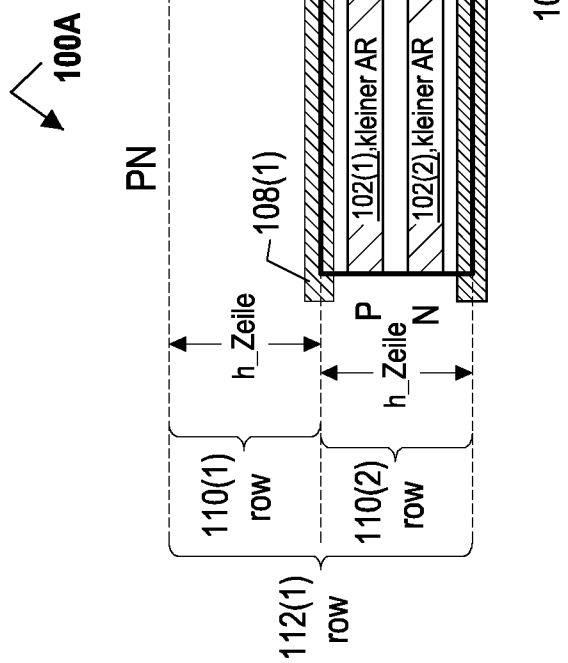


FIG. 1C

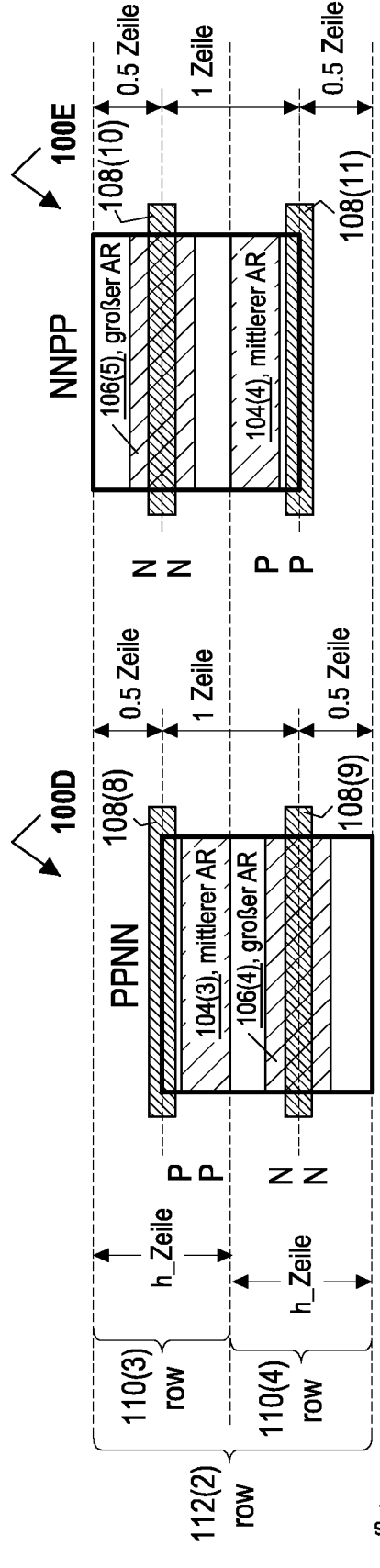


FIG. 1D

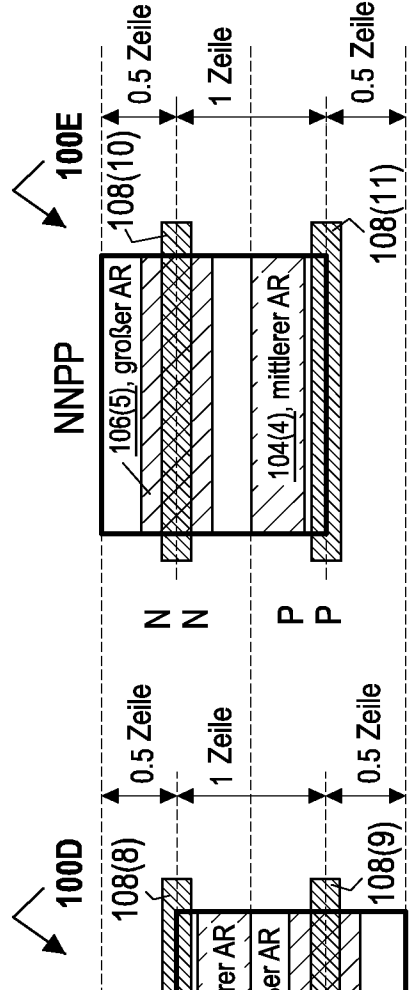
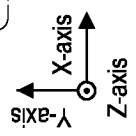


FIG. 1E



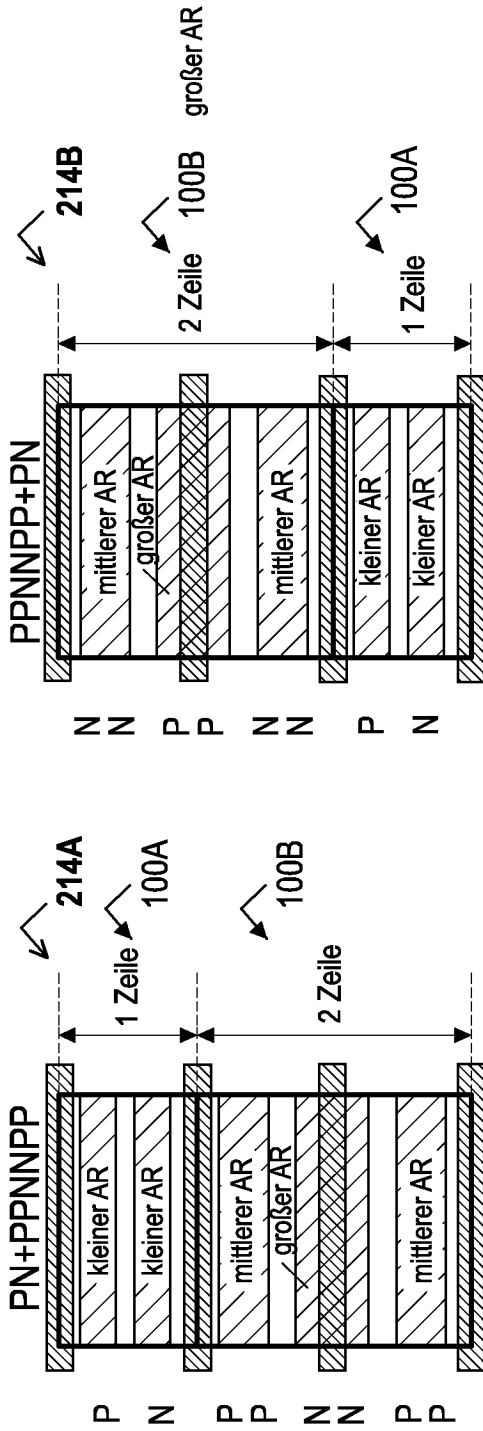


FIG. 2B

FIG. 2A

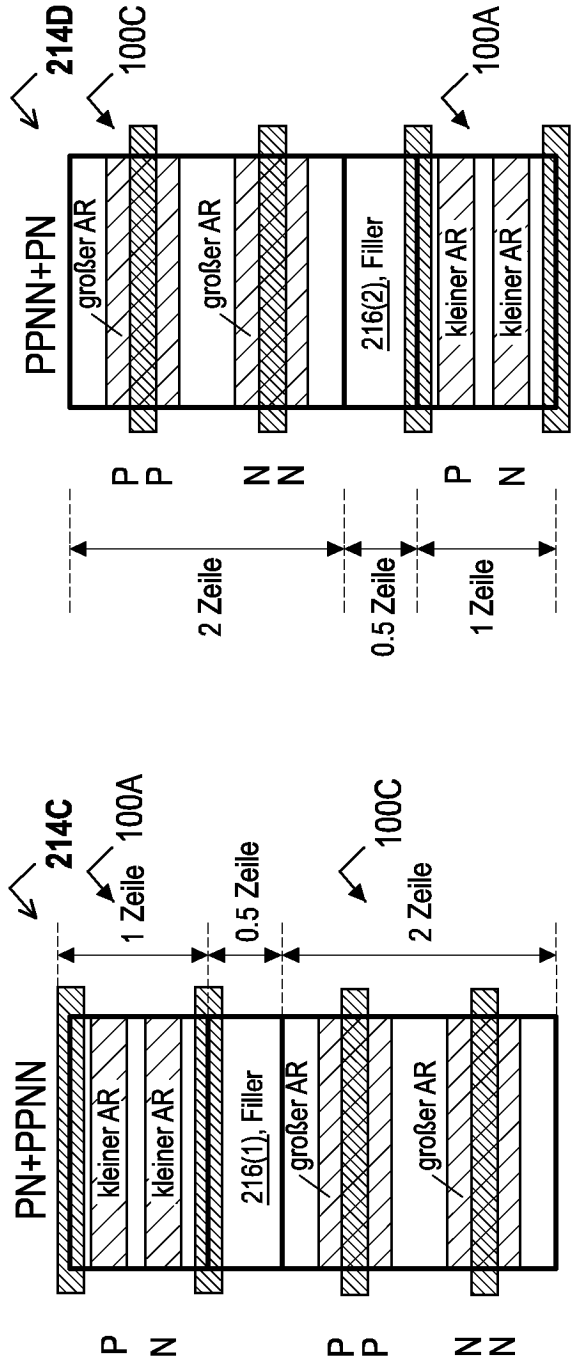
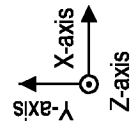


FIG. 2D

FIG. 2C



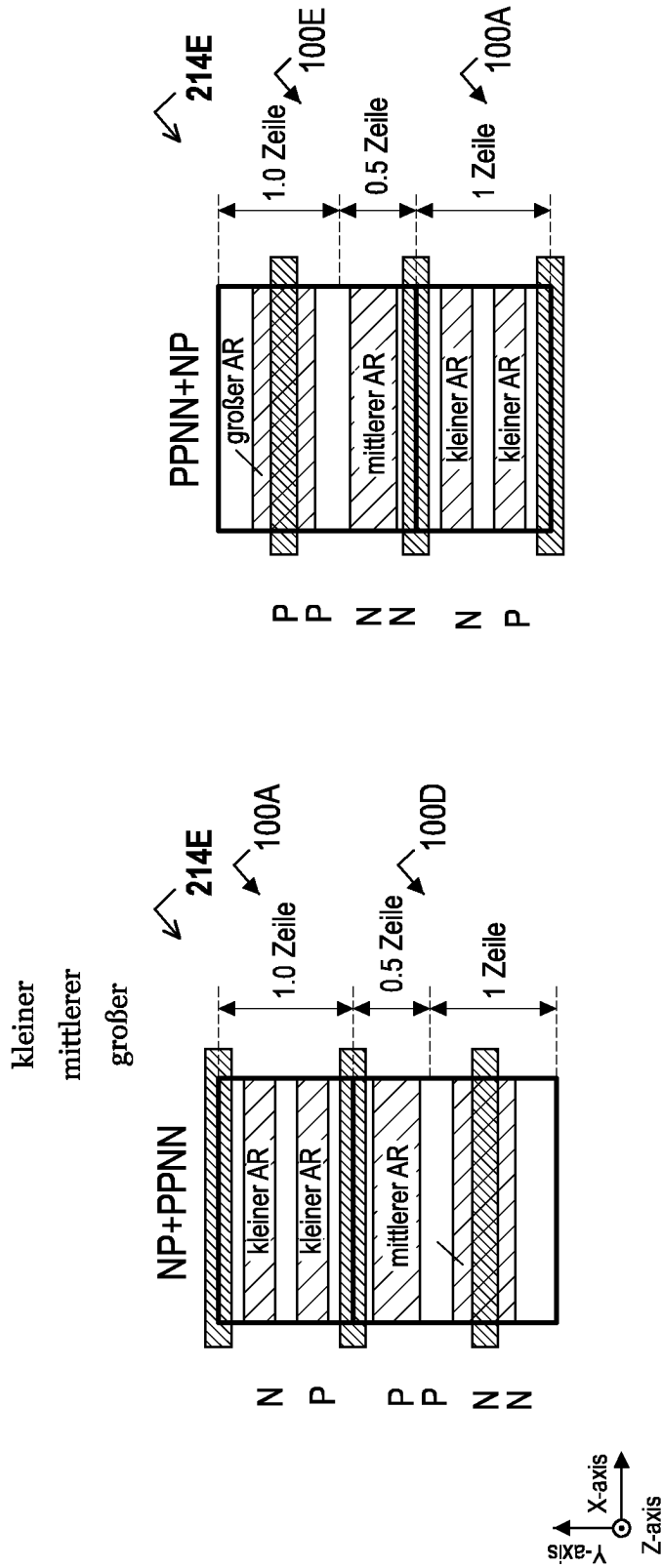


FIG. 2F

FIG. 2E

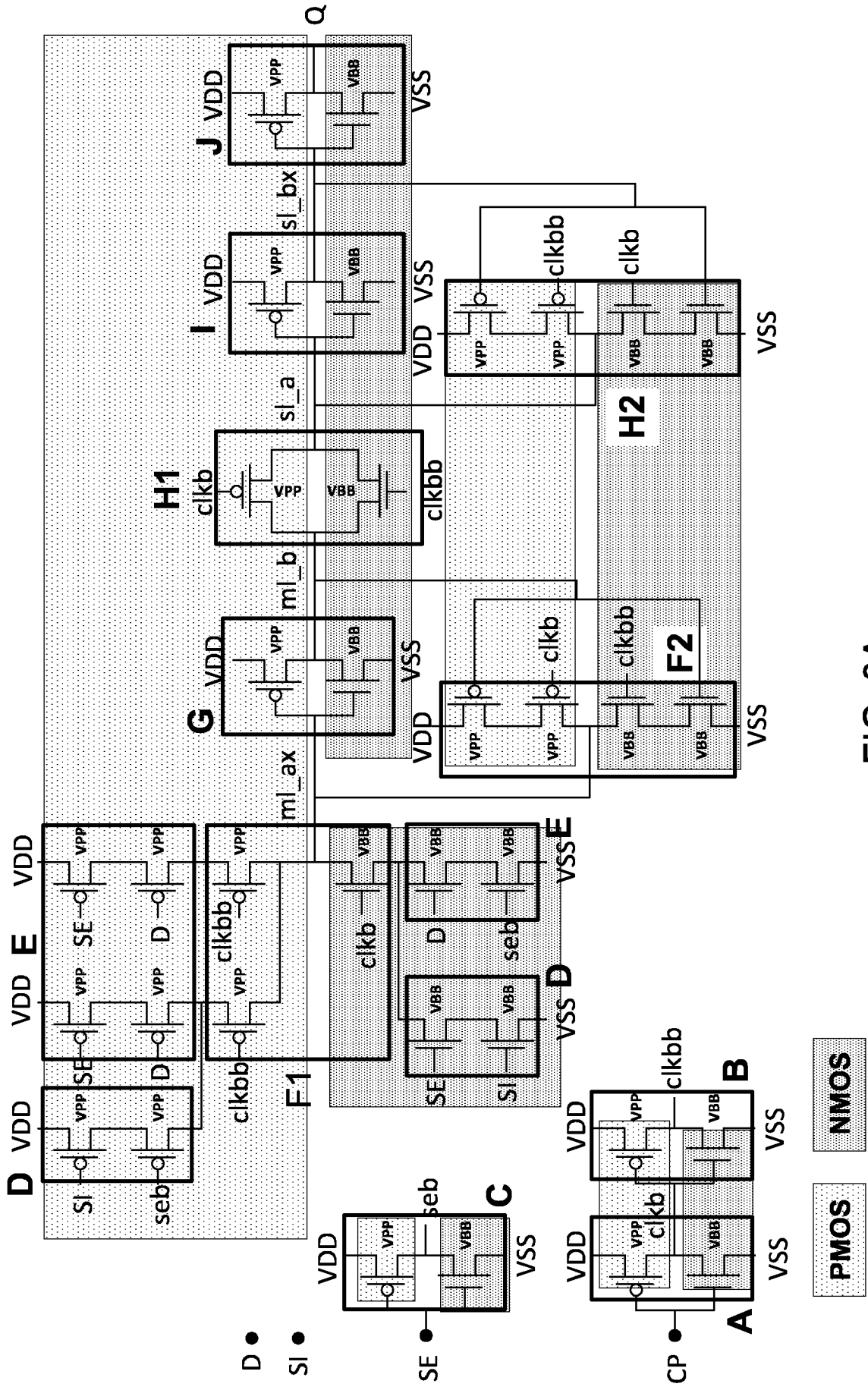


FIG. 3A

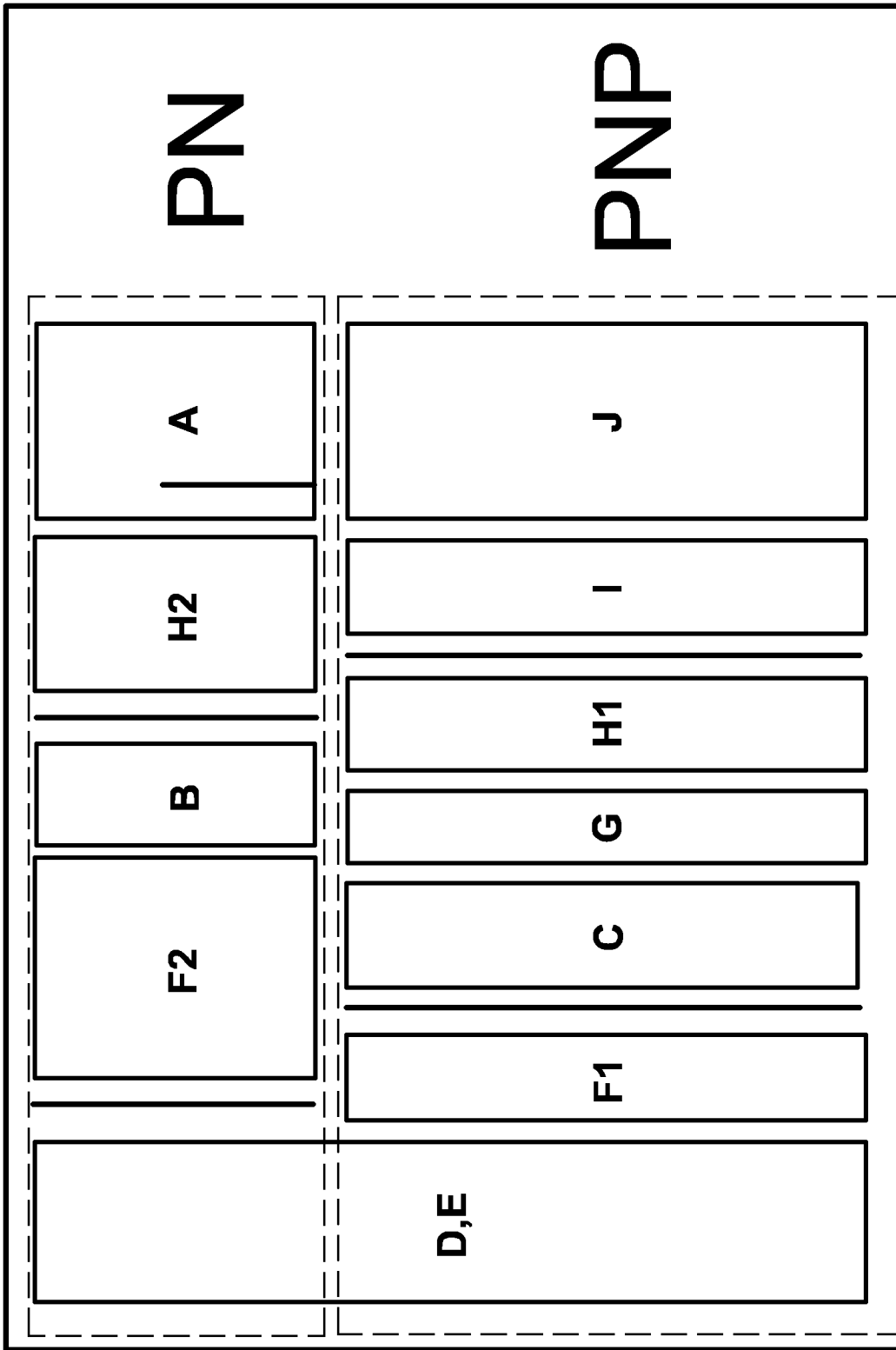


FIG. 3B

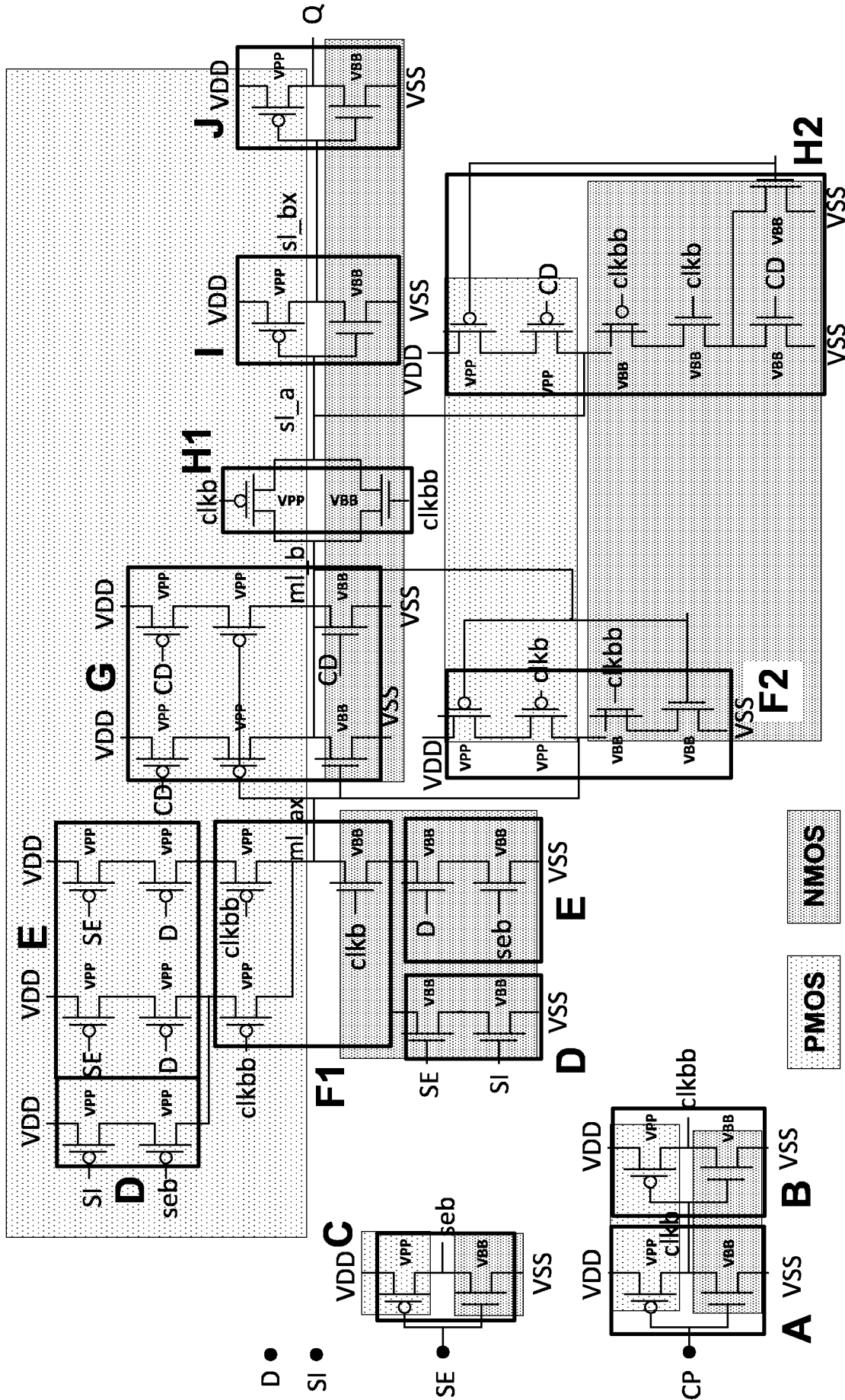


FIG. 3C

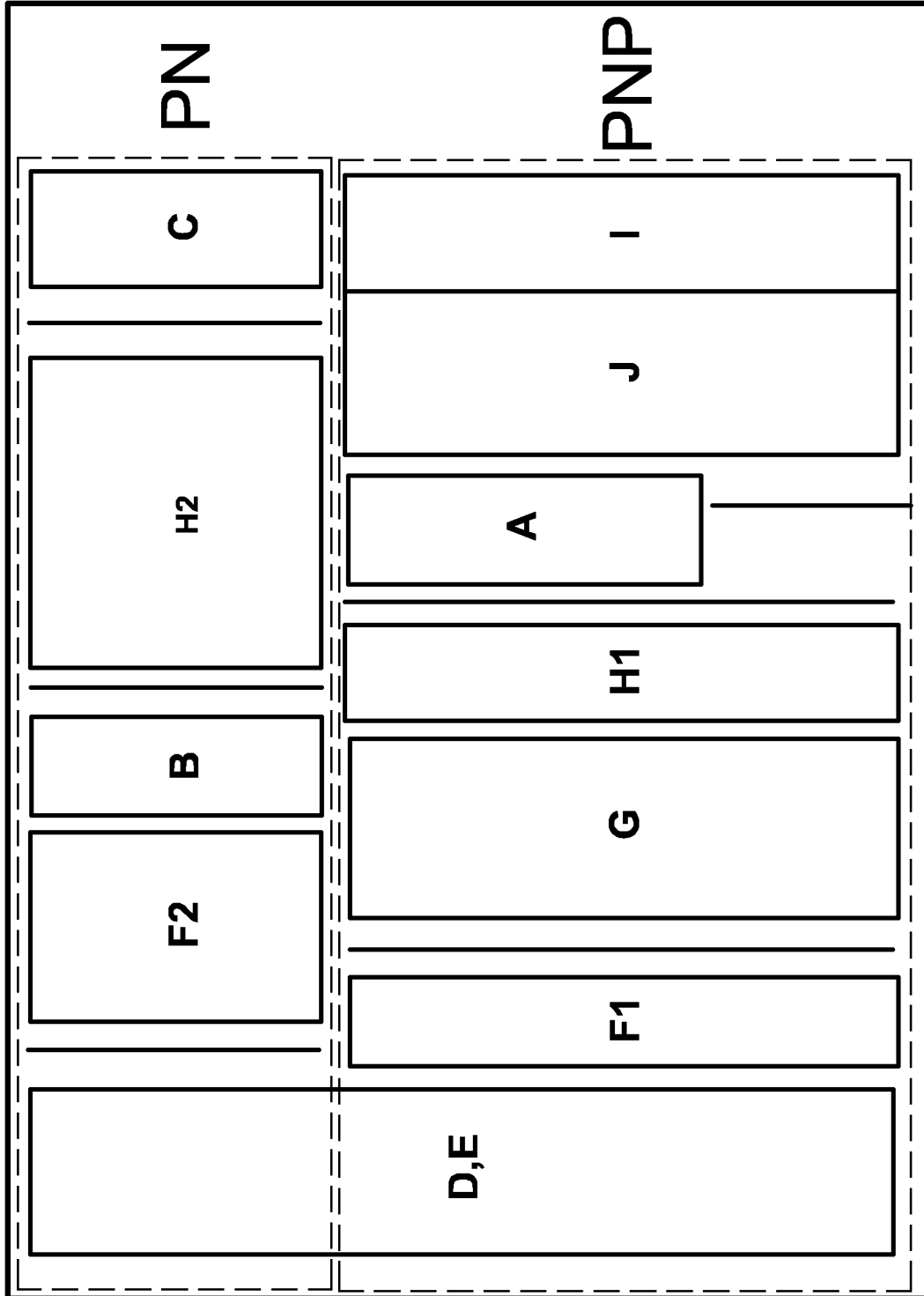


FIG. 3D

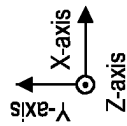
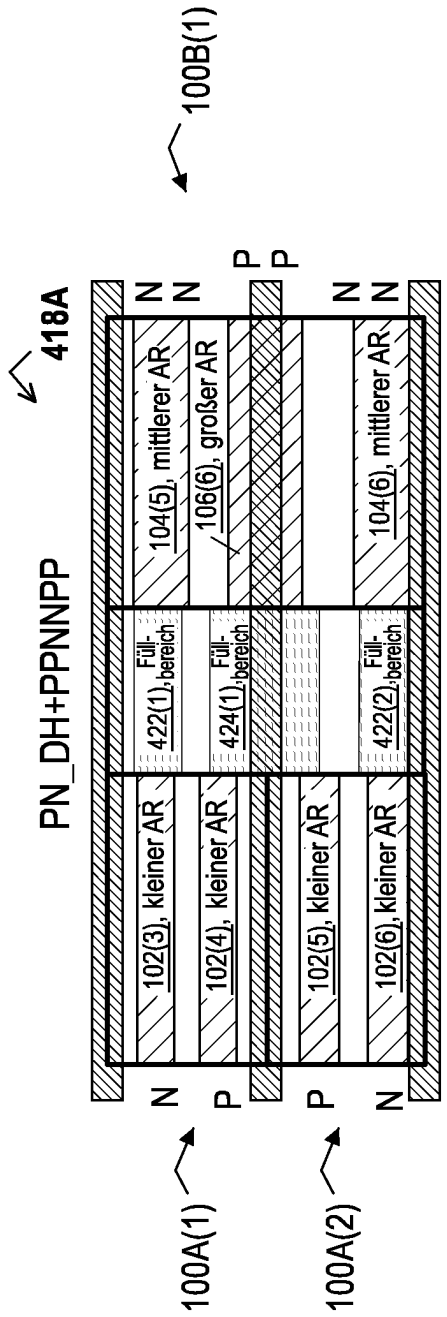
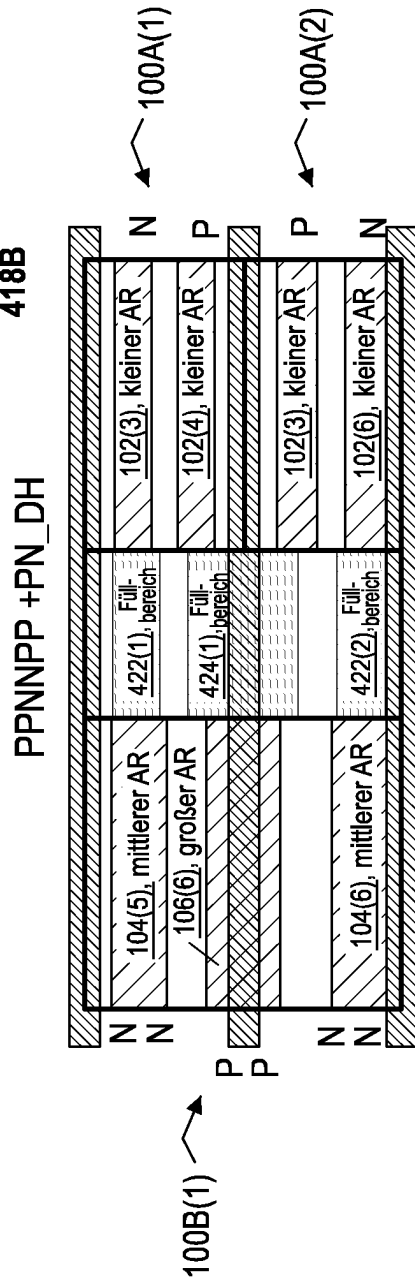


FIG. 4A

n*SP



n*SP

FIG. 4B

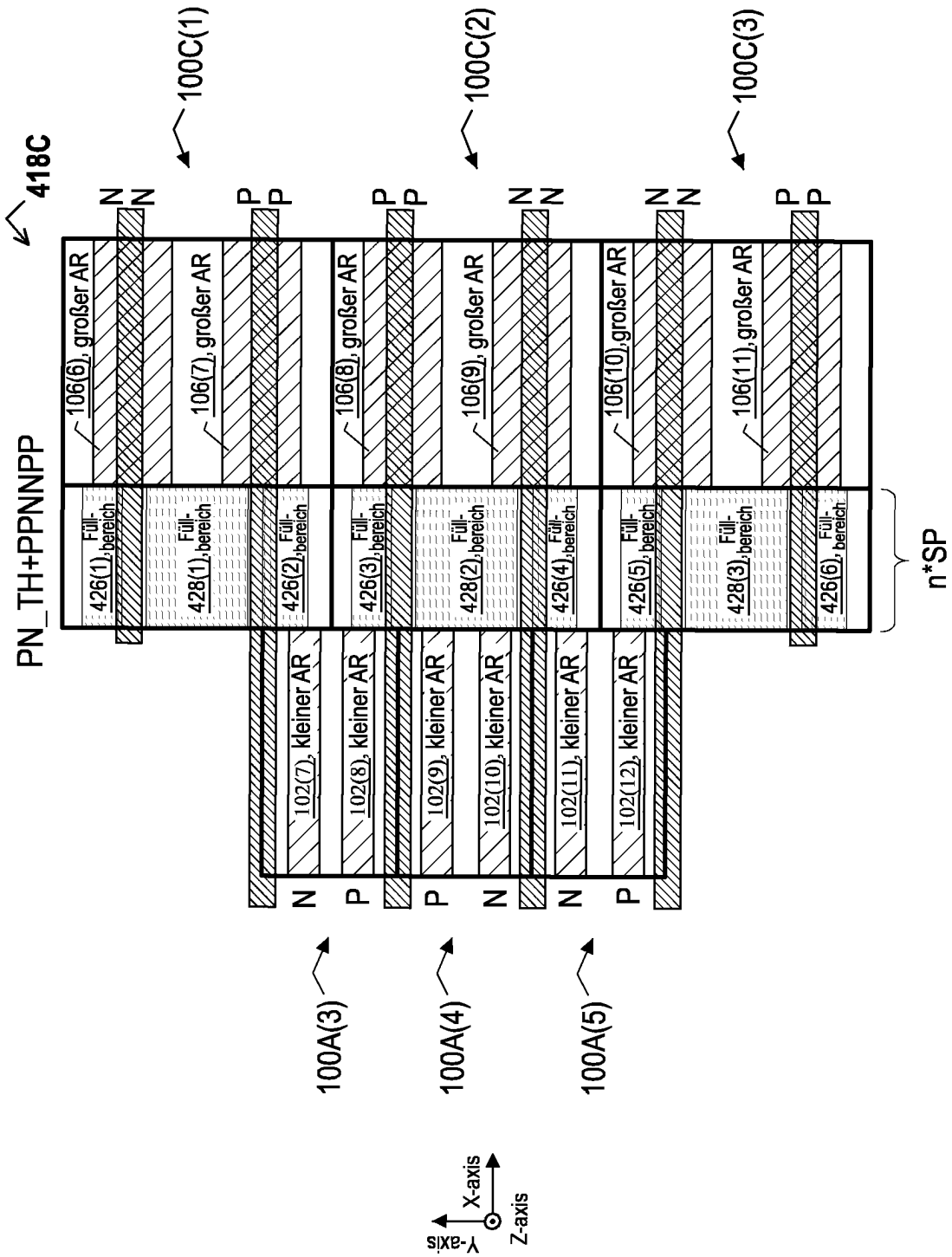


FIG. 4C

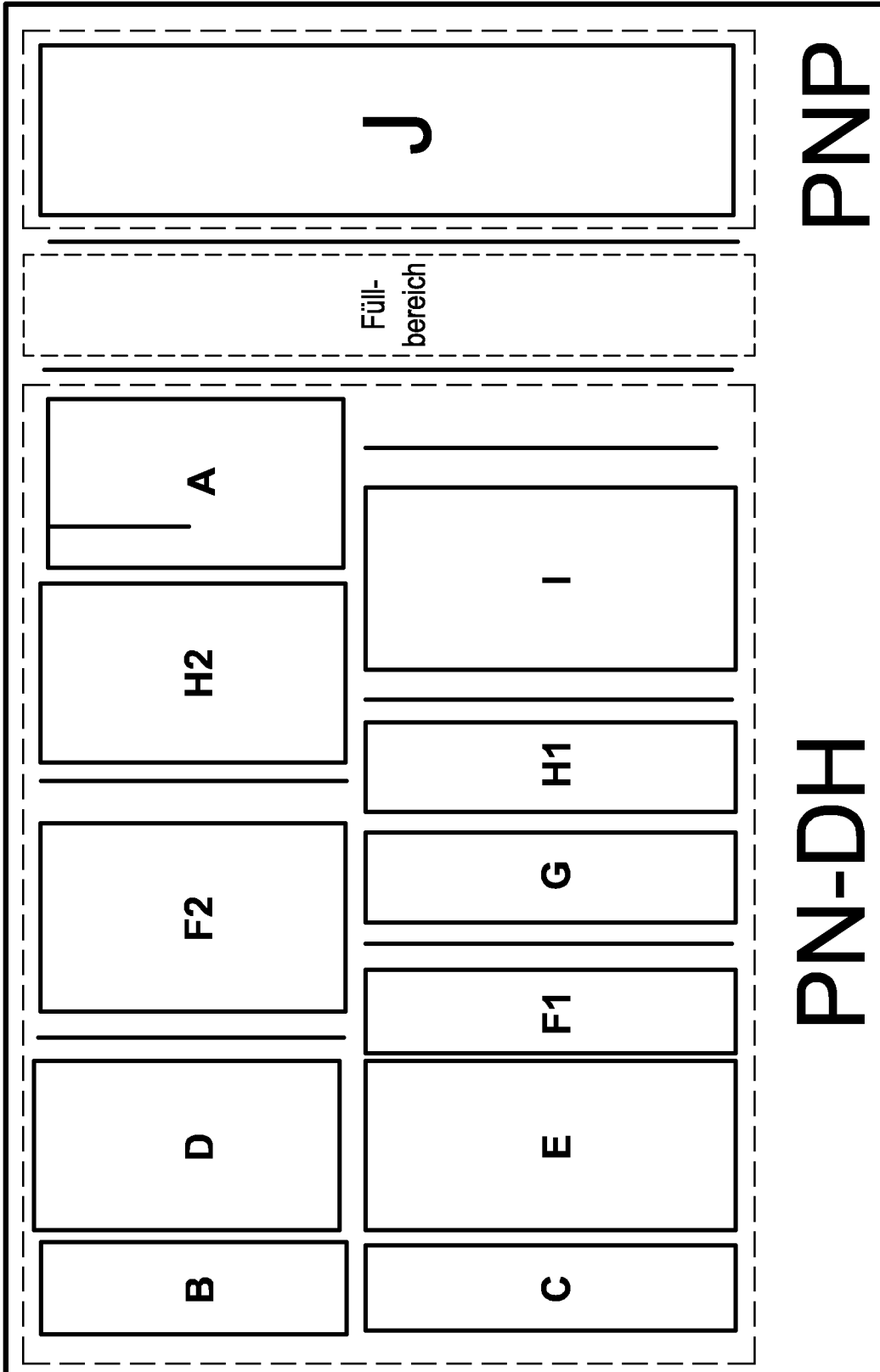


FIG. 5

C

600 ↗

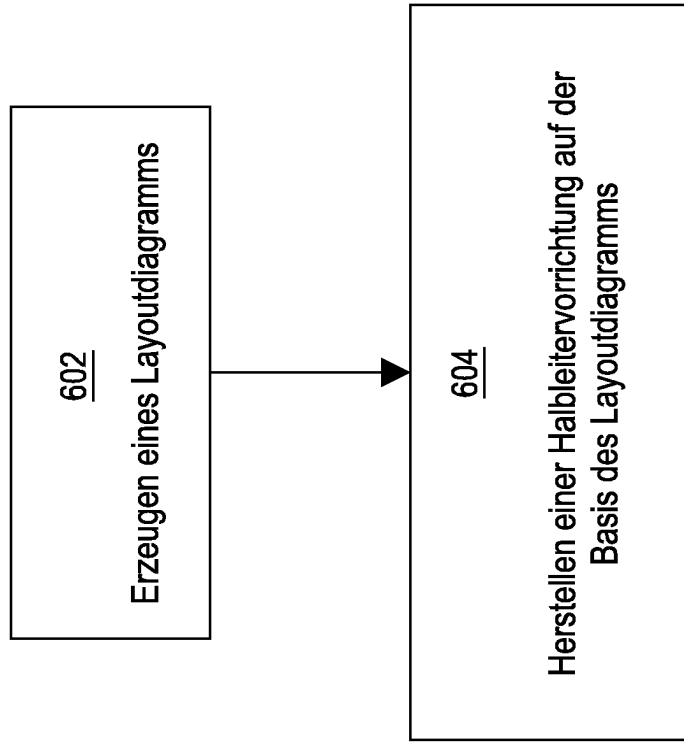


FIG. 6

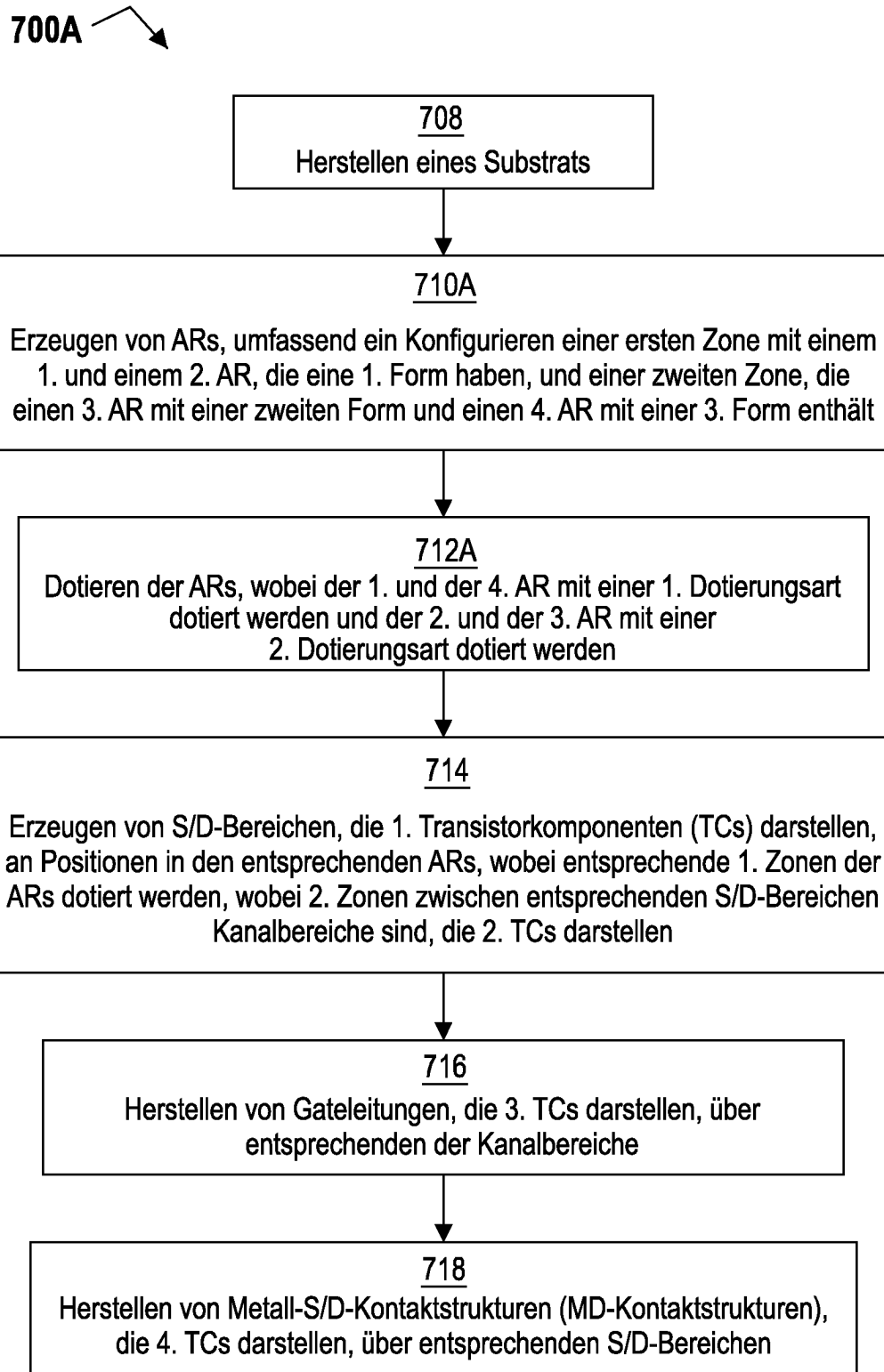


FIG. 7A

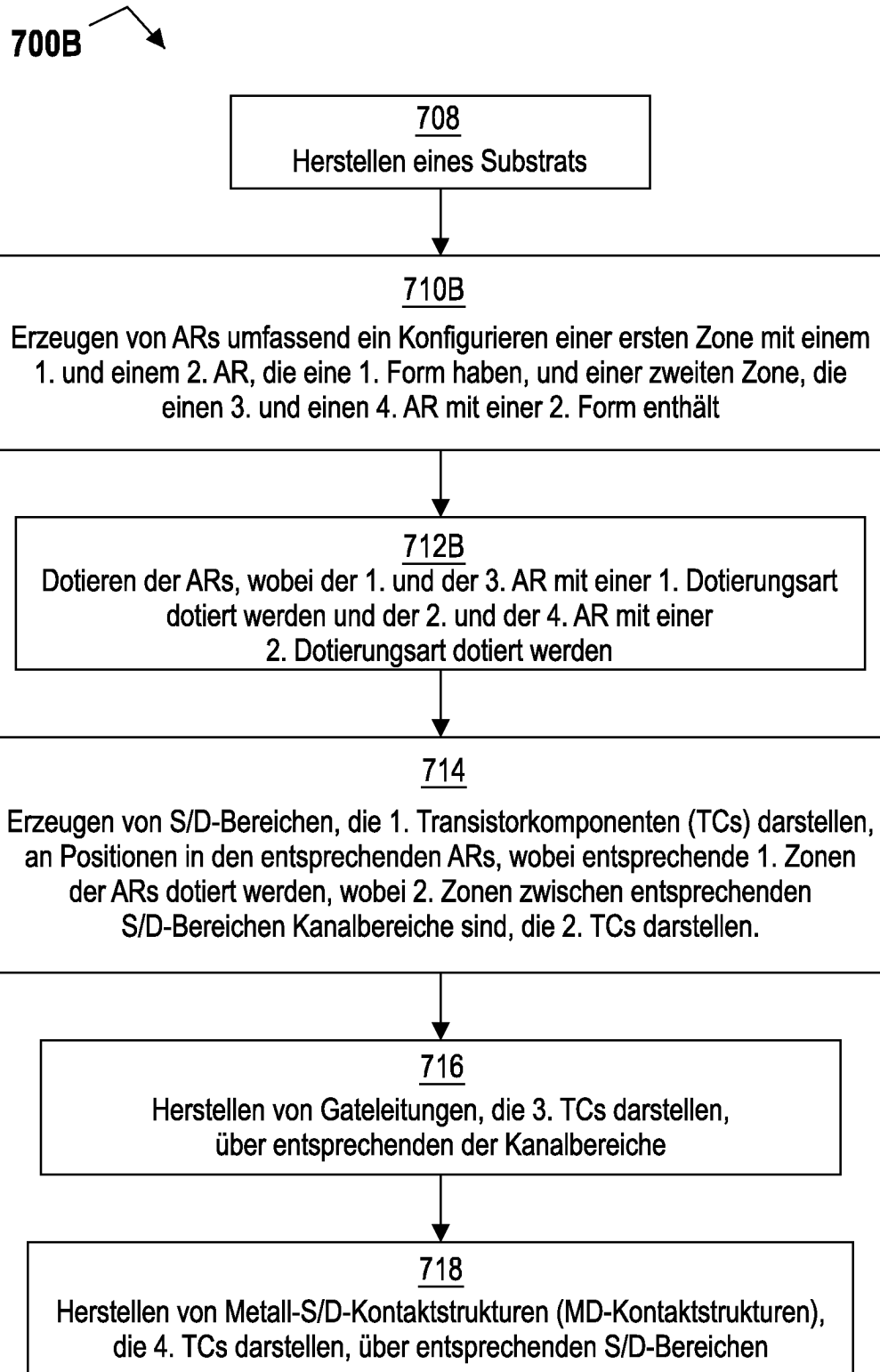


FIG. 7B

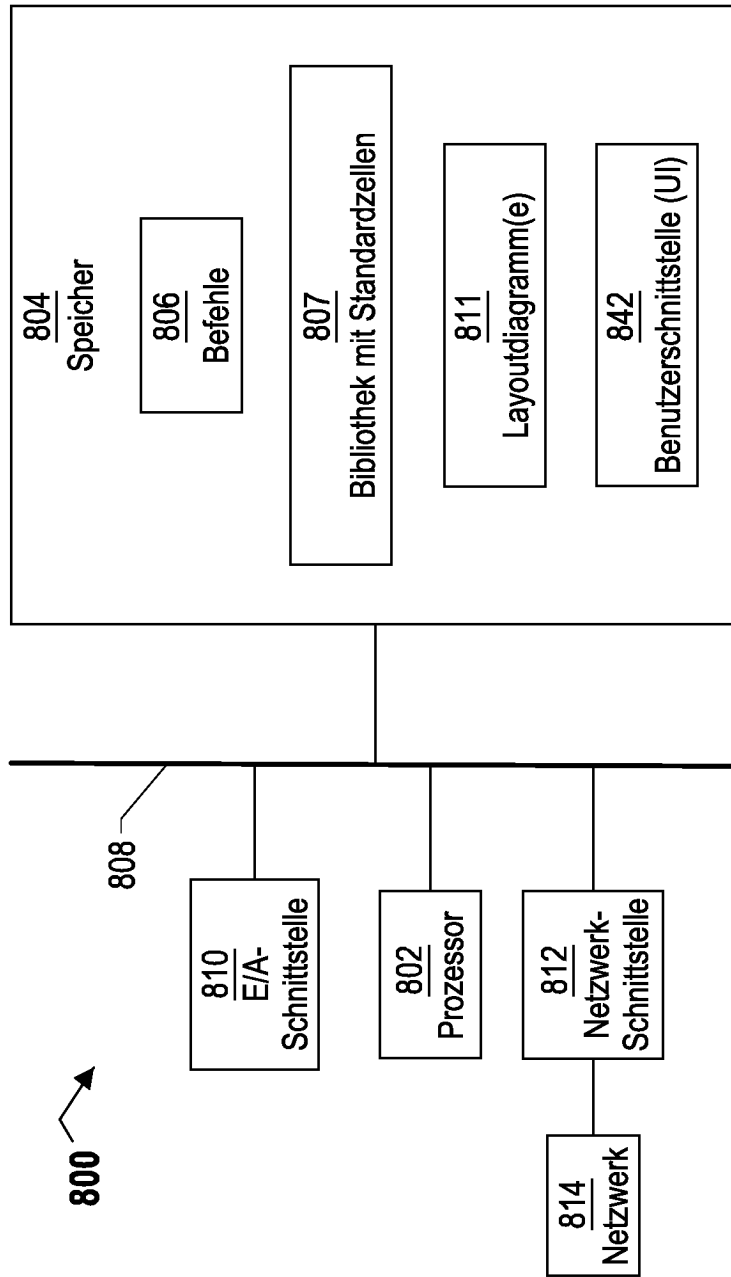


FIG. 8

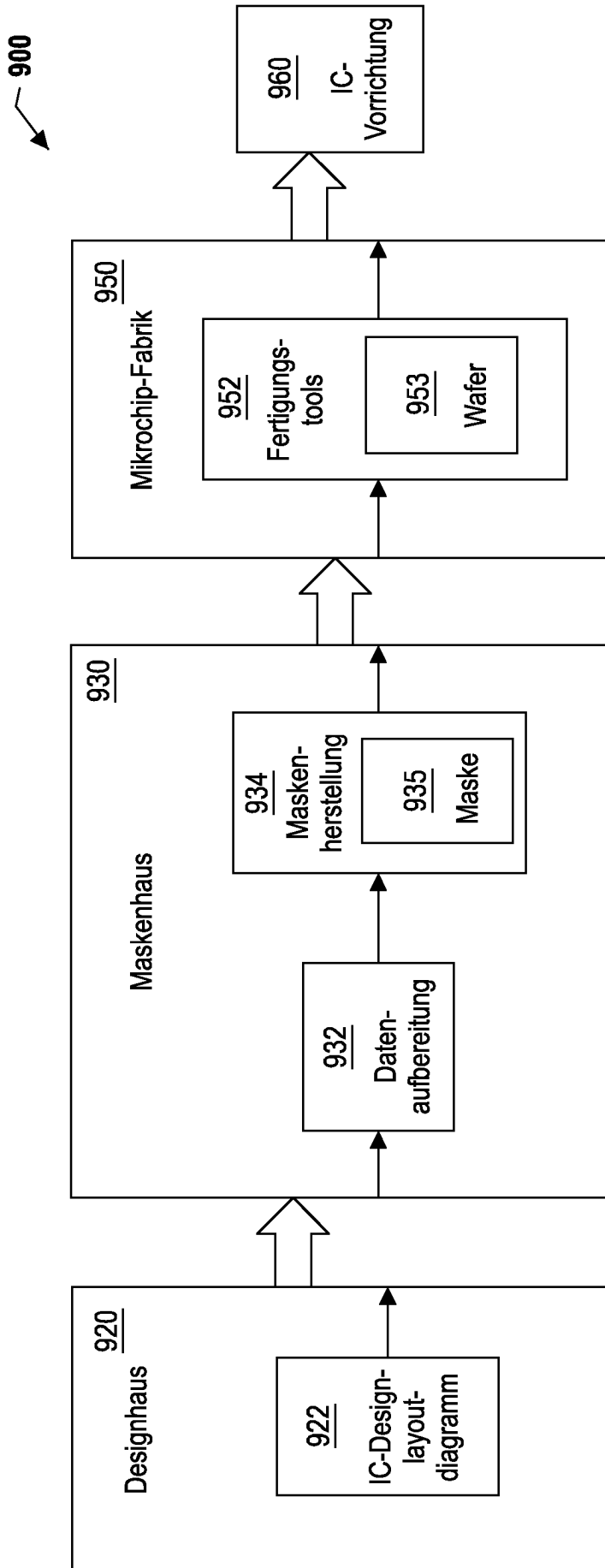


FIG. 9