



(12) 发明专利申请

(10) 申请公布号 CN 104658909 A

(43) 申请公布日 2015. 05. 27

(21) 申请号 201310585587. 2

(22) 申请日 2013. 11. 19

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 于书坤 韦庆松

(74) 专利代理机构 北京市磐华律师事务所  
11336

代理人 高伟 赵礼杰

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 29/78(2006. 01)

H01L 29/06(2006. 01)

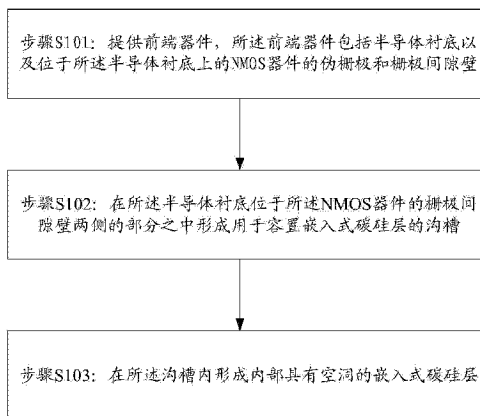
权利要求书2页 说明书7页 附图3页

(54) 发明名称

一种半导体器件及其制造方法和电子装置

(57) 摘要

本发明提供一种半导体器件及其制造方法和电子装置,涉及半导体技术领域。本发明的半导体器件的制造方法包括:S101:提供前端器件,前端器件包括半导体衬底、位于半导体衬底上的NMOS器件的伪栅极和栅极间隙壁;S102:在半导体衬底位于NMOS器件的栅极间隙壁两侧的部分之中形成沟槽;S103:在沟槽内形成内部具有空洞的嵌入式碳硅层。该方法通过形成具有空洞的嵌入式碳硅层,增强了对NMOS器件的沟道区域的张应力,提高了载流子迁移率。本发明的半导体器件,NMOS器件的嵌入式SiC层中形成有空洞,可以增强对NMOS器件的沟道区域的张应力,提高载流子迁移率。本发明的电子装置,使用了上述半导体器件,同样具有上述优点。



1. 一种半导体器件的制造方法,其特征在于,所述方法包括:

步骤 S101:提供前端器件,所述前端器件包括半导体衬底、位于所述半导体衬底上的 NMOS 器件的伪栅极和栅极间隙壁;

步骤 S102:在所述半导体衬底位于所述 NMOS 器件的栅极间隙壁两侧的部分之中形成用于容置嵌入式碳硅层的沟槽;

步骤 S103:在所述沟槽内形成内部具有空洞的嵌入式碳硅层。

2. 如权利要求 1 所述的半导体器件的制造方法,其特征在于,在所述步骤 S103 中,使所述嵌入式碳硅层具有空洞的方法包括:在形成所述嵌入式碳硅层时提高碳硅的生成速率,或者,提高所述沟槽的纵横比。

3. 如权利要求 1 所述的半导体器件的制造方法,其特征在于,在所述步骤 S103 中,所述嵌入式碳硅层的顶端不低于所述半导体衬底的上表面。

4. 如权利要求 3 所述的半导体器件的制造方法,其特征在于,所述嵌入式碳硅层的顶端高出所述半导体衬底的上表面 0-30nm。

5. 如权利要求 1 至 4 任一项所述的半导体器件的制造方法,其特征在于,所述空洞为椭圆形,其长直径为 0-30nm,短直径为 0-40nm;并且,所述空洞的顶端距所述半导体衬底的上表面的距离为 -80nm 至 10nm。

6. 如权利要求 1 至 4 任一项所述的半导体器件的制造方法,其特征在于,所述空洞在所述嵌入式碳硅层中位于临近所述 NMOS 器件的沟道区域的一侧。

7. 如权利要求 1 至 4 任一项所述的半导体器件的制造方法,其特征在于,在所述步骤 S101 中,所述前端器件还包括位于所述半导体衬底上的 PMOS 器件的伪栅极和栅极间隙壁,并且,在所述步骤 S101 与所述步骤 S102 之间还包括步骤 S1012:

在所述半导体衬底位于所述 PMOS 器件的栅极间隙壁两侧的部分之中形成嵌入式锗硅层。

8. 如权利要求 1 至 4 任一项所述的半导体器件的制造方法,其特征在于,在所述步骤 S101 中,所述前端器件还包括位于所述半导体衬底上的 PMOS 器件的伪栅极和栅极间隙壁,并且,在所述步骤 S103 之后还包括如下步骤:

步骤 S104:形成 PMOS 器件的主侧壁和 NMOS 器件的主侧壁;

步骤 S105:通过离子注入工艺形成 PMOS 器件的源极、漏极和 NMOS 器件的源极、漏极;

步骤 S106:形成位于 PMOS 器件的源极和漏极以及 NMOS 器件的源极和漏极之上的金属硅化物,形成层间介电层,形成 PMOS 器件的金属栅极以及 NMOS 器件的金属栅极;

步骤 S107:在所述层间介电层中形成接触孔;

步骤 S108:形成位于所述层间介电层之上的金属层和互连结构。

9. 如权利要求 8 所述的半导体器件的制造方法,其特征在于,在所述步骤 S103 与所述步骤 S104 之间还包括步骤 S1034:

在所述半导体衬底位于所述 PMOS 器件的栅极间隙壁两侧的部分之中形成嵌入式锗硅层。

10. 一种半导体器件,其特征在于,包括半导体衬底、位于所述半导体衬底上的 NMOS 器件,还包括位于所述 NMOS 器件的沟道区域两侧的嵌入式碳硅层;其中,所述嵌入式碳硅层内部具有空洞。

11. 如权利要求 10 所述的半导体器件,其特征在于,所述嵌入式碳硅层的顶端不低于所述半导体衬底的上表面。

12. 如权利要求 11 所述的半导体器件,其特征在于,所述嵌入式碳硅层的顶端高出所述半导体衬底的上表面 0-30nm。

13. 如权利要求 10 至 12 任一项所述的半导体器件,其特征在于,所述空洞为椭球形,其长直径为 0-30nm,短直径为 0-40nm;并且,所述空洞的顶端距所述半导体衬底的上表面的距离为 -80nm 至 10nm。

14. 如权利要求 10 至 12 任一项所述的半导体器件,其特征在于,所述空洞在所述嵌入式碳硅层中位于临近所述 NMOS 器件的沟道区域的一侧。

15. 一种电子装置,其特征在于,包括权利要求 10 至 14 任一项所述的半导体器件。

## 一种半导体器件及其制造方法和电子装置

### 技术领域

[0001] 本发明涉及半导体技术领域,具体而言涉及一种半导体器件及其制造方法和电子装置。

### 背景技术

[0002] 在半导体技术领域中,对于先进的半导体技术,应力工程成为器件性能提升的最重要的因素之一。对于PMOS,锗硅(SiGe)技术可以通过给沟道施加压应力来提高载流子迁移率。对于NPMOS,碳硅(SiC)技术可以通过给沟道施加张应力来提高载流子迁移率。

[0003] 在锗硅(SiGe)和碳硅(SiC)的晶体结构中,锗(Ge)原子和碳(C)原子占据硅(Si)原子本来的位置。由于C、Ge、Si为同族元素并且它们的均具有4个价电子,SiGe和SiC均不带电。由于C原子的体积比Si原子小,因此SiC晶体会对相邻的晶体产生张应力。由于Ge原子的体积比Si原子大,因此SiGe晶体会对相邻的晶体产生压应力。通过调整SiC和SiGe的生长过程,张应力和压应力可以被优化到非常强。

[0004] 然而,随着人们对半导体器件的性能要求越来越高,通过常规的SiC技术产生张应力的方式,有时将难以满足对器件性能要求。NMOS沟道区的张应力不足,将导致载流子迁移率不足,最终导致整个半导体器件(例如:SRAM,以及其他需要高性能NMOS的集成电路)的性能无法满足实际需要。

[0005] 因此,为解决上述问题,本发明提出一种新的半导体器件的制造方法。

### 发明内容

[0006] 针对现有技术的不足,本发明提供一种半导体器件及其制造方法和电子装置。

[0007] 本发明实施例一提供一种半导体器件的制造方法,所述方法包括:

[0008] 步骤S101:提供前端器件,所述前端器件包括半导体衬底、位于所述半导体衬底上的NMOS器件的伪栅极和栅极间隙壁;

[0009] 步骤S102:在所述半导体衬底位于所述NMOS器件的栅极间隙壁两侧的部分之中形成用于容置嵌入式碳硅层的沟槽;

[0010] 步骤S103:在所述沟槽内形成内部具有空洞的嵌入式碳硅层。

[0011] 其中,在所述步骤S103中,使所述嵌入式碳硅层具有空洞的方法包括:在形成所述嵌入式碳硅层时提高碳硅的生成速率,或者,提高所述沟槽的纵横比,或者,调节碳硅层的其它生长参数(如温度,气体流量,压强,功率,电压等)。

[0012] 其中,在所述步骤S103中,所述嵌入式碳硅层的顶端不低于所述半导体衬底的上表面。

[0013] 其中,所述嵌入式碳硅层的顶端高出所述半导体衬底的上表面0-30nm。

[0014] 其中,所述空洞为椭球形,其长直径为0-30nm,短直径为0-40nm;并且,所述空洞的顶端距所述半导体衬底的上表面的距离为-80nm至10nm(其中“负值”代表空洞的顶端低于半导体衬底的上表面,“正值”代表空洞的顶端高于半导体衬底的上表面)。

[0015] 其中,所述空洞在所述嵌入式碳硅层中位于临近所述 NMOS 器件的沟道的一侧。

[0016] 其中,在所述步骤 S101 中所述前端器件还包括位于所述半导体衬底上的 PMOS 器件的伪栅极和栅极间隙壁,并且,在所述步骤 S101 与所述步骤 S102 之间还包括步骤 S1023;

[0017] 在所述半导体衬底位于所述 PMOS 器件的栅极间隙壁两侧的部分之中形成嵌入式锗硅层。

[0018] 其中,在所述步骤 S101 中所述前端器件还包括位于所述半导体衬底上的 PMOS 器件的伪栅极和栅极间隙壁,并且,在所述步骤 S103 之后还包括如下步骤:

[0019] 步骤 S104:形成 PMOS 器件的主侧壁和 NMOS 器件的主侧壁;

[0020] 步骤 S105:通过离子注入工艺形成 PMOS 器件的源极、漏极和 NMOS 器件的源极、漏极;

[0021] 步骤 S106:形成位于 PMOS 器件的源极、漏极和 NMOS 器件的源极、漏极之上的金属硅化物,形成层间介电层,并形成 PMOS 器件的金属栅极以及 NMOS 器件的金属栅极;

[0022] 步骤 S107:在所述层间介电层中形成位于接触孔;

[0023] 步骤 S108:形成位于所述层间介电层之上的金属层和互连结构。

[0024] 其中,在所述步骤 S103 与所述步骤 S104 之间还包括步骤 S1034;

[0025] 在所述半导体衬底位于所述 PMOS 器件的栅极间隙壁两侧的部分之中形成嵌入式锗硅层。

[0026] 本发明实施例二提供一种半导体器件,包括半导体衬底、位于所述半导体衬底上的 NMOS 器件,还包括位于所述 NMOS 器件的沟道区域两侧的嵌入式碳硅层;其中,所述嵌入式碳硅层内部具有空洞。

[0027] 其中,所述嵌入式碳硅层的顶端不低于所述半导体衬底的上表面。

[0028] 其中,所述嵌入式碳硅层的顶端高出所述半导体衬底的上表面 0-30nm。

[0029] 其中,所述空洞为椭球形,其长直径为 0-30nm,短直径为 0-40nm;空洞的顶端距半导体衬底的上表面的距离为 -80nm 至 10nm(其中“负值”代表空洞的顶端低于半导体衬底的上表面,“正值”代表空洞的顶端高于半导体衬底的上表面)。

[0030] 其中,所述空洞在所述嵌入式碳硅层中位于临近所述 NMOS 器件的沟道区域的一侧。

[0031] 本发明实施例三提供一种电子装置,其包括如上所述的半导体器件。

[0032] 本发明的半导体器件的制造方法,通过形成具有空洞的嵌入式 SiC 层,增强了嵌入式 SiC 层对 NMOS 器件的沟道区域的张应力,进而提高了 NMOS 器件的载流子迁移率,提高了整个半导体器件的性能。本发明的半导体器件,在 NMOS 器件的嵌入式 SiC 层中形成有空洞,可以增强嵌入式 SiC 层对 NMOS 器件的沟道区域的张应力,进而提高 NMOS 器件的载流子迁移率,提高整个半导体器件的性能。本发明的电子装置,由于使用了上述半导体器件,同样具有上述优点。

## 附图说明

[0033] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的原理。

[0034] 附图中：

[0035] 图 1A-1D 为本发明实施例一的半导体器件的制造方法的关键步骤形成的图形的示意性剖视图；

[0036] 图 2 为本发明实施例一的半导体器件的制造方法的一种示意性流程图；

[0037] 图 3 为本发明实施例二的一种半导体器件的示意性剖视图。

### 具体实施方式

[0038] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0039] 应当理解的是,本发明能够以不同形式实施,而不应当解释为局限于这里提出的实施例。相反地,提供这些实施例将使公开彻底和完全,并且将本发明的范围完全地传递给本领域技术人员。在附图中,为了清楚,层和区的尺寸以及相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

[0040] 应当明白,当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时,其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层,或者可以存在居间的元件或层。相反,当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时,则不存在居间的元件或层。应当明白,尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和 / 或部分,这些元件、部件、区、层和 / 或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此,在不脱离本发明教导之下,下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。

[0041] 空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等,在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白,除了图中所示的取向以外,空间关系术语意图还包括使用和操作中的器件的不同取向。例如,如果附图中的器件翻转,然后,描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此,示例性术语“在...下面”和“在...下”可包括上和下两个取向。器件可以另外地取向(旋转 90 度或其它取向)并且在此使用的空间描述语相应地被解释。

[0042] 在此使用的术语的目的仅在于描述具体实施例并且不作为本发明的限制。在此使用时,单数形式的“一”、“一个”和“所述 / 该”也意图包括复数形式,除非上下文清楚指出另外的方式。还应明白术语“组成”和 / 或“包括”,当在该说明书中使用,确定所述特征、整数、步骤、操作、元件和 / 或部件的存在,但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和 / 或组的存在或添加。在此使用时,术语“和 / 或”包括相关所列项目的任何及所有组合。

[0043] 这里参考作为本发明的理想实施例(和中间结构)的示意图的横截面图来描述发明的实施例。这样,可以预期由于例如制造技术和 / 或容差导致的从所示形状的变化。因此,本发明的实施例不应当局限于在此所示的区的特定形状,而是包括由于例如制造导致

的形状偏差。例如,显示为矩形的注入区在其边缘通常具有圆的或弯曲特征和 / 或注入浓度梯度,而不是从注入区到非注入区的二元改变。同样,通过注入形成的埋藏区可导致该埋藏区和注入进行时所经过的表面之间的区中的一些注入。因此,图中显示的区实质上是示意性的,它们的形状并不意图显示器件的区的实际形状且并不意图限定本发明的范围。

[0044] 为了彻底理解本发明,将在下列的描述中提出详细的步骤以及详细的结构,以便阐释本发明的技术方案。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,本发明还可以具有其他实施方式。

[0045] 实施例一

[0046] 本发明实施例的半导体器件的制造方法,主要用于改善半导体器件(例如:SRAM,以及其他需要高性能 NMOS 的集成电路)中的 NMOS 器件的性能。该半导体器件的制造方法,通过形成具有空洞(void)的嵌入式 SiC 层,增强了嵌入式 SiC 层对 NMOS 器件的沟道的张应力,可以提高 NMOS 器件的载流子迁移率,进而提高整个半导体器件的性能。

[0047] 下面,参照图 1A 至图 1D 以及图 2 来描述本发明实施例的半导体器件的制造方法。其中,图 1A-1D 为本发明实施例的半导体器件的制造方法的关键步骤形成的图形的示意性剖视图;图 2 为本发明实施例的半导体器件的制造方法的一种示意性流程图。

[0048] 本实施例的半导体器件的制造方法,包括如下步骤:

[0049] 步骤 A1:提供前端器件,所述前端器件包括半导体衬底 100、位于半导体衬底 100 上的 PMOS 器件的伪栅极 1011 和栅极间隙壁 1012 以及 NMOS 器件的伪栅极 1021 和栅极间隙壁 1022;如图 1A 所示。

[0050] 其中,前端器件还可以包括位于半导体衬底 100 内的阱区、浅沟槽隔离(STI)、轻掺杂源漏(LDD)等组件,这些组件均可根据现有技术进行制备,此处不再赘述。

[0051] 步骤 A2:在半导体衬底 100 位于 PMOS 器件的栅极间隙壁 1012 两侧的部分之中形成嵌入式锗硅层 1014,如图 1B 所示。

[0052] 形成嵌入式锗硅层 1014 的目的在于对 PMOS 器件的沟道区域施加压应力,提高载流子迁移率。嵌入式锗硅层 1014 一般位于 PMOS 的源极和漏极区域。形成嵌入式锗硅层 1014 的方法,可以采用现有技术中的各种工艺来实现,此处并不对此进行限定。

[0053] 步骤 A3:在半导体衬底 100 位于 NMOS 器件的栅极间隙壁 1022 两侧的部分之中形成用于容置嵌入式碳硅层的沟槽 1023,如图 1C 所示。

[0054] 形成用于容置嵌入式碳硅层的沟槽 1023 的方法,可以为干法刻蚀、湿法刻蚀、先干法刻蚀再湿法刻蚀、或先湿法刻蚀再干法刻蚀等,本实施例并不对此进行限定。

[0055] 在本实施例中,沟槽 1023 位于半导体衬底 100 位于 NMOS 器件的栅极间隙壁 1022 两侧的部分之中,也就是说,沟槽 1023 位于半导体衬底 111 内且位于 NMOS 器件的源极和漏极区域。其中,沟槽 1023 的形状,可以为碗状、 $\Sigma$ 形或其他合适的形状。

[0056] 步骤 A4:在沟槽 1023 内形成内部具有空洞 10241 的嵌入式碳硅层 1024,如图 1D 所示。

[0057] 在沟槽 1023 内形成内部具有空洞 10241 的嵌入式碳硅层 1024,可以为外延生长法或沉积法。示例性地,使所述嵌入式碳硅(SiC)层 1024 具有空洞 10241 的方法可以为,相对现有技术提高形成嵌入式碳硅层时碳硅的生成速率,即,使得碳硅的生成速率比现有技术中的常规方案高。此外,还可以采用提高嵌入式碳硅层的纵横比的方法,或者通过调节碳

硅层的其它生长参数(如温度,气体流量,压强,功率,电压等)的方法,使嵌入式碳硅层 1024 具有空洞 10241。

[0058] 在本实施例中,空洞(void)10241 的内部可以为真空,也可以填充有气体。在每个嵌入式碳硅层 1024 中,空洞 10241 可以为一个或多个。空洞 10241 的形状可以为球形、椭球形、柱形或其他各种合适的形状。

[0059] 在本实施例中,嵌入式碳硅层 1024 的顶端一般应不低于半导体衬底 100 的上表面。示例性地,本实施例的半导体器件的制造方法可以采用 20nm 制造工艺或其他工艺实现。其中,嵌入式碳硅层 1024 的顶端高出半导体衬底 100 的上表面 0-30nm。示例性地,空洞 10241 为椭球形,其长直径为 0-30nm,短直径为 0-40nm;空洞 10241 的顶端距半导体衬底 100 的上表面的距离为 -80nm 至 10nm(其中“负值”代表空洞 10241 的顶端低于半导体衬底 100 的上表面,“正值”代表空洞 10241 的顶端高于半导体衬底 100 的上表面)。

[0060] 优选地,空洞 10241 在嵌入式碳硅层 1024 中位于临近 NMOS 器件的沟道区域的一侧。

[0061] 至此,完成了本发明实施例的半导体器件的制造方法的关键步骤的介绍。在步骤 A4 之后,本实施例的半导体器件的制造方法,还可以包括如下步骤:

[0062] 步骤 A5:形成 PMOS 器件的主侧壁和 NMOS 器件的主侧壁;

[0063] 步骤 A6:通过离子注入工艺形成 PMOS 器件的源极、漏极和 NMOS 器件的源极、漏极;

[0064] 步骤 A7:形成位于 PMOS 器件的源极、漏极和 NMOS 器件的源极、漏极之上的金属硅化物,形成层间介电层,并形成 PMOS 器件的金属栅极以及 NMOS 器件的金属栅极;

[0065] 步骤 A8:在所述层间介电层中形成接触孔;

[0066] 步骤 A9:形成位于所述层间介电层之上的金属层和互连结构。

[0067] 上述步骤 A5 至 A9 均可以采用现有技术中的各种常规方法来实现,在此对该各个步骤的具体实现方法不再赘述。

[0068] 在本实施例中,虽然步骤 A5 至 A9 均可以采用现有技术中的各种常规方法来实现,但是,有如下问题需要在具体的工艺过程中予以注意:

[0069] (1) 应保证嵌入式碳硅层 1024 中的空洞 10241 与接触孔(源极或漏极上方的接触孔)的底部保持一定的距离。

[0070] (2) 对 NMOS 器件进行轻掺杂源漏极(LDD)离子注入的步骤应基于空洞 10241 的设计进行调整以确保 NMOS 器件具有小的漏电流。

[0071] (3) 通过离子注入形成 NMOS 器件的源极和漏极的步骤应基于空洞 10241 的设计进行调整以确保 NMOS 器件具有小的漏电流。

[0072] (4) 形成接触孔(具体地,指位于 NMOS 器件的源极和漏极上方的接触孔)的步骤应基于空洞 10241 的设计进行调整以确保不出现断路以及短路现象。

[0073] 从另一个角度来讲,空洞 10241 的大小、形状和位置(主要指在嵌入式碳硅层 1024 中的位置)等应当基于 NMOS 的轻掺杂源漏极(LDD)离子注入工艺、离子注入形成 NMOS 器件的源极和漏极的工艺、NMOS 的源极和漏极位置处的接触孔刻蚀工艺等进行控制,以保证半导体器件的良率。

[0074] 在本发明实施例中,步骤 A2(即,形成嵌入式锗硅层 1014 的步骤)可以省略,也



可以调整至步骤 A4 之后、步骤 A5 之前。当然,在本实施例中,该半导体器件也可以不包括 PMOS,此时将省略步骤 A2。

[0075] 本发明实施例的半导体器件的制造方法,通过形成具有空洞的嵌入式 SiC 层,增强了嵌入式 SiC 层对 NMOS 器件的沟道的张应力,进而提高了 NMOS 器件的载流子迁移率,提高了整个半导体器件的性能。

[0076] 图 2 示出了本发明实施例提出的一种半导体器件的制造方法的一种典型流程图,用于简要示出该制造方法的典型流程。具体包括:

[0077] 步骤 S101:提供前端器件,所述前端器件包括半导体衬底、位于所述半导体衬底上的 NMOS 器件的伪栅极和栅极间隙壁;

[0078] 步骤 S102:在所述半导体衬底位于所述 NMOS 器件的栅极间隙壁两侧的部分之中形成用于容置嵌入式碳硅层的沟槽;

[0079] 步骤 S103:在所述沟槽内形成内部具有空洞的嵌入式碳硅层。

[0080] 实施例二

[0081] 本发明实施例二提供一种半导体器件,该半导体器件可以采用实施例一的半导体器件的制造方法进行制造。

[0082] 下面,参照图 3 来描述本发明实施例的半导体器件的结构。其中,图 3 为本发明实施例的一种半导体器件的示意性剖视图。

[0083] 如图 3 所示,本实施例的半导体器件包括半导体衬底 100、位于所述半导体衬底上的 PMOS 器件和 NMOS 器件,还包括位于所述 NMOS 器件的沟道区域两侧的嵌入式碳硅层 1024;其中,所述嵌入式碳硅层 1024 内部具有空洞 10241。

[0084] 在本实施例中,空洞(void)10241 的内部可以为真空,也可以填充有气体。在每个嵌入式碳硅层 1024 中,空洞 10241 可以为一个,也可以为多个。空洞 10241 的形状可以为球形、椭球形、柱形或其他各种合适的形状。

[0085] 其中,嵌入式碳硅层 1024 的顶端不低于半导体衬底 100 的上表面。

[0086] 示例性地,本实施例的半导体器件可以为采用 20nm 制造工艺制得的半导体器件,嵌入式碳硅层 1024 的顶端高出半导体衬底 100 的上表面 0-30nm。

[0087] 示例性地,空洞 10241 为椭球形,其长直径为 0-30nm,短直径为 0-40nm;空洞 10241 的顶端距半导体衬底 100 的上表面的距离为 -80nm 至 10nm (其中“负值”代表空洞 10241 的顶端低于半导体衬底 100 的上表面,“正值”代表空洞 10241 的顶端高于半导体衬底 100 的上表面)。

[0088] 其中,所述空洞在所述嵌入式碳硅层中位于临近所述 NMOS 器件的沟道区域的一侧。

[0089] 本发明实施例的半导体器件,还可以包括 PMOS 器件以及位于 PMOS 器件沟道区域两侧的嵌入式锗硅层 1014,如图 3 所示。当然,该半导体器件还可以包括浅沟槽隔离、LDD 等其他组件,此处不再赘述。本实施例的半导体器件,可以为 SRAM、DRAM 以及其他包括 NMOS 器件的集成电路。

[0090] 本发明实施例的半导体器件,在 NMOS 器件的嵌入式 SiC 层中形成有空洞,可以增强嵌入式 SiC 层对 NMOS 器件的沟道的张应力,进而提高 NMOS 器件的载流子迁移率,提高整个半导体器件的性能。

[0091] 实施例三

[0092] 本发明实施例提供一种电子装置,其使用了根据实施例一所述的半导体器件的制造方法制造的半导体器件,或使用了实施例二所述的半导体器件。由于使用的半导体器件可以增强嵌入式 SiC 层对 NMOS 器件的沟道的张应力,提高 NMOS 器件的载流子迁移率,提高整个半导体器件的性能,因此该电子装置同样具有上述优点,可以具有更好的性能。

[0093] 该电子装置,可以是手机、平板电脑、笔记本电脑、上网本、游戏机、电视机、VCD、DVD、导航仪、照相机、摄像机、录音笔、MP3、MP4、PSP 等任何电子产品或设备。

[0094] 本发明已经通过上述实施例进行了说明,但应当理解的是,上述实施例只是用于举例和说明的目的,而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是,本发明并不局限于上述实施例,根据本发明的教导还可以做出更多种的变型和修改,这些变型和修改均落在本发明所要求保护的范围以内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

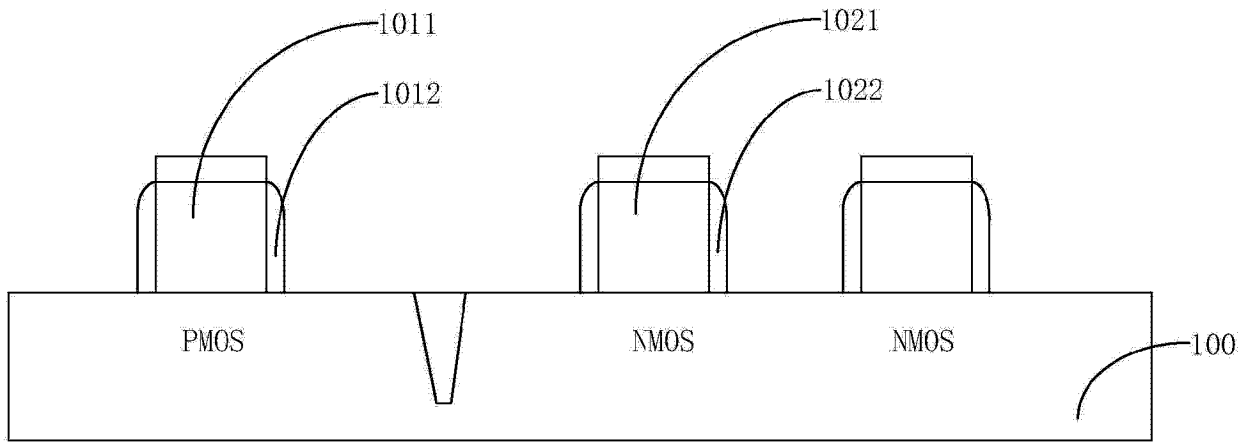


图 1A

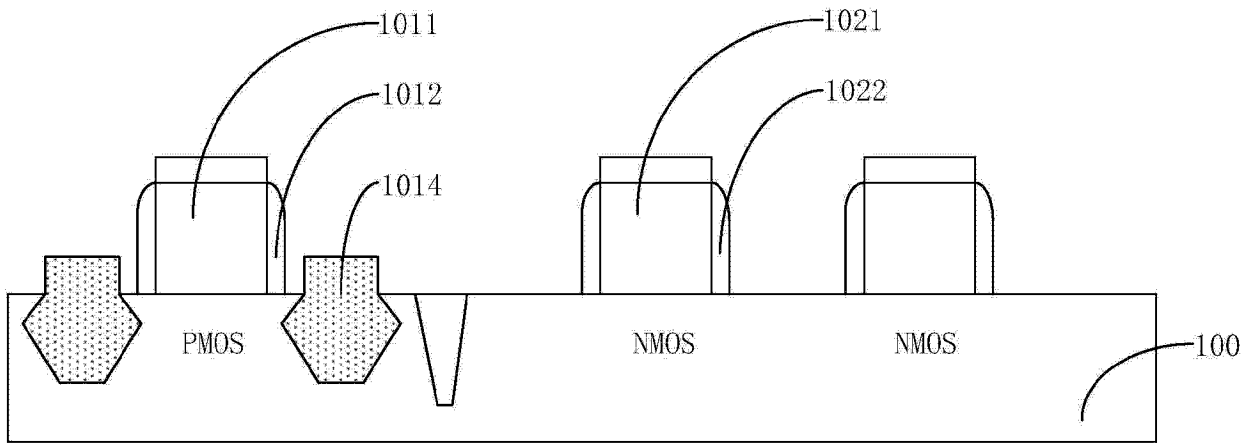


图 1B

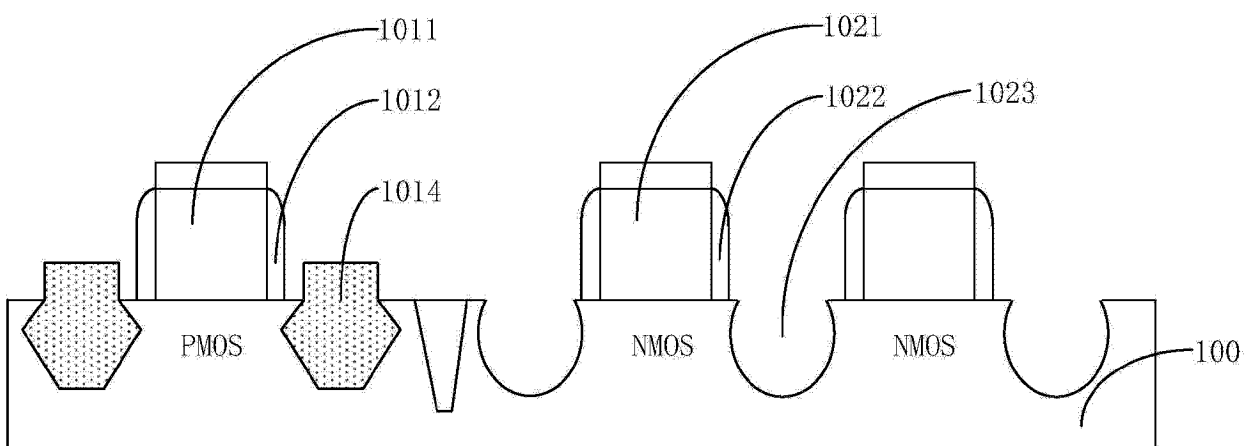


图 1C

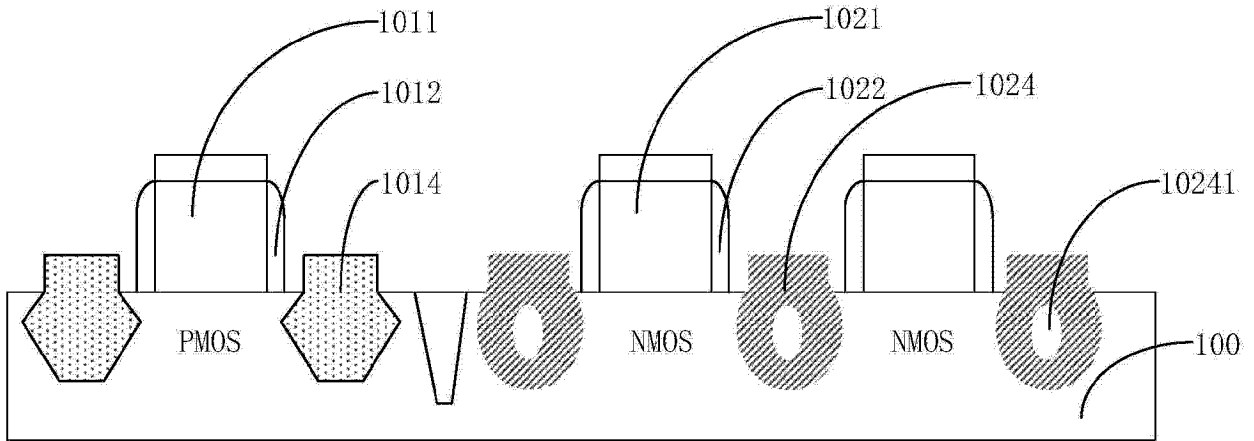


图 1D

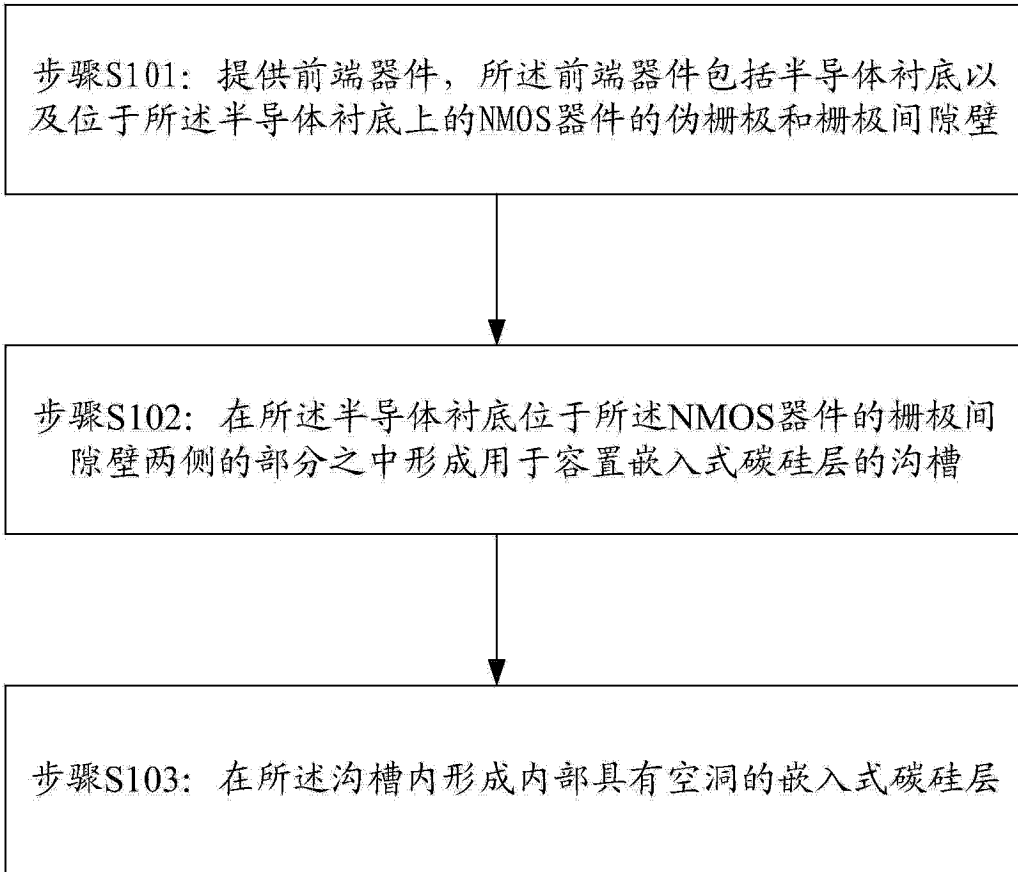


图 2

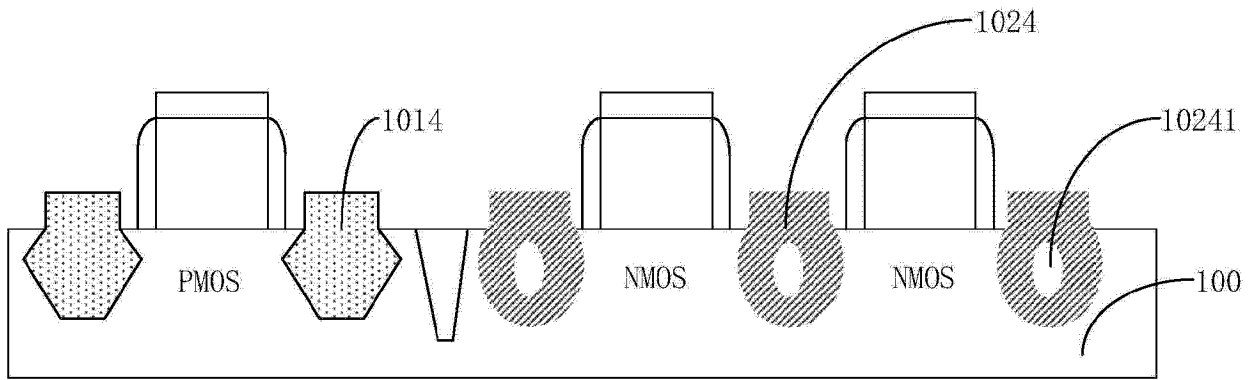


图 3