



(12) 发明专利申请

(10) 申请公布号 CN 117254808 A

(43) 申请公布日 2023. 12. 19

(21) 申请号 202311228501.0

(22) 申请日 2023.09.21

(71) 申请人 电子科技大学

地址 611731 四川省成都市高新区(西区)
西源大道2006号

(72) 发明人 于臻 吴克军 宁宁 李靖 张中
于奇

(74) 专利代理机构 电子科技大学专利中心
51203

专利代理师 闫树平

(51) Int. Cl.

H03M 1/10 (2006.01)

H03M 1/46 (2006.01)

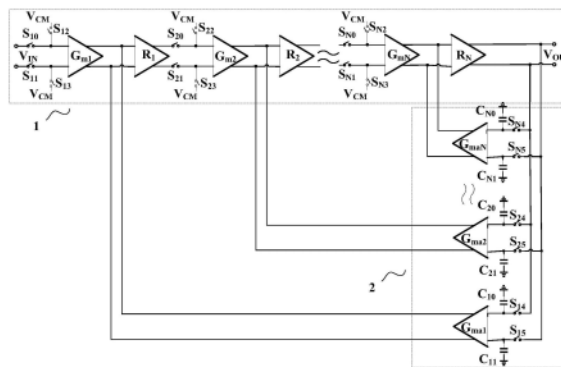
权利要求书2页 说明书5页 附图3页

(54) 发明名称

一种高速时钟控制比较器的失调电压校正电路

(57) 摘要

本发明涉及模拟集成电路领域,特别涉及一种高速时钟控制比较器的失调电压校正电路。本发明利用SAR ADC已有的采样时间进行比较器预放大级的失调电压校正,在不引入信号通路电容、不影响主放大器处理信号速度的前提下,复用主放大器的各级预放大级以达成失调电压校正环路,通过依次开启N级跨导级的输入失调电压校正环路,达到了每级跨导级的输入失调电压校正,同时利用N级跨导级输入失调校正环路的逆序开启达到主放大器等效输入失调电压校正效果最大化,从而使该放大器在SAR ADC的比较器预放大过程中发挥了高速低失调电压的作用。



1. 一种高速时钟控制比较器的失调电压校正电路,其特征在于:包括主放大器1和辅助放大器2;

所述主放大器1包括:主跨导级 G_{m1} 、主跨导级 G_{m2} ...主跨导级 G_{mN} ,主跨阻级 R_1 、主跨阻级 R_2 ...主跨阻级 R_N ,转换阶段控制开关 S_{10} 、 S_{11} 、 S_{20} 、 S_{21} ... S_{N0} 、 S_{N1} 和采样阶段控制开关 S_{12} 、 S_{13} 、 S_{22} 、 S_{23} ... S_{N2} 、 S_{N3} 构成, N 为 ≥ 1 的自然数;

主跨导级 G_{m1} 的一输入端连接转换阶段控制开关 S_{10} 的一端和采样阶段控制开关 S_{12} 的一端,主跨导级 G_{m1} 的另一输入端连接转换阶段控制开关 S_{11} 的一端和采样阶段控制开关 S_{13} 的一端;转换阶段控制开关 S_{10} 和 S_{11} 的另一端连接输入电压 V_{IN} ;采样阶段控制开关 S_{12} 和 S_{13} 的另一端连接共模电压 V_{CM} ;主跨导级 G_{m1} 的两输出端分别连接主跨阻级 R_1 的两输入端和辅助跨导级 G_{ma1} 的两输出端;主跨阻级 R_1 的两输出端分别连接转换阶段控制开关 S_{20} 和 S_{21} 的一端;

主跨导级 G_{m2} 的一输入端连接转换阶段控制开关 S_{20} 的一端和采样阶段控制开关 S_{22} 的一端,主跨导级 G_{m2} 的另一输入端连接转换阶段控制开关 S_{21} 的一端和采样阶段控制开关 S_{23} 的一端;转换阶段控制开关 S_{20} 和 S_{21} 的另一端分别连接主跨阻级 R_1 的两输出端;采样阶段控制开关 S_{22} 和 S_{23} 的另一端连接共模电压 V_{CM} ;主跨导级 G_{m2} 的两输出端分别连接主跨阻级 R_2 的两输入端和辅助跨导级 G_{ma2} 的两输出端;

以此类推,主跨导级 G_{mN} 的一输入端连接转换阶段控制开关 S_{N0} 的一端和采样阶段控制开关 S_{N2} 的一端,主跨导级 G_{mN} 的另一输入端连接转换阶段控制开关 S_{N1} 的一端和采样阶段控制开关 S_{N3} 的一端;转换阶段控制开关 S_{N0} 和 S_{N1} 的另一端分别连接主跨阻级 R_{N-1} 的两输出端;采样阶段控制开关 S_{N2} 和 S_{N3} 的另一端连接共模电压 V_{CM} ;主跨导级 G_{mN} 的两输出端分别连接主跨阻级 R_N 的两输入端和辅助跨导级 G_{maN} 的两输出端;

主跨阻级 R_N 的两输出端连接输出电压 V_{OUT} 、采样阶段控制开关 S_{14} 、 S_{15} 、 S_{24} 、 S_{25} ... S_{N4} 和 S_{N5} ;

所述辅助放大器2包括辅助跨导级 G_{ma1} 、辅助跨导级 G_{ma2} ...辅助跨导级 G_{maN} 、失调电压存储电容 C_{10} 、 C_{11} 、 C_{20} 、 C_{21} ... C_{N0} 、 C_{N1} ,采样阶段控制开关 S_{14} 、 S_{15} 、 S_{24} 、 S_{25} ... S_{N4} 和 S_{N5} ;

辅助跨导级 G_{ma1} 的一输入端连接采样阶段控制开关 S_{14} 的一端和失调电压存储电容 C_{10} 的上极板,辅助跨导级 G_{ma1} 的另一输入端连接采样阶段控制开关 S_{15} 的一端和失调电压存储电容 C_{11} 的上极板;采样阶段控制开关 S_{14} 和 S_{15} 的另外一端连接输出电压 V_{OUT} ,失调电压存储电容 C_{10} 和 C_{11} 的下极板连接地电位;

辅助跨导级 G_{ma2} 的一输入端连接采样阶段控制开关 S_{24} 的一端和失调电压存储电容 C_{20} 的上极板,辅助跨导级 G_{ma2} 的另一输入端连接采样阶段控制开关 S_{25} 的一端和失调电压存储电容 C_{21} 的上极板;采样阶段控制开关 S_{24} 和 S_{25} 的另外一端连接输出电压 V_{OUT} ,失调电压存储电容 C_{20} 和 C_{21} 的下极板连接地电位;

以此类推,辅助跨导级 G_{maN} 的一输入端连接采样阶段控制开关 S_{N4} 的一端和失调电压存储电容 C_{N0} 的上极板,辅助跨导级 G_{maN} 的另一输入端连接采样阶段控制开关 S_{N5} 的一端和失调电压存储电容 C_{N1} 的上极板;采样阶段控制开关 S_{N4} 和 S_{N5} 的另外一端连接输出电压 V_{OUT} ,失调电压存储电容 C_{N0} 和 C_{N1} 的下极板连接地电位。

2. 如权利要求1所述高速时钟控制比较器的失调电压校正电路,其特征在于:所述主放大器1和辅助放大器2在采样阶段控制信号SAMP1、SAMP2...SAMPN和转换阶段控制信号CONV的控制下进行工作;

当采样阶段控制信号SAMP1、SAMP2...SAMPN均为低、并且转换阶段控制信号CONV为高

时,主放大器1处于SAR ADC的正常工作量化状态,辅助放大器2处于失调电压存储状态;此时,转换阶段控制开关 S_{10} 、 S_{11} 、 S_{20} 、 S_{21} ... S_{N0} 、 S_{N1} 处于闭合状态,采样阶段控制开关 S_{12} 、 S_{13} 、 S_{22} 、 S_{23} ... S_{N2} 、 S_{N3} 处于断开状态,主放大器1对输入电压的放大倍数为 $G_{m1} \times R_1 \times G_{m2} \times R_2 \times \dots \times G_{mN} \times R_N$;

当采样阶段控制信号SAMPN...SAMP2、SAMP1依次为高、并且转换控制信号CONV为低时,主放大器1处于失调电压校正状态,辅助放大器2处于失调电压采样状态;采样阶段控制信号SAMP1、SAMP2...SAMPN为非交叠脉冲信号,其中,SAMP1为第N个脉冲信号,SAMP2为第N-1个脉冲信号,SAMPN为第1个脉冲信号;

采样阶段控制信号SAMPN为高时,其他采样阶段控制信号均为低,并且转换控制信号CONV为低,此时主跨导级 G_{mN} 处于校正状态;采样阶段控制信号SAMP2为高时,其他采样阶段控制信号均为低,并且转换控制信号CONV为低,此时主跨导级 G_{m2} 处于校正状态;采样阶段控制信号SAMP1为高时,其他采样阶段控制信号均为低,并且转换控制信号CONV为低,此时主跨导级 G_{m1} 处于校正状态;由此,主放大器1各级跨导级的失调电压校正处于逆序开启状态;

主跨导级 G_{m1} 的输入失调电压校正环路由主跨导级 G_{m1} 、主跨阻级 R_1 、主跨导级 G_{m2} 、主跨阻级 R_2 ...主跨导级 G_{mN} 、主跨阻级 R_N 和辅助跨阻级 G_{ma1} 构成;当采样阶段控制信号SAMP1为高、转换阶段控制信号CONV为低时,主跨导级 G_{m1} 处于校正状态,主跨导级连接输入电压 V_{IN} 的转换阶段控制开关 S_{10} 和 S_{11} 被断开,连接共模电压 V_{CM} 的采样阶段控制开关 S_{12} 和 S_{13} 被连通,主跨导级 G_{m1} 的输入失调电压 V_{OS1} 经主跨导级 G_{m1} 、主跨阻级 R_1 、主跨导级 G_{m2} 、主跨阻级 R_2 ...主跨导级 G_{mN} 和主跨阻级 R_N 在输出电压 V_{OUT} 端产生电压差 $V_{OS1} \times G_{m1} \times R_1 \times G_{m2} \times R_2 \times \dots \times G_{mN} \times R_N$,此时采样阶段控制开关 S_{14} 和 S_{15} 处于闭合状态,将被放大后的输入失调电压转移到失调电压存储电容 C_{10} 和 C_{11} 中,经辅助跨阻级 G_{ma1} 组成输入失调电压校正环路,完成主跨导级 G_{m1} 的输入失调电压校正;

主跨导级 G_{m2} 的输入失调电压校正环路由主跨导级 G_{m2} 、主跨阻级 R_2 ...主跨导级 G_{mN} 、主跨阻级 R_N 和辅助跨阻级 G_{ma2} 构成;当采样阶段控制信号SAMP2为高、转换阶段控制信号CONV为低时,主跨导级 G_{m2} 处于校正状态,主跨导级 G_{m2} 连接主跨阻级 R_1 的转换阶段控制开关 S_{20} 和 S_{21} 被断开,连接共模电压 V_{CM} 的采样阶段控制开关 S_{22} 和 S_{23} 被连通,主跨导级 G_{m2} 的输入失调电压 V_{OS2} 经主跨导级 G_{m2} 、主跨阻级 R_2 ...主跨导级 G_{mN} 和主跨阻级 R_N 在输出电压 V_{OUT} 端产生电压差 $V_{OS2} \times G_{m2} \times R_2 \times \dots \times G_{mN} \times R_N$,此时采样阶段控制开关 S_{24} 和 S_{25} 处于闭合状态,将被放大后的输入失调电压转移到失调电压存储电容 C_{20} 和 C_{21} 中,经辅助跨阻级 G_{ma2} 组成输入失调电压校正环路,完成主跨导级 G_{m2} 的输入失调电压校正;

以此类推,主跨导级 G_{mN} 的输入失调电压校正环路由主跨导级 G_{mN} 、主跨阻级 R_N 和辅助跨阻级 G_{maN} 构成;当采样阶段控制信号SAMPN为高、转换阶段控制信号CONV为低时,主跨导级 G_{mN} 处于校正状态,主跨导级 G_{mN} 连接主跨阻级 R_{N-1} 的转换阶段控制开关 S_{N0} 和 S_{N1} 被断开,连接共模电压 V_{CM} 的采样阶段控制开关 S_{N2} 和 S_{N3} 被连通,主跨导级 G_{mN} 的输入失调电压 V_{OSN} 经主跨导级 G_{mN} 和主跨阻级 R_N 在输出电压 V_{OUT} 端产生电压差 $V_{OSN} \times G_{mN} \times R_N$,此时采样阶段控制开关 S_{N4} 和 S_{N5} 处于闭合状态,将被放大后的输入失调电压转移到失调电压存储电容 C_{N0} 和 C_{N1} 中,经辅助跨阻级 G_{maN} 组成输入失调电压校正环路,完成主跨导级 G_{mN} 的输入失调电压校正。

一种高速时钟控制比较器的失调电压校正电路

技术领域

[0001] 本发明涉及模拟集成电路领域,特别涉及一种高速时钟控制比较器的失调电压校正电路。

背景技术

[0002] 时钟控制比较器是模拟集成电路中的基础模块,在模拟数字转换器尤其是逐次逼近型模数转换器(SAR ADC)中起到了至关重要的角色。由于SAR ADC的工作原理是二分法比较输入信号与参考电压的大小,时钟控制比较器需要串行比较模拟电压的差值,因此时钟控制比较器的响应速度很大程度上决定了SAR ADC的模拟信号处理速度也就是量化速率。另由于半导体制造加工的精度和光罩掩膜曝光梯度的影响,最终造成时钟控制比较器存在较大的输入失调电压。为此在基于保证时钟控制比较器的量化速度的基础上,需要针对时钟控制比较器的输入失调电压进行校正。

[0003] 传统的SAR ADC时钟控制比较器采用预放大级加锁存级的结构。其中预放大级负责将输入模拟电压放大至特定的倍数,锁存级负责将放大后的信号锁存至模拟电源电压或地。为追求锁存级的信号处理速度,会导致锁存级的输入失调电压较大,所以预放大级的放大倍数必须满足最小输入模拟电压经放大级后大于锁存级的输入失调电压。以此满足后续锁存级比较器的输入失调电压要求,产生确定的0或1以满足后续数字电路处理信号的条件。

[0004] 针对SAR ADC时钟控制比较器的输入失调电压校正常用方法有两种,分别是输入端失调电压校正(附图1所示)和输出端失调电压校正(附图2所示)。输入端失调电压校正电路通过开关选择在校正相位将预放大级接成单位增益负反馈结构,以使失调电压储存在电容中,开关选择在比较相位时抵消预放大级的输入失调电压;输出端失调电压校正电路通过开关选择在校正相位将预放大级的输入接到同一个电位,以使失调电压经过放大级自身增益后储存在电容中,开关选择在比较相位时抵消前一级预放大级的输入失调电压。上述两种失调电压校正电路存在着同样的问题,在预放大级信号通路上引入了存储失调电压的电容,该电容增大了节点阻抗,限制了信号带宽,从而进一步制约SAR ADC的量化速度;同时由于预放大级的增益有限,上述失调电压校正电路的校正效果并不理想。

发明内容

[0005] 针对上述存在的问题或不足,本发明提出了一种高速时钟控制比较器的失调电压校正电路,以解决现有SAR ADC时钟控制比较器的失调电压校正电路影响比较器工作速度的问题。

[0006] 一种高速时钟控制比较器的失调电压校正电路,包括:主放大器1和辅助放大器2(附图3所示)。

[0007] 所述主放大器1包括:主跨导级 G_{m1} 、主跨导级 G_{m2} ...主跨导级 G_{mN} (N 为大于等于1的自然数),主跨阻级 R_1 、主跨阻级 R_2 ...主跨阻级 R_N ,转换阶段控制开关 S_{10} 、 S_{11} 、 S_{20} 、 S_{21} ... S_{N0} 、 S_{N1} 和

采样阶段控制开关 S_{12} 、 S_{13} 、 S_{22} 、 S_{23} ... S_{N2} 、 S_{N3} 构成。

[0008] 主跨导级 G_{m1} 的一输入端连接转换阶段控制开关 S_{10} 的一端和采样阶段控制开关 S_{12} 的一端,主跨导级 G_{m1} 的另一输入端连接转换阶段控制开关 S_{11} 的一端和采样阶段控制开关 S_{13} 的一端;转换阶段控制开关 S_{10} 和 S_{11} 的另一端连接输入电压 V_{IN} ;采样阶段控制开关 S_{12} 和 S_{13} 的另一端连接共模电压 V_{CM} ;主跨导级 G_{m1} 的两输出端分别连接主跨阻级 R_1 的两输入端和辅助跨导级 G_{ma1} 的两输出端;主跨阻级 R_1 的两输出端分别连接转换阶段控制开关 S_{20} 和 S_{21} 的一端。

[0009] 主跨导级 G_{m2} 的一输入端连接转换阶段控制开关 S_{20} 的一端和采样阶段控制开关 S_{22} 的一端,主跨导级 G_{m2} 的另一输入端连接转换阶段控制开关 S_{21} 的一端和采样阶段控制开关 S_{23} 的一端;转换阶段控制开关 S_{20} 和 S_{21} 的另一端分别连接主跨阻级 R_1 的两输出端;采样阶段控制开关 S_{22} 和 S_{23} 的另一端连接共模电压 V_{CM} ;主跨导级 G_{m2} 的两输出端分别连接主跨阻级 R_2 的两输入端和辅助跨导级 G_{ma2} 的两输出端。

[0010] 以此类推,主跨导级 G_{mN} 的一输入端连接转换阶段控制开关 S_{N0} 的一端和采样阶段控制开关 S_{N2} 的一端,主跨导级 G_{mN} 的另一输入端连接转换阶段控制开关 S_{N1} 的一端和采样阶段控制开关 S_{N3} 的一端;转换阶段控制开关 S_{N0} 和 S_{N1} 的另一端分别连接主跨阻级 R_{N-1} 的两输出端;采样阶段控制开关 S_{N2} 和 S_{N3} 的另一端连接共模电压 V_{CM} ;主跨导级 G_{mN} 的两输出端分别连接主跨阻级 R_N 的两输入端和辅助跨导级 G_{maN} 的两输出端。

[0011] 主跨阻级 R_N 的两输出端连接输出电压 V_{OUT} 、采样阶段控制开关 S_{14} 、 S_{15} 、 S_{24} 、 S_{25} ... S_{N4} 和 S_{N5} 。

[0012] 所述辅助放大器2包括辅助跨导级 G_{ma1} 、辅助跨导级 G_{ma2} ...辅助跨导级 G_{maN} 、失调电压存储电容 C_{10} 、 C_{11} 、 C_{20} 、 C_{21} ... C_{N0} 、 C_{N1} ,采样阶段控制开关 S_{14} 、 S_{15} 、 S_{24} 、 S_{25} ... S_{N4} 和 S_{N5} 。

[0013] 辅助跨导级 G_{ma1} 的一输入端连接采样阶段控制开关 S_{14} 的一端和失调电压存储电容 C_{10} 的上极板,辅助跨导级 G_{ma1} 的另一输入端连接采样阶段控制开关 S_{15} 的一端和失调电压存储电容 C_{11} 的上极板;采样阶段控制开关 S_{14} 和 S_{15} 的另外一端连接输出电压 V_{OUT} ,失调电压存储电容 C_{10} 和 C_{11} 的下极板连接地电位。

[0014] 辅助跨导级 G_{ma2} 的一输入端连接采样阶段控制开关 S_{24} 的一端和失调电压存储电容 C_{20} 的上极板,辅助跨导级 G_{ma2} 的另一输入端连接采样阶段控制开关 S_{25} 的一端和失调电压存储电容 C_{21} 的上极板;采样阶段控制开关 S_{24} 和 S_{25} 的另外一端连接输出电压 V_{OUT} ,失调电压存储电容 C_{20} 和 C_{21} 的下极板连接地电位。

[0015] 以此类推,辅助跨导级 G_{maN} 的一输入端连接采样阶段控制开关 S_{N4} 的一端和失调电压存储电容 C_{N0} 的上极板,辅助跨导级 G_{maN} 的另一输入端连接采样阶段控制开关 S_{N5} 的一端和失调电压存储电容 C_{N1} 的上极板;采样阶段控制开关 S_{N4} 和 S_{N5} 的另外一端连接输出电压 V_{OUT} ,失调电压存储电容 C_{N0} 和 C_{N1} 的下极板连接地电位。

[0016] 所述主放大器1和辅助放大器2在采样阶段控制信号SAMP1、SAMP2...SAMPN和转换阶段控制信号CONV的控制下进行工作(附图4所示)。

[0017] 当采样阶段控制信号SAMP1、SAMP2...SAMPN均为低、并且转换阶段控制信号CONV为高时,主放大器1处于SAR ADC的正常工作量化状态,辅助放大器2处于失调电压存储状态;此时,转换阶段控制开关 S_{10} 、 S_{11} 、 S_{20} 、 S_{21} ... S_{N0} 、 S_{N1} 处于闭合状态,采样阶段控制开关 S_{12} 、 S_{13} 、 S_{22} 、 S_{23} ... S_{N2} 、 S_{N3} 处于断开状态,主放大器1对输入电压的放大倍数为 $G_{m1} \times R_1 \times G_{m2} \times R_2 \times \dots$

$G_{mN} \times R_N$ 。

[0018] 当采样阶段控制信号SAMPN...SAMP2、SAMP1依次为高、并且转换控制信号CONV为低时,主放大器1处于失调电压校正状态,辅助放大器2处于失调电压采样状态;采样阶段控制信号SAMP1、SAMP2...SAMPN为非交叠脉冲信号,其中,SAMP1为第N个脉冲信号,SAMP2为第N-1个脉冲信号,SAMPN为第1个脉冲信号;采样阶段控制信号SAMPN为高时,其他采样阶段控制信号均为低,并且转换控制信号CONV为低,此时主跨导级 G_{mN} 处于校正状态;采样阶段控制信号SAMP2为高时,其他采样阶段控制信号均为低,并且转换控制信号CONV为低,此时主跨导级 G_{m2} 处于校正状态;采样阶段控制信号SAMP1为高时,其他采样阶段控制信号均为低,并且转换控制信号CONV为低,此时主跨导级 G_{m1} 处于校正状态;由此,主放大器1各级跨导级的失调电压校正处于逆序开启状态。

[0019] 主跨导级 G_{m1} 的输入失调电压校正环路由主跨导级 G_{m1} 、主跨阻级 R_1 、主跨导级 G_{m2} 、主跨阻级 R_2 ...主跨导级 G_{mN} 、主跨阻级 R_N 和辅助跨阻级 G_{ma1} 构成。当采样阶段控制信号SAMP1为高、转换阶段控制信号CONV为低时,主跨导级 G_{m1} 处于校正状态,主跨导级连接输入电压 V_{IN} 的转换阶段控制开关 S_{10} 和 S_{11} 被断开,连接共模电压 V_{CM} 的采样阶段控制开关 S_{12} 和 S_{13} 被连通,主跨导级 G_{m1} 的输入失调电压 V_{OS1} 经主跨导级 G_{m1} 、主跨阻级 R_1 、主跨导级 G_{m2} 、主跨阻级 R_2 ...主跨导级 G_{mN} 和主跨阻级 R_N 在输出电压 V_{OUT} 端产生电压差 $V_{OS1} \times G_{m1} \times R_1 \times G_{m2} \times R_2 \times \dots \times G_{mN} \times R_N$,此时采样阶段控制开关 S_{14} 和 S_{15} 处于闭合状态,将被放大后的输入失调电压转移到失调电压存储电容 C_{10} 和 C_{11} 中,经辅助跨阻级 G_{ma1} 组成输入失调电压校正环路,完成主跨导级 G_{m1} 的输入失调电压校正。

[0020] 主跨导级 G_{m2} 的输入失调电压校正环路由主跨导级 G_{m2} 、主跨阻级 R_2 ...主跨导级 G_{mN} 、主跨阻级 R_N 和辅助跨阻级 G_{ma2} 构成。当采样阶段控制信号SAMP2为高、转换阶段控制信号CONV为低时,主跨导级 G_{m2} 处于校正状态,主跨导级 G_{m2} 连接主跨阻级 R_1 的转换阶段控制开关 S_{20} 和 S_{21} 被断开,连接共模电压 V_{CM} 的采样阶段控制开关 S_{22} 和 S_{23} 被连通,主跨导级 G_{m2} 的输入失调电压 V_{OS2} 经主跨导级 G_{m2} 、主跨阻级 R_2 ...主跨导级 G_{mN} 和主跨阻级 R_N 在输出电压 V_{OUT} 端产生电压差 $V_{OS2} \times G_{m2} \times R_2 \times \dots \times G_{mN} \times R_N$,此时采样阶段控制开关 S_{24} 和 S_{25} 处于闭合状态,将被放大后的输入失调电压转移到失调电压存储电容 C_{20} 和 C_{21} 中,经辅助跨阻级 G_{ma2} 组成输入失调电压校正环路,完成主跨导级 G_{m2} 的输入失调电压校正。

[0021] 以此类推,主跨导级 G_{mN} 的输入失调电压校正环路由主跨导级 G_{mN} 、主跨阻级 R_N 和辅助跨阻级 G_{maN} 构成。当采样阶段控制信号SAMPN为高、转换阶段控制信号CONV为低时,主跨导级 G_{mN} 处于校正状态,主跨导级 G_{mN} 连接主跨阻级 R_{N-1} 的转换阶段控制开关 S_{N0} 和 S_{N1} 被断开,连接共模电压 V_{CM} 的采样阶段控制开关 S_{N2} 和 S_{N3} 被连通,主跨导级 G_{mN} 的输入失调电压 V_{OSN} 经主跨导级 G_{mN} 和主跨阻级 R_N 在输出电压 V_{OUT} 端产生电压差 $V_{OSN} \times G_{mN} \times R_N$,此时采样阶段控制开关 S_{N4} 和 S_{N5} 处于闭合状态,将被放大后的输入失调电压转移到失调电压存储电容 C_{N0} 和 C_{N1} 中,经辅助跨阻级 G_{maN} 组成输入失调电压校正环路,完成主跨导级 G_{mN} 的输入失调电压校正。

[0022] 综上所述,本发明利用SAR ADC已有的采样时间进行比较器预放大级的失调电压校正,在不引入信号通路电容、不影响主放大器处理信号速度的前提下,通过将主放大器的N级跨导级和跨阻级依次开启输入失调电压校正环路,以此达到每级跨导级的输入失调电压校正,同时利用N级跨导级和跨阻级的放大倍数达到了第一级跨导级的输入失调电压校正效果最大化,从而使该放大器在SAR ADC的比较器预放大过程中发挥高速低失调电压的

作用。

附图说明

- [0023] 图1是现有技术的输入端失调电压校正结构示意图。
 [0024] 图2是现有技术的输出端失调电压校正结构示意图。
 [0025] 图3是本发明的电路结构示意图。
 [0026] 图4是本发明的失调电压校正控制信号示意图。
 [0027] 图5是实施例的失调电压校正电路结构示意图。
 [0028] 图6是实施例的失调电压校正控制信号示意图。

具体实施方式

[0029] 下面对照附图并结合优选的实施方式对本发明作进一步详细说明。

[0030] 在具体的电路实施例附图5中,主放大器中三级主跨导级 G_{m1} 、 G_{m2} 和 G_{m3} 的输入失调电压分别为 V_{os1} 、 V_{os2} 和 V_{os3} 。那么此时,第三级放大级的失调电压表达式可以写为:

$$[0031] \quad (G_{m3} \times V_{os3} - G_{ma3} \times V_{OUT}) \times R_3 = V_{OUT}$$

[0032] 校正完成后,等效的第三级放大级输入失调电压等于:

$$[0033] \quad V_{os3}' = \frac{V_{OUT}}{G_{m3} \times R_3} = \frac{V_{os3}}{1 + G_{ma3} \times R_3}$$

[0034] 此时,由于辅助放大器的放大倍数一般为10倍左右,对于失调电压的消除还是不够明显。

[0035] 第二级放大级的失调电压表达式可以写为:

$$[0036] \quad (G_{m2} \times V_{os2} - G_{ma2} \times V_{OUT}) \times R_2 \times G_{m3} \times R_3 = V_{OUT}$$

[0037] 校正完成后,等效的第二级放大级输入失调电压等于:

$$[0038] \quad V_{os2}' = \frac{V_{OUT}}{G_{m2} \times R_2 \times G_{m3} \times R_3} = \frac{V_{os2}}{1 + G_{ma2} \times R_2 \times G_{m3} \times R_3}$$

[0039] 这时 V_{os2} 的失调电压消除效果就可以达到1/100量级,失调电压消除效果非常明显。

[0040] 同理,可以推导出第一级预放大级的输入失调电压消除效果:

$$[0041] \quad V_{os1}' = \frac{V_{os1}}{1 + G_{ma1} \times R_1 \times G_{m2} \times R_2 \times G_{m3} \times R_3}$$

[0042] 最终主放大器的第一级预放大级的等效输入失调电压降低到原值的1/1000量级,失调电压消除效果显著,同时并没有在信号通路上引入电容,不影响比较器量化速度。

[0043] 通过以上实施例可见,本发明利用SAR ADC已有的采样时间进行比较器预放大级的失调电压校正,在不引入信号通路电容、不影响主放大器处理信号速度的前提下,复用主放大器的各级预放大级以达成失调电压校正环路,通过依次开启N级跨导级的输入失调电压校正环路,达到了每级跨导级的输入失调电压校正,同时利用N级跨导级输入失调校正环路的逆序开启达到主放大器等效输入失调电压校正效果最大化,从而使该放大器在SAR ADC的比较器预放大过程中发挥了高速低失调电压的作用。本领域的普通技术人员可以根据本发明公开的这些技术启示做出各种不脱离本发明实质的其他各种具体变形和组合,这

些变形和组合仍然在本发明的保护范围内。

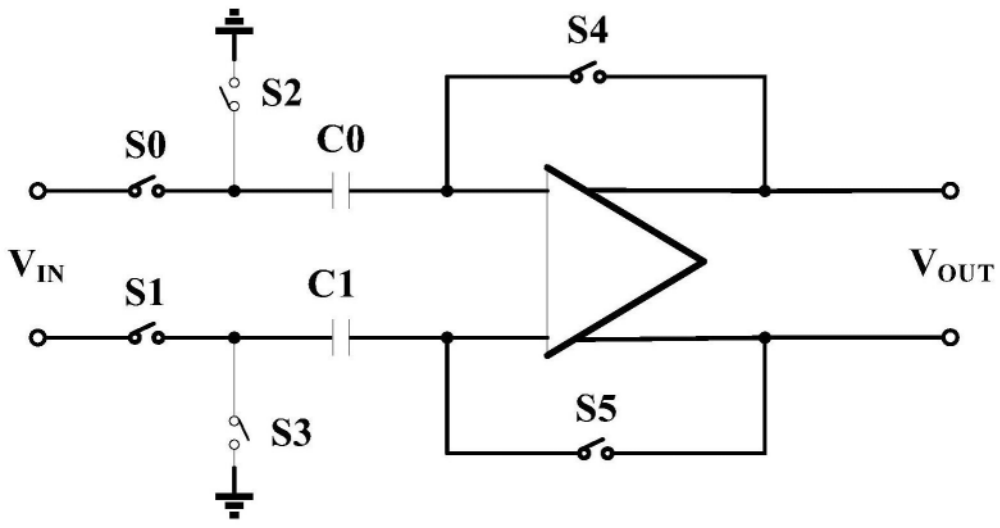


图1

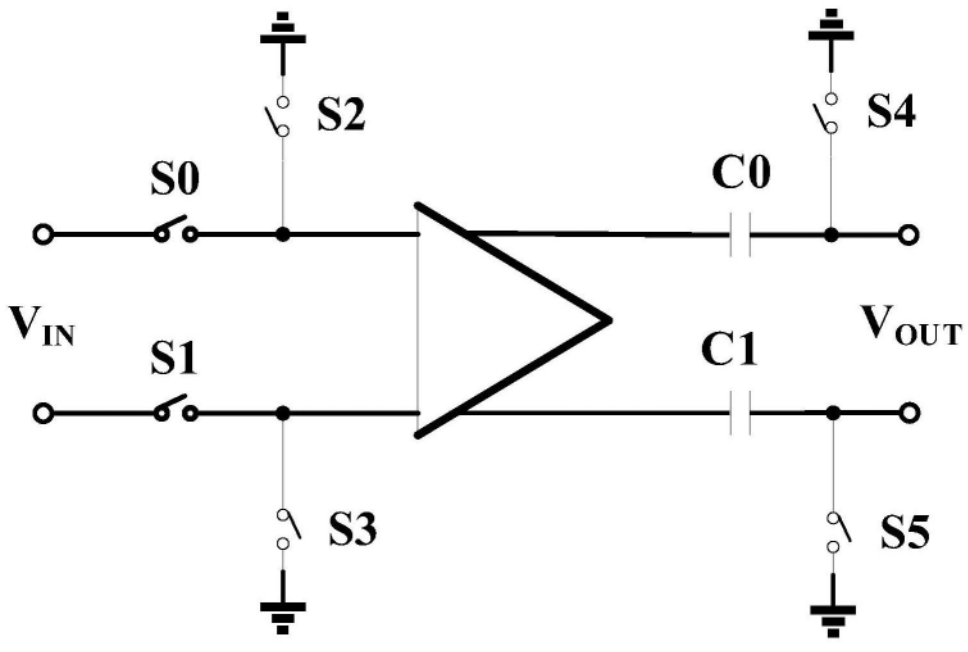


图2

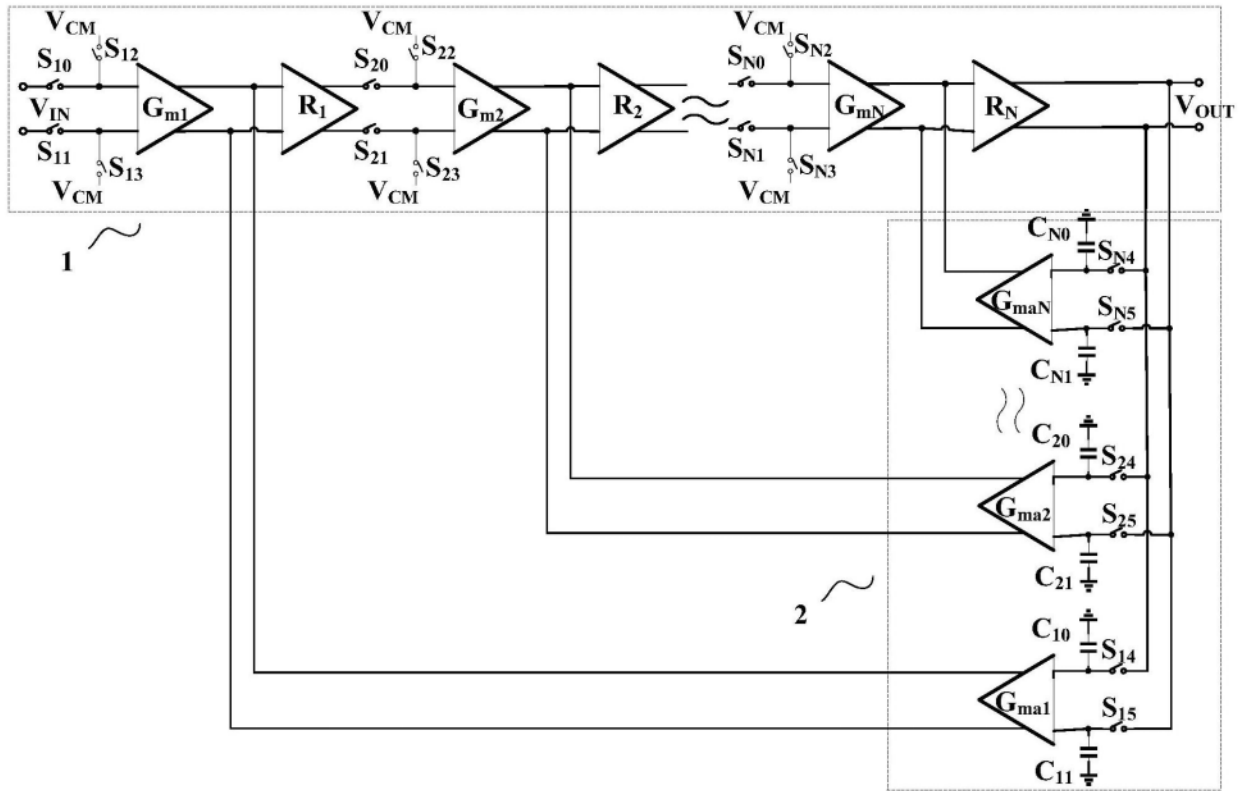


图3

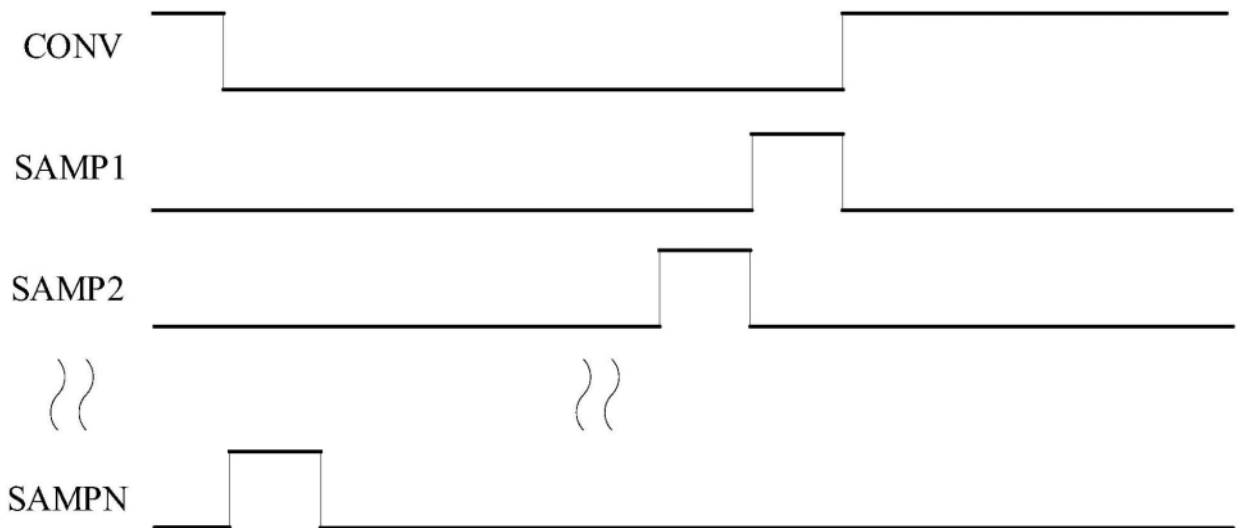


图4

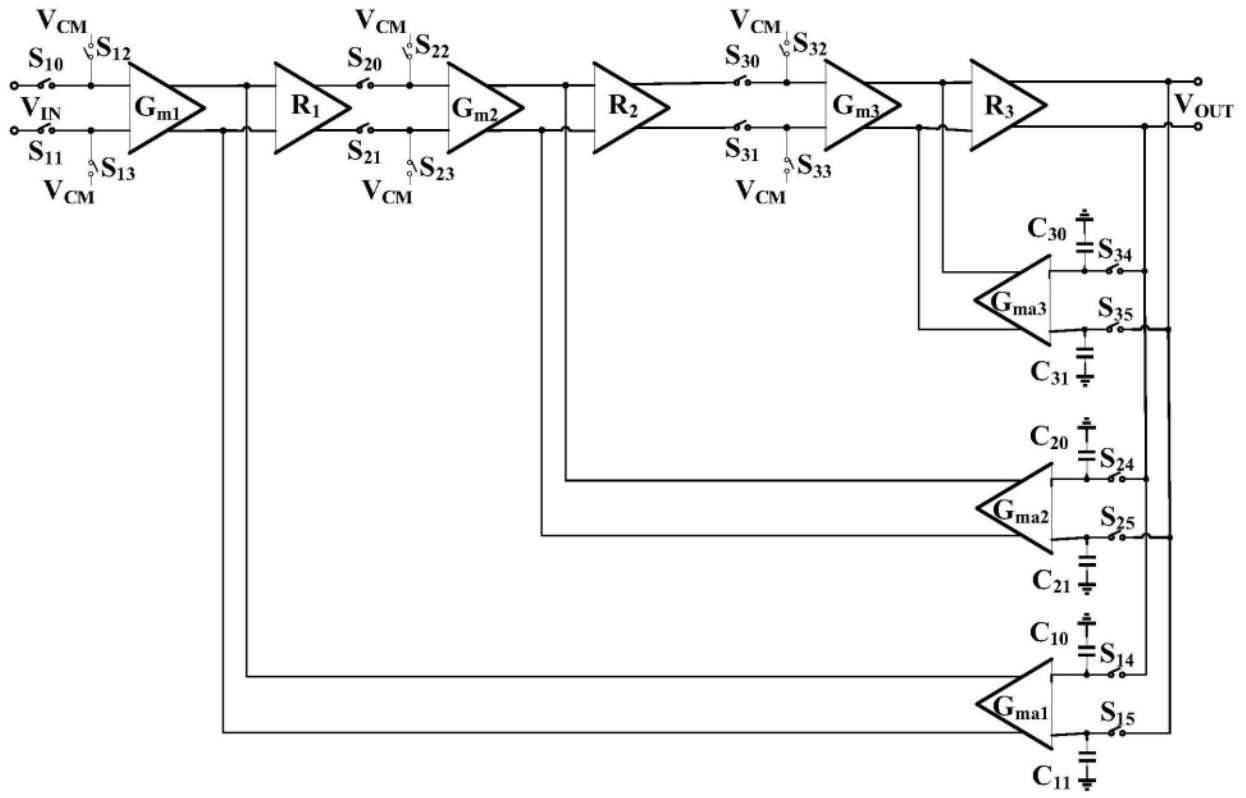


图5

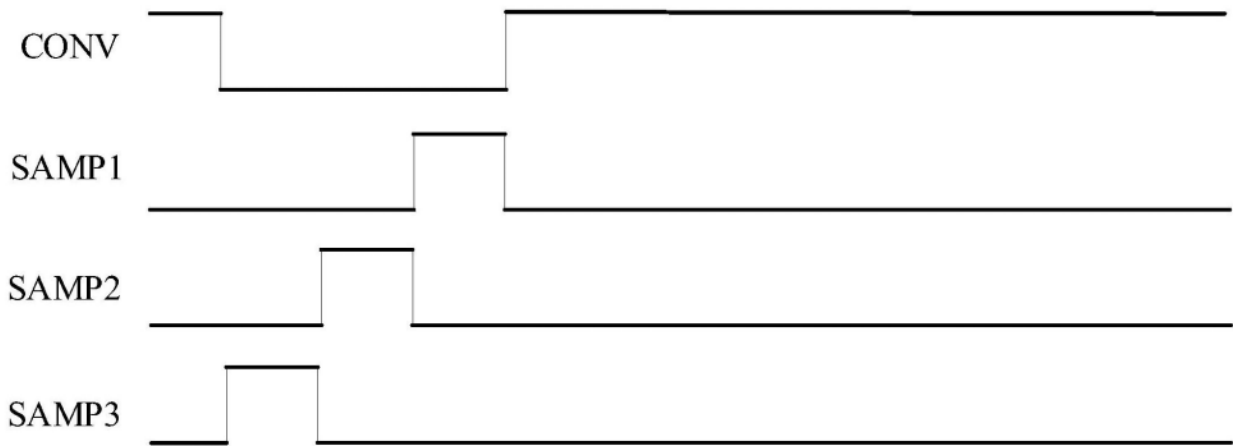


图6