



(12) 发明专利

(10) 授权公告号 CN 112837649 B

(45) 授权公告日 2022. 10. 11

(21) 申请号 201911061474.6

G09G 3/3233 (2016.01)

(22) 申请日 2019.11.01

(56) 对比文件

(65) 同一申请的已公布的文献号

CN 1928972 A, 2007.03.14

申请公布号 CN 112837649 A

CN 101546517 A, 2009.09.30

(43) 申请公布日 2021.05.25

CN 106652908 A, 2017.05.10

(73) 专利权人 京东方科技集团股份有限公司

CN 110021264 A, 2019.07.16

地址 100015 北京市朝阳区酒仙桥路10号

KR 20150019001 A, 2015.02.25

(72) 发明人 岳晗 刘冬妮

审查员 王妍

(74) 专利代理机构 北京中博世达专利商标代理

有限公司 11274

专利代理师 申健

(51) Int. Cl.

G09G 3/32 (2016.01)

G09G 3/3208 (2016.01)

G09G 3/3266 (2016.01)

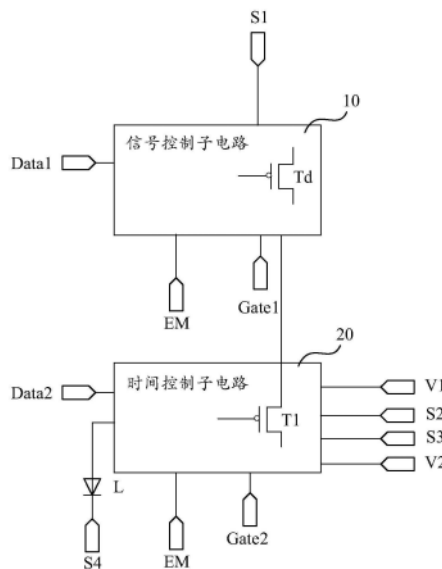
权利要求书5页 说明书23页 附图8页

(54) 发明名称

像素驱动电路及其驱动方法、显示面板、显示装置

(57) 摘要

本发明实施例提供一种像素驱动电路及其驱动方法、显示面板、显示装置,涉及显示技术领域,可提高显示面板的显示效果。一种像素驱动电路,包括:信号控制子电路在第一扫描信号端和使能信号端的控制下,使信号控制子电路中的驱动晶体管根据第一数据信号端和第一电源电压信号端的信号,向时间控制子电路中的第一晶体管输出驱动信号;时间控制子电路在第二扫描信号端和使能信号端的控制下,根据第一电压信号端、第二电压信号端和第二数据信号端的信号,将来自第二电源电压信号端的第二电源电压信号或者来自第三电源电压信号端的第三电源电压信号传输至第一晶体管的栅极,以通过控制第一晶体管来控制待驱动元件的工作时长。



1. 一种像素驱动电路,其特征在于,包括:信号控制子电路和时间控制子电路;所述信号控制子电路包括驱动晶体管;所述时间控制子电路包括第一晶体管;

所述信号控制子电路至少与第一扫描信号端、第一数据信号端、第一电源电压信号端、使能信号端、以及所述时间控制子电路的所述第一晶体管电连接;

所述信号控制子电路被配置为在来自所述第一扫描信号端的第一扫描信号和来自所述使能信号端的使能信号的控制下,使所述驱动晶体管根据所述第一数据信号端提供的第一数据信号和所述第一电源电压信号端提供的第一电源电压信号,向所述第一晶体管输出驱动信号;

所述时间控制子电路包括第二数据写入子电路、第二驱动子电路、第二控制子电路以及电位控制子电路;

所述第二驱动子电路包括所述第一晶体管和第一电容;所述第一晶体管的栅极与第二节点电连接,所述第一电容的第一极与第三节点电连接,所述第一电容的第二极与第四节点电连接;

所述第二数据写入子电路与第二扫描信号端、第二数据信号端、第二电压信号端、所述第三节点和所述第四节点电连接;所述第二数据写入子电路被配置为在来自所述第二扫描信号端的第二扫描信号的控制下,将来自所述第二数据信号端的第二数据信号写入所述第四节点,将来自所述第二电压信号端的第二电压信号传输至所述第三节点;

所述第二控制子电路与所述使能信号端、第一电压信号端、所述第二驱动子电路、以及待驱动元件电连接;所述第二控制子电路被配置为在来自所述使能信号端的使能信号的控制下,将来自所述第一电压信号端的第一电压信号传输至所述第四节点,并将所述第一晶体管与所述待驱动元件电连接;

所述电位控制子电路与所述第二节点、所述第三节点、第二电源电压信号端、以及第三电源电压信号端电连接;所述电位控制子电路被配置为在来自所述第三节点的信号的控制下,将来自所述第二电源电压信号端的第二电源电压信号传输至所述第二节点,或者,将来自所述第三电源电压信号端的第三电源电压信号传输至所述第二节点。

2. 根据权利要求1所述的像素驱动电路,其特征在于,所述信号控制子电路包括第一驱动子电路、第一数据写入子电路、以及第一控制子电路;

所述第一驱动子电路包括所述驱动晶体管和第一电容;所述第一电容的第一极与所述第一电源电压信号端电连接,所述第一电容的第二极与第一节点电连接;所述驱动晶体管的栅极与所述第一节点电连接;

所述第一数据写入子电路与所述第一扫描信号端、所述第一数据信号端、以及所述第一驱动子电路电连接;所述第一数据写入子电路被配置为在来自所述第一扫描信号端的第一扫描信号的控制下,将来自所述第一数据信号端的第一数据信号和所述驱动晶体管的阈值电压写入所述第一节点,对所述驱动晶体管进行阈值电压补偿;

所述第一控制子电路与所述使能信号端、所述第一电源电压信号端、所述第一驱动子电路、以及所述第一晶体管的第一极电连接;所述第一控制子电路被配置为在来自所述使能信号端的使能信号的控制下,使所述驱动晶体管与所述第一电源电压信号端和所述第一晶体管的第一极电连接,以使所述驱动晶体管根据所述第一数据信号端提供的第一数据信号和所述第一电源电压信号端提供的第一电压信号,向所述第一晶体管输出所述驱动信

号。

3. 根据权利要求2所述的像素驱动电路,其特征在于,所述信号控制子电路还包括第一复位子电路;

所述第一复位子电路与第一初始信号端、第一复位信号端以及所述第一节点电连接;所述第一复位子电路被配置为在来自所述第一复位信号端的第一复位信号的控制下,将来自所述第一初始信号端的第一初始信号传输至所述第一节点,对所述第一节点进行复位。

4. 根据权利要求2所述的像素驱动电路,其特征在于,所述第一数据写入子电路包括第二晶体管和第三晶体管;

所述第二晶体管的栅极与所述第一扫描信号端电连接,所述第二晶体管的第一极与所述驱动晶体管的第二极电连接,所述第二晶体管的第二极与所述第一节点电连接;

所述第三晶体管的栅极与所述第一扫描信号端电连接,所述第三晶体管的第一极与所述第一数据信号端电连接,所述第三晶体管的第二极与所述驱动晶体管的第一极电连接;

和/或,

所述第一控制子电路包括第四晶体管和第五晶体管;

所述第四晶体管的栅极与所述使能信号端电连接,所述第四晶体管的第一极与所述第一电源电压信号端电连接,所述第四晶体管的第二极与所述驱动晶体管的第一极电连接;

所述第五晶体管的栅极与所述使能信号端电连接,所述第五晶体管的第一极与所述驱动晶体管的第二极电连接,所述第五晶体管的第二极与所述第一晶体管的第一极电连接。

5. 根据权利要求3所述的像素驱动电路,其特征在于,所述第一复位子电路包括第六晶体管;

所述第六晶体管的栅极与所述第一复位信号端电连接,所述第六晶体管的第一极与所述第一初始信号端电连接,所述第六晶体管的第二极与所述第一节点电连接。

6. 根据权利要求1-3任一项所述的像素驱动电路,其特征在于,所述第二数据写入子电路包括第七晶体管和第八晶体管;

所述第七晶体管的栅极与所述第二扫描信号端电连接,所述第七晶体管的第一极与所述第二数据信号端电连接,所述第七晶体管的第二极与所述第四节点电连接;

所述第八晶体管的栅极与所述第二扫描信号端电连接,所述第八晶体管的第一极与所述第二电压信号端电连接,所述第八晶体管的第二极与所述第三节点电连接;

和/或,

所述第二控制子电路包括第九晶体管和第十晶体管;

所述第九晶体管的栅极与所述使能信号端电连接,所述第九晶体管的第一极与所述第一电压信号端电连接,所述第九晶体管的第二极与所述第四节点电连接;

所述第十晶体管的栅极与所述使能信号端电连接,所述第十晶体管的第一极与所述第一晶体管的第二极电连接,所述第十晶体管的第二极与所述待驱动元件电连接;

和/或,

所述电位控制子电路包括第十一晶体管、第十二晶体管、第十三晶体管、第十四晶体管、第十五晶体管和第十六晶体管;

所述第十一晶体管的栅极与所述第三节点电连接,所述第十一晶体管的第一极与所述第二电源电压信号端电连接,所述第十一晶体管的第二极与所述第十二晶体管的第一极电

连接；

所述第十二晶体管的栅极与所述第三节点电连接，所述第十二晶体管的第二极与所述第二节点电连接；

所述第十三晶体管的栅极与所述第三节点电连接，所述第十三晶体管的第一极与所述第三电源电压信号端电连接，所述第十三晶体管的第二极与所述第十四晶体管的第一极电连接；

所述第十四晶体管的栅极与所述第三节点电连接，所述第十四晶体管的第二极与所述第二节点电连接；

所述第十五晶体管的栅极与所述第二节点电连接，所述第十五晶体管的第一极与所述第三电源电压信号端电连接，所述第十五晶体管的第二极与所述第十一晶体管的第二极和所述第十二晶体管的第一极电连接；

所述第十六晶体管的栅极与所述第二节点电连接，所述第十六晶体管的第一极与所述第二电源电压信号端电连接，所述第十六晶体管的第二极与所述第十三晶体管的第二极和所述第十四晶体管的第一极电连接。

7. 根据权利要求6所述的像素驱动电路，其特征在于，所述电位控制子电路包括第十一晶体管、第十二晶体管、第十三晶体管、第十四晶体管、第十五晶体管和第十六晶体管；

在所述第二电源电压信号端提供的第二电源电压信号为高电平信号，所述第三电源电压信号端提供的第三电源电压信号为低电平信号的情况下，所述第十一晶体管、所述第十二晶体管和所述第十五晶体管均为P型晶体管，所述第十三晶体管、所述第十四晶体管和所述第十六晶体管均为N型晶体管；

或者，

在所述第二电源电压信号端提供的第二电源电压信号为低电平信号，第三电源电压信号端提供的第三电源电压信号为高电平信号的情况下，所述第十一晶体管、所述第十二晶体管和所述第十五晶体管均为N型晶体管，所述第十三晶体管、所述第十四晶体管和所述第十六晶体管均为P型晶体管。

8. 一种显示面板，其特征在于，包括如权利要求1-7任一项所述的像素驱动电路、以及待驱动元件。

9. 根据权利要求8所述的显示面板，其特征在于，所述显示面板包括多个亚像素，所述亚像素对应设置一个所述像素驱动电路；

所述显示面板还包括：多条第一扫描信号线、多条第一数据信号线、多条第二扫描信号线、及多条第二数据信号线；

同一行所述亚像素对应的各所述像素驱动电路与同一条所述第一扫描信号线及同一条所述第二扫描信号线电连接；

同一列所述亚像素对应的各所述像素驱动电路与同一条所述第一数据信号线及同一条所述第二数据信号线电连接。

10. 根据权利要求8所述的显示面板，其特征在于，所述待驱动元件为电流驱动型器件。

11. 一种显示装置，其特征在于，包括如权利要求8-10任一项所述的显示面板。

12. 一种如权利要求1-7任一项所述的像素驱动电路的驱动方法，其特征在于，所述像素驱动电路的驱动方法包括：一个帧周期包括扫描阶段和工作阶段，所述扫描阶段包括多

个行扫描时段；

在所述多个行扫描时段中的每个行扫描时段：

信号控制子电路在来自第一扫描信号端的第一扫描信号的控制下，至少写入来自第一数据信号端的第一数据信号；

时间控制子电路在来自第二扫描信号端的第二扫描信号的控制下，写入来自第二数据信号端的第二数据信号和来自第二电压信号端的第二电压信号；

在所述工作阶段：

所述信号控制子电路在来自使能信号端的使能信号的控制下，使所述信号控制子电路中的驱动晶体管根据所述第一数据信号端提供的第一数据信号和第一电源电压信号端提供的第一电源电压信号，向第一晶体管输出驱动信号；

所述时间控制子电路来自所述使能信号端的使能信号的控制下，根据第一电压信号端提供的第一电压信号、所述第二电压信号端提供的第二电压信号和所述第二数据信号端提供的第二数据信号，将来自第二电源电压信号端的第二电源电压信号或者来自第三电源电压信号端的第三电源电压信号传输至所述时间控制子电路中的第一晶体管的栅极，以通过控制所述第一晶体管来控制待驱动元件的工作时长。

13. 根据权利要求12所述的像素驱动电路的驱动方法，其特征在于，在所述信号控制子电路包括第一驱动子电路、第一数据写入子电路、以及第一控制子电路的情况下，

在所述多个行扫描时段中的每个行扫描时段，信号控制子电路在来自第一扫描信号端的第一扫描信号的控制下，至少写入来自第一数据信号端的第一数据信号，在所述工作阶段，所述信号控制子电路在来自使能信号端的使能信号的控制下，使所述信号控制子电路中的驱动晶体管根据所述第一数据信号端提供的第一数据信号和第一电源电压信号端提供的第一电源电压信号，向第一晶体管输出驱动信号，包括：

在所述多个行扫描时段中的每个行扫描时段：

所述第一数据写入子电路在来自所述第一扫描信号端的第一扫描信号的控制下，将来自所述第一数据信号端的第一数据信号和所述驱动晶体管的阈值电压写入第一节点，对所述驱动晶体管进行阈值电压补偿；

在所述工作阶段：

所述第一控制子电路在来自所述使能信号端的使能信号的控制下，使所述驱动晶体管与所述第一电源电压信号端和所述第一晶体管的第一极电连接，以使所述驱动晶体管根据所述第一数据信号端提供的第一数据信号和所述第一电源电压信号端提供的第一电源电压信号，向所述第一晶体管提供驱动信号。

14. 根据权利要求12或13所述的像素驱动电路的驱动方法，其特征在于，在所述时间控制子电路包括第二数据写入子电路、第二驱动子电路、第二控制子电路以及电位控制子电路的情况下，在所述多个行扫描时段中的每个行扫描时段，时间控制子电路在来自第二扫描信号端的第二扫描信号的控制下，写入来自第二数据信号端的第二数据信号和来自第二电压信号端的第二电压信号，在所述工作阶段，所述时间控制子电路来自所述使能信号端的使能信号的控制下，根据第一电压信号端提供的第一电压信号、所述第二电压信号端提供的第二电压信号和所述第二数据信号端提供的第二数据信号，将来自第二电源电压信号端的第二电源电压信号或者来自第三电源电压信号端的第三电源电压信号传输至所述时

间控制子电路中的第一晶体管的栅极,以通过控制所述第一晶体管来控制所述待驱动元件的工作时长,包括:

在所述多个行扫描时段中的每个行扫描时段:

所述第二数据写入子电路在来自所述第二扫描信号端的第二扫描信号的控制下,将来自所述第二数据信号端的第二数据信号写入第四节点,将来自所述第二电压信号端的第二电压信号传输至第三节点;

在所述工作阶段:

所述第二控制子电路在来自所述使能信号端的使能信号的控制下,将来自所述第一电压信号端的第一电压信号传输至所述第四节点,并将所述第一晶体管与所述待驱动元件电连接;

所述电位控制子电路在来自所述第三节点的信号的控制下,将来自所述第二电源电压信号端的第二电源电压信号传输至第二节点,或者,将来自所述第三电源电压信号端的第三电源电压信号传输至所述第二节点。

## 像素驱动电路及其驱动方法、显示面板、显示装置

### 技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种像素驱动电路及其驱动方法、显示面板、显示装置。

### 背景技术

[0002] 自发光器件,因其亮度高,色域广的特点,受到广泛关注。然而,由于自发光器件的光电转换特性(包括光电转换效率、均一性和色坐标等),会随着流过该自发光器件的电流的变化而发生改变,例如,在低电流密度下,自发光器件的发光效率会随着电流密度降低而降低。当其应用在显示面板上时,会降低显示灰阶的均一性,导致色偏,影响显示面板的显示效果。

### 发明内容

[0003] 本发明的实施例提供一种像素驱动电路及其驱动方法、显示面板、显示装置,可提高显示面板的显示效果。

[0004] 为达到上述目的,本发明的实施例采用如下技术方案:

[0005] 第一方面,提供一种像素驱动电路,包括:信号控制子电路和时间控制子电路;所述信号控制子电路包括驱动晶体管;所述时间控制子电路包括第一晶体管;所述信号控制子电路至少与第一扫描信号端、第一数据信号端、第一电源电压信号端、使能信号端、以及所述时间控制子电路的所述第一晶体管电连接;所述信号控制子电路被配置为在来自所述第一扫描信号端的第一扫描信号和来自所述使能信号端的使能信号的控制下,使所述驱动晶体管根据所述第一数据信号端提供的第一数据信号和所述第一电源电压信号端提供的第一电源电压信号,向所述第一晶体管输出驱动信号;所述时间控制子电路还与第二扫描信号端、第二数据信号端、使能信号端、第一电压信号端、第二电压信号端、第二电源电压信号端、第三电源电压信号端以及待驱动元件电连接;所述时间控制子电路被配置为在来自所述第二扫描信号端的第二扫描信号和来自所述使能信号端的使能信号的控制下,根据所述第一电压信号端提供的第一电压信号、所述第二电压信号端提供的第二电压信号和所述第二数据信号端提供的第二数据信号,将来自所述第二电源电压信号端的第二电源电压信号或者来自所述第三电源电压信号端的第三电源电压信号传输至所述第一晶体管的栅极,以通过控制所述第一晶体管来控制所述待驱动元件的工作时长。

[0006] 可选的,所述信号控制子电路包括第一驱动子电路、第一数据写入子电路、以及第一控制子电路;所述第一驱动子电路包括所述驱动晶体管和第一电容;所述第一电容的第一极与所述第一电源电压信号端电连接,所述第一电容的第二极与第一节点电连接;所述驱动晶体管的栅极与所述第一节点电连接;所述第一数据写入子电路与所述第一扫描信号端、所述第一数据信号端、以及所述第一驱动子电路电连接;所述第一数据写入子电路被配置为在来自所述第一扫描信号端的第一扫描信号的控制下,将来自所述第一数据信号端的第一数据信号和所述驱动晶体管的阈值电压写入所述第一节点,对所述驱动晶体管进行阈

值电压补偿;所述第一控制子电路与所述使能信号端、所述第一电源电压信号端、所述第一驱动子电路、以及所述第一晶体管的第一极电连接;所述第一控制子电路被配置为在来自所述使能信号端的使能信号的控制下,使所述驱动晶体管与所述第一电源电压信号端和所述第一晶体管的第一极电连接,以使所述驱动晶体管根据所述第一数据信号端提供的第一数据信号和所述第一电源电压信号端提供的第一电压信号,向所述第一晶体管输出所述驱动信号。

[0007] 可选的,所述信号控制子电路还包括第一复位子电路;所述第一复位子电路与第一初始信号端、第一复位信号端以及所述第一节点电连接;所述第一复位子电路被配置为在来自所述第一复位信号端的第一复位信号的控制下,将来自所述第一初始信号端的第一初始信号传输至所述第一节点,对所述第一节点进行复位。

[0008] 可选的,所述时间控制子电路包括第二数据写入子电路、第二驱动子电路、第二控制子电路以及电位控制子电路;所述第二驱动子电路包括所述第一晶体管和所述第二电容;所述第一晶体管的栅极与第二节点电连接,所述第二电容的第一极与第三节点电连接,所述第二电容的第二极与第四节点电连接;所述第二数据写入子电路与所述第二扫描信号端、所述第二数据信号端、所述第二电压信号端、所述第三节点和所述第四节点电连接;所述第二数据写入子电路被配置为在来自所述第二扫描信号端的第二扫描信号的控制下,将来自所述第二数据信号端的第二数据信号写入所述第四节点,将来自所述第二电压信号端的第二电压信号传输至所述第三节点;所述第二控制子电路与所述使能信号端、所述第一电压信号端、所述第二驱动子电路、以及所述待驱动元件电连接;所述第二控制子电路被配置为在来自所述使能信号端的使能信号的控制下,将来自所述第一电压信号端的第一电压信号传输至所述第四节点,并将所述第一晶体管与所述待驱动元件电连接;所述电位控制子电路与所述第二节点、所述第三节点、所述第二电源电压信号端、以及所述第三电源电压信号端电连接;所述电位控制子电路被配置为在来自所述第三节点的信号的控制下,将来自所述第二电源电压信号端的第二电源电压信号传输至所述第二节点,或者,将来自所述第三电源电压信号端的第三电源电压信号传输至所述第二节点。

[0009] 可选的,所述第一数据写入子电路包括第二晶体管和第三晶体管;所述第二晶体管的栅极与所述第一扫描信号端电连接,所述第二晶体管的第一极与所述驱动晶体的第二极电连接,所述第二晶体的第二极与所述第一节点电连接;所述第三晶体管的栅极与所述第一扫描信号端电连接,所述第三晶体管的第一极与所述第一数据信号端电连接,所述第三晶体的第二极与所述驱动晶体的第一极电连接。

[0010] 可选的,所述第一控制子电路包括第四晶体管和第五晶体管;所述第四晶体管的栅极与所述使能信号端电连接,所述第四晶体管的第一极与所述第一电源电压信号端电连接,所述第四晶体的第二极与所述驱动晶体的第一极电连接;所述第五晶体管的栅极与所述使能信号端电连接,所述第五晶体管的第一极与所述驱动晶体的第二极电连接,所述第五晶体的第二极与所述第一晶体管的第一极电连接。

[0011] 可选的,所述第一复位子电路包括第六晶体管;所述第六晶体管的栅极与所述第一复位信号端电连接,所述第六晶体管的第一极与所述第一初始信号端电连接,所述第六晶体的第二极与所述第一节点电连接。

[0012] 可选的,所述第二数据写入子电路包括第七晶体管和第八晶体管;所述第七晶体



管的栅极与所述第二扫描信号端电连接,所述第七晶体管的第一极与所述第二数据信号端电连接,所述第七晶体管的第二极与所述第四节点电连接;所述第八晶体管的栅极与所述第二扫描信号端电连接,所述第八晶体管的第一极与所述第二电压信号端电连接,所述第八晶体管的第二极与所述第三节点电连接。

[0013] 可选的,所述第二控制子电路包括第九晶体管和第十晶体管;所述第九晶体管的栅极与所述使能信号端电连接,所述第九晶体管的第一极与所述第一电压信号端电连接,所述第九晶体管的第二极与所述第四节点电连接;所述第十晶体管的栅极与所述使能信号端电连接,所述第十晶体管的第一极与所述第一晶体管的第二极电连接,所述第十晶体管的第二极与所述待驱动元件电连接。

[0014] 可选的,所述电位控制子电路包括第十一晶体管、第十二晶体管、第十三晶体管、第十四晶体管、第十五晶体管和第十六晶体管;所述第十一晶体管的栅极与所述第三节点电连接,所述第十一晶体管的第一极与所述第二电源电压信号端电连接,所述第十一晶体管的第二极与所述第十二晶体管的第一极电连接;所述第十二晶体管的栅极与所述第三节点电连接,所述第十二晶体管的第二极与所述第二节点电连接;所述第十三晶体管的栅极与所述第三节点电连接,所述第十三晶体管的第一极与所述第三电源电压信号端电连接,所述第十三晶体管的第二极与所述第十四晶体管的第一极电连接;所述第十四晶体管的栅极与所述第三节点电连接,所述第十四晶体管的第二极与所述第二节点电连接;所述第十五晶体管的栅极与所述第二节点电连接,所述第十五晶体管的第一极与所述第三电源电压信号端电连接,所述第十五晶体管的第二极与所述第十一晶体管的第二极和所述第十二晶体管的第一极电连接;所述第十六晶体管的栅极与所述第二节点电连接,所述第十六晶体管的第一极与所述第二电源电压信号端电连接,所述第十六晶体管的第二极与所述第十三晶体管的第二极和所述第十四晶体管的第一极电连接。

[0015] 可选的,所述电位控制子电路包括第十一晶体管、第十二晶体管、第十三晶体管、第十四晶体管、第十五晶体管和第十六晶体管;在所述第二电源电压信号端提供的第二电源电压信号为高电平信号,所述第三电源电压信号端提供的第三电源电压信号为低电平信号的情况下,所述第十一晶体管、所述第十二晶体管和所述第十五晶体管均为P型晶体管,所述第十三晶体管、所述第十四晶体管和所述第十六晶体管均为N型晶体管;或者,在所述第二电源电压信号端提供的第二电源电压信号为低电平信号,第三电源电压信号端提供的第三电源电压信号为高电平信号的情况下,所述第十一晶体管、所述第十二晶体管和所述第十五晶体管均为N型晶体管,所述第十三晶体管、所述第十四晶体管和所述第十六晶体管均为P型晶体管。

[0016] 第二方面,提供一种显示面板,包括上述的像素驱动电路、以及待驱动元件。

[0017] 可选的,所述显示面板包括多个亚像素,所述亚像素对应设置一个所述像素驱动电路;所述显示面板还包括:多条第一扫描信号线、多条第一数据信号线、多条第二扫描信号线、及多条第二数据信号线;同一行所述亚像素对应的各所述像素驱动电路与同一条所述第一扫描信号线及同一条所述第二扫描信号线电连接;同一列所述亚像素对应的各所述像素驱动电路与同一条所述第一数据信号线及同一条所述第二数据信号线电连接。

[0018] 可选的,所述待驱动元件为电流驱动型器件。

[0019] 第三方面,提供一种显示装置,包括上述的显示面板。

[0020] 第四方面,提供一种如上述的像素驱动电路的驱动方法,所述像素驱动电路的驱动方法包括:一个帧周期包括扫描阶段和工作阶段,所述扫描阶段包括多个行扫描时段;在所述多个行扫描时段中的每个行扫描时段:信号控制子电路在来自第一扫描信号端的第一扫描信号的控制下,至少写入来自第一数据信号端的第一数据信号;时间控制子电路在来自第二扫描信号端的第二扫描信号的控制下,写入来自第二数据信号端的第二数据信号和来自第二电压信号端的第二电压信号;在所述工作阶段:所述信号控制子电路在来自使能信号端的使能信号的控制下,使所述信号控制子电路中的驱动晶体管根据所述第一数据信号端提供的第一数据信号和第一电源电压信号端提供的第一电源电压信号,向第一晶体管输出驱动信号;所述时间控制子电路来自所述使能信号端的使能信号的控制下,根据第一电压信号端提供的第一电压信号、所述第二电压信号端提供的第二电压信号和所述第二数据信号端提供的第二数据信号,将来自第二电源电压信号端的第二电源电压信号或者来自第三电源电压信号端的第三电源电压信号传输至所述时间控制子电路中的第一晶体管的栅极,以通过控制所述第一晶体管来控制待驱动元件的工作时长。

[0021] 可选的,在所述信号控制子电路包括第一驱动子电路、第一数据写入子电路、以及第一控制子电路的情况下,在所述多个行扫描时段中的每个行扫描时段,信号控制子电路在来自第一扫描信号端的第一扫描信号的控制下,至少写入来自第一数据信号端的第一数据信号,在所述工作阶段,所述信号控制子电路在来自使能信号端的使能信号的控制下,使所述信号控制子电路中的驱动晶体管根据所述第一数据信号端提供的第一数据信号和第一电源电压信号端提供的第一电源电压信号,向第一晶体管输出驱动信号,包括:在所述多个行扫描时段中的每个行扫描时段:所述第一数据写入子电路在来自所述第一扫描信号端的第一扫描信号的控制下,将来自所述第一数据信号端的第一数据信号和所述驱动晶体管的阈值电压写入第一节点,对所述驱动晶体管进行阈值电压补偿;在所述工作阶段:所述第一控制子电路在来自所述使能信号端的使能信号的控制下,使所述驱动晶体管与所述第一电源电压信号端和所述第一晶体管的第一极电连接,以使所述驱动晶体管根据所述第一数据信号端提供的第一数据信号和所述第一电源电压信号端提供的第一电源电压信号,向所述第一晶体管提供驱动信号。

[0022] 可选的,在所述时间控制子电路包括第二数据写入子电路、第二驱动子电路、第二控制子电路以及电位控制子电路的情况下,在所述多个行扫描时段中的每个行扫描时段,时间控制子电路在来自第二扫描信号端的第二扫描信号的控制下,写入来自第二数据信号端的第二数据信号和来自第二电压信号端的第二电压信号,在所述工作阶段,所述时间控制子电路来自所述使能信号端的使能信号的控制下,根据第一电压信号端提供的第一电压信号、所述第二电压信号端提供的第二电压信号和所述第二数据信号端提供的第二数据信号,将来自第二电源电压信号端的第二电源电压信号或者来自第三电源电压信号端的第三电源电压信号传输至所述时间控制子电路中的第一晶体管的栅极,以通过控制所述第一晶体管来控制所述待驱动元件的工作时长,包括:在所述多个行扫描时段中的每个行扫描时段:所述第二数据写入子电路在来自所述第二扫描信号端的第二扫描信号的控制下,将来自所述第二数据信号端的第二数据信号写入第四节点,将来自所述第二电压信号端的第二电压信号传输至第三节点;在所述工作阶段:所述第二控制子电路在来自所述使能信号端的使能信号的控制下,将来自所述第一电压信号端的第一电压信号传输至所述第四节点,

并将所述第一晶体管与所述待驱动元件电连接；所述电位控制子电路在来自所述第三节点的信号的控制下，将来自所述第二电源电压信号端的第二电源电压信号传输至第二节点，或者，将来自所述第三电源电压信号端的第三电源电压信号传输至所述第二节点。

[0023] 本发明实施例提供一种像素驱动电路及其驱动方法、显示面板、显示装置，该像素驱动电路包括信号控制子电路和时间控制子电路，信号控制子电路包括驱动晶体管，时间控制子电路包括第一晶体管。信号控制子电路至少与第一扫描信号端、第一数据信号端、第一电源电压信号端、使能信号端、以及时间控制子电路的第一晶体管电连接。时间控制子电路还与第二扫描信号端、第二数据信号端、使能信号端、第一电压信号端、第二电压信号端、第二电源电压信号端、第三电源电压信号端以及待驱动元件电连接。信号控制子电路用于在来自第一扫描信号端的第一扫描信号和来自使能信号端的使能信号的控制下，使驱动晶体管根据第一数据信号端提供的第一数据信号和第一电源电压信号端提供的第一电源电压信号，向第一晶体管输出驱动信号。时间控制子电路用于在来自第二扫描信号端的第二扫描信号和来自使能信号端的使能信号的控制下，根据第一电压信号端提供的第一电压信号、第二电压信号端提供的第二电压信号和第二数据信号端提供的第二数据信号，将来自第二电源电压信号端的第二电源电压信号或者来自第三电源电压信号端的第三电源电压信号传输至第一晶体管的栅极，以通过控制第一晶体管来控制待驱动元件的工作时长。在此基础上，可以通过信号控制子电路控制驱动信号的幅值，通过时间控制子电路控制该驱动信号传输至待驱动元件的时长，实现对待驱动元件的驱动信号的幅值以及工作长时的控制，进而实现对待驱动元件的控制。并且，通过第二电源电压信号和第三电源电压信号可以准确控制第一晶体管的开启或关闭，提高了对待驱动元件的工作时长控制的精确性，避免了因第一晶体管处于不完全导通或者不完全截止状态，影响控制待驱动元件的发光时长准确度，导致的灰阶均一性降低，显示面板色偏的问题，从而提高了显示面板的显示效果。

## 附图说明

[0024] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0025] 图1为本发明实施例提供的一种显示面板的结构示意图；

[0026] 图2为本发明实施例提供的一种亚像素的结构示意图；

[0027] 图3为本发明实施例提供的一种像素驱动电路的结构示意图；

[0028] 图4为本发明实施例提供的另一种像素驱动电路的结构示意图；

[0029] 图5为图4中的像素驱动电路的具体结构示意图；

[0030] 图6为一种用于驱动如图5所示的像素驱动电路的信号时序图；

[0031] 图7为另一种用于驱动如图5所示的像素驱动电路的信号时序图；

[0032] 图8为现有技术提供的一种像素驱动电路的结构示意图；

[0033] 图9为本发明实施例提供的一种像素驱动电路的仿真测试图；

[0034] 图10为本发明实施例提供的另一种像素驱动电路的仿真测试图；

[0035] 图11为本发明实施例提供的又一种像素驱动电路的仿真测试图。

## 具体实施方式

[0036] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0037] 本发明实施例提供一种显示装置,包括显示面板。如图1所示,显示面板上包括多个亚像素P。

[0038] 需要说明的是,图1中以上述多个亚像素P呈n行m列的阵列形式排列为例进行示意,但本发明实施例不限于此,上述多个亚像素P还可以以其他方式进行排布。

[0039] 该显示面板还包括像素驱动电路和待驱动元件L。如图2所示,在显示面板的亚像素P中,对应设置一个待驱动元件L和与其电连接的一个像素驱动电路,该像素驱动电路用于驱动待驱动元件L工作。其中,该待驱动元件L还与第四电源电压信号端S4电连接。

[0040] 可选的,待驱动元件L为电流驱动型器件,如微型发光二极管(Micro Light Emitting Diode, Micro LED)或者迷你发光二极管(Mini Light Emitting Diode, Mini LED)或者有机电致发光二极管(Organic Light Emitting Diode, OLED)。

[0041] 在这种情况下,文中所述的工作时长可以被理解为待驱动元件L的发光时长。并且,当第四电源电压信号端S4提供的第四电源电压信号为低电平信号时,待驱动元件L的阴极与第四电源电压信号端S4电连接,待驱动元件L的阳极与像素驱动电路电连接。

[0042] 在此基础上,显示面板还包括:多条第一扫描信号线G1(1)~G1(n)、多条第一数据信号线D1(1)~D1(m)、多条第二扫描信号线G2(1)~G2(n)、多条第二数据信号线D2(1)~D2(m)、以及多条使能信号线E(1)~E(n)。

[0043] 可以理解的是,同一行亚像素P对应的各像素驱动电路与同一条第一扫描信号线、同一条第二扫描信号线、以及同一条使能信号线电连接。同一列亚像素对应的各像素驱动电路与同一条第一数据信号线、同一条第二数据信号线电连接。示例的,如图1所示,第一行亚像素对应的像素驱动电路与第一扫描信号线G1(1)、第二扫描信号线G2(1),以及使能信号线E(1)电连接,第一列亚像素对应的像素驱动电路与第一数据信号线D1(1)、以及第二数据信号线D2(1)电连接。

[0044] 并且,显示面板还包括多条第一电源电压信号线L<sub>S1</sub>。

[0045] 需要说明的是,本领域技术人员可以根据显示面板的空间结构,设置第一电源电压信号线L<sub>S1</sub>与亚像素对应的各像素驱动电路的连接方式。例如,如图1所示,同一列亚像素对应的各像素驱动电路可以与同一条第一电源电压信号线电连接。

[0046] 在此情况下,多条第一扫描信号线为第一扫描信号端Gate1提供第一扫描信号,多条第二扫描信号线为第二扫描信号端Gate2提供第二扫描信号,多条使能信号线为使能信号端EM提供使能信号,多条第一数据信号线为第一数据信号端Data1提供第一数据信号,多条第二数据信号线为第二数据信号端Data2提供第二数据信号,多条第一电源电压信号线为第一电源电压信号端S1提供第一电源电压信号,从而为像素驱动电路提供第一扫描信号、第二扫描信号、使能信号、第一数据信号、第二数据信号、以及第一电源电压信号。

[0047] 需要说明的是,以上所述的显示面板所包括的多条信号线的排布,以及图1示出的显示面板的布线图仅是一种示例,并不构成对显示面板的结构限制。

[0048] 此外,显示面板还可以包括多条第四电源电压信号线,同一列亚像素P对应的各待驱动元件L与同一条第四电源电压信号线电连接(图1中未示出),多条第四电源电压信号线为第四电源电压信号端S4提供第四电源电压信号,从而为与第四电源电压信号端S4电连接的待驱动元件L提供第四电源电压信号。

[0049] 在上述的基础上,本发明实施例提供一种像素驱动电路,如图3所示,包括:信号控制子电路10和时间控制子电路20。

[0050] 其中,信号控制子电路10包括驱动晶体管Td,时间控制子电路包括第一晶体管T1。

[0051] 信号控制子电路10至少与第一扫描信号端Gate1、第一数据信号端Data1、第一电源电压信号端S1、使能信号端EM、以及时间控制子电路20的第一晶体管T1电连接。

[0052] 时间控制子电路还与第二扫描信号端Gate2、第二数据信号端Data2、使能信号端EM、第一电压信号端V1、第二电压信号端V2、第二电源电压信号端S2、第三电源电压信号端S3以及待驱动元件L电连接。

[0053] 在此基础上,信号控制子电路10用于在来自第一扫描信号端Gate1的第一扫描信号和来自使能信号端EM的使能信号的控制系,使驱动晶体管Td根据第一数据信号端Data1提供的第一数据信号和第一电源电压信号端S1提供的第一电源电压信号,向第一晶体管T1输出驱动信号。

[0054] 时间控制子电路20用于在来自第二扫描信号端Gate2的第二扫描信号和来自使能信号端EM的使能信号的控制下,根据第一电压信号端V1提供的第一电压信号、第二电压信号端V2提供的第二电压信号和第二数据信号端Data2提供的第二数据信号,将来自第二电源电压信号端S2的第二电源电压信号或者来自第三电源电压信号端S3的第三电源电压信号传输至第一晶体管T1的栅极,以通过控制第一晶体管T1来控制待驱动元件L的工作时长。

[0055] 需要说明的是,第二电源电压信号和第三电源电压信号均为固定电平信号。并且,在第二电源电压信号为高电平信号时,第三电源电压信号为低电平信号,或者,在第二电源电压信号为低电平信号时,第三电源电压信号为高电平信号。

[0056] 在此情况下,如图1所示,显示面板还包括多条第一电压信号线 $L_{V1}$ 、多条第二电压信号线 $L_{V2}$ 、多条第二电源电压信号线 $L_{S2}$ 、以及多条第三电源电压信号线 $L_{S3}$ 。

[0057] 需要说明的是,本领域技术人员可以根据显示面板的空间结构,设置第一电压信号线 $L_{V1}$ 、第二电压信号线 $L_{V2}$ 、第二电源电压信号线 $L_{S2}$ 、以及第三电源电压信号线 $L_{S3}$ 与亚像素对应的各像素驱动电路的连接方式。例如,如图1所示,同一列亚像素P对应的各像素驱动电路可以与同一条第一电压信号线 $L_{V1}$ 、同一条第二电压信号线 $L_{V2}$ 、同一条第二电源电压信号线 $L_{S2}$ 、以及第三电源电压信号线 $L_{S3}$ 电连接。在此情况下,多条第一电压信号线 $L_{V1}$ 为第一电压信号端V1提供第一电压信号,多条第二电压信号线 $L_{V2}$ 为第一电压信号端V2提供第二电压信号,多条第二电源电压信号线 $L_{S2}$ 为第二电源电压信号端S2提供第二电源电压信号,多条第三电源电压信号线 $L_{S3}$ 为第三电源电压信号端S3提供第三电源电压信号。

[0058] 可以理解的是,信号控制子电路10可以通过控制第一数据信号端Data1提供的第一数据信号的大小,从而控制传输至待驱动元件L的驱动信号的幅值。时间控制子电路20通过第一电压信号端V1提供的第一电压信号、第二电压信号端V2提供的第二电压信号和第二数据信号端Data2提供的第二数据信号,控制来自第二电源电压信号端S2的第二电源电压信号或者来自第三电源电压信号端S3的第三电源电压信号传输至第一晶体管T1的栅极的

时间,以控制第一晶体管T1的导通或者截止。在第一晶体管T1导通时,驱动信号可以通过第一晶体管T1传输至待驱动元件L,使得待驱动元件L工作。因此,可以通过控制第二电源电压信号或者第三电源电压信号传输至第一晶体管T1的栅极的时间,来控制第一晶体管T1的导通时间,从而控制待驱动元件L的工作时长。并且,由于第二电源电压信号和第三电源电压信号均为固定电平信号,使得第一晶体管T1的栅极的电位保持在高电平或者低电平,可以控制第一晶体管T1处于完全开启或者完全关闭的状态,从而实现对待驱动元件L的工作时长的精确控制,实现对应的灰阶显示。这样,可以避免在较高值的驱动信号下进行灰阶显示的过程中,当第一晶体管T1处于不完全开启或者不完全关闭的状态时,待驱动元件L会在较低值的驱动信号下工作,导致灰阶显示的均一性下降,出现色偏。

[0059] 在此基础上,在待驱动元件L进行不同灰阶的显示时,通过控制待驱动元件L的驱动信号幅值以及发光时长,实现改变待驱动元件L的发光强度,进而实现对应的灰阶显示。并且,通过缩短待驱动元件L的发光时长实现低灰阶显示,可以使驱动电流的幅值维持在较高值范围内或者保持在较大的固定幅值,提高待驱动元件L的发光效率,避免小电流幅值实现低灰阶显示的情况下待驱动元件L发光效率较低、功耗较高的问题,从而提高显示面板的显示效果。

[0060] 可以理解的是,第一数据信号端Data1提供的第一数据信号可以为使待驱动元件L能够具有较高的发光效率的固定高电平信号,在此情况下,像素驱动电路主要通过时间控制子电路20来控制灰阶。或者,第一数据信号的电位可以在一定的电压区间范围内变化,在该电压区间范围内的第一数据信号能够保证待驱动元件L具有较高的发光效率,在此情况下,像素驱动电路通过信号控制子电路10和时间控制子电路20的共同控制灰阶。

[0061] 综上,本发明实施例提供一种像素驱动电路,该像素驱动电路包括信号控制子电路10和时间控制子电路20,信号控制子电路10包括驱动晶体管Td,时间控制子电路包括第一晶体管T1。信号控制子电路10至少与第一扫描信号端Gate1、第一数据信号端Data1、第一电源电压信号端S1、使能信号端EM、以及时间控制子电路20的第一晶体管T1电连接。时间控制子电路还与第二扫描信号端Gate2、第二数据信号端Data2、使能信号端EM、第一电压信号端V1、第二电压信号端V2、第二电源电压信号端S2、第三电源电压信号端S3以及待驱动元件L电连接。信号控制子电路10用于在来自第一扫描信号端Gate1的第一扫描信号和来自使能信号端EM的使能信号的控制系,使驱动晶体管Td根据第一数据信号端Data1提供的第一数据信号和第一电源电压信号端S1提供的第一电源电压信号,向第一晶体管T1输出驱动信号。时间控制子电路20用于在来自第二扫描信号端Gate2的第二扫描信号和来自使能信号端EM的使能信号的控制下,根据第一电压信号端V1提供的第一电压信号、第二电压信号端V2提供的第二电压信号和第二数据信号端Data2提供的第二数据信号,将来自第二电源电压信号端S2的第二电源电压信号或者来自第三电源电压信号端S3的第三电源电压信号传输至第一晶体管T1的栅极,以通过控制第一晶体管T1来控制待驱动元件L的工作时长。

[0062] 在此基础上,可以通过信号控制子电路10控制驱动信号的幅值,通过时间控制子电路20控制该驱动信号传输至待驱动元件L的时长,实现对待驱动元件L的驱动信号的幅值以及工作时长的控制,进而实现对待驱动元件L的控制,在待驱动元件L为自发光器件且在进行不同灰阶的显示时,通过控制待驱动元件L的驱动信号幅值以及发光时长,实现改变待驱动元件L的发光强度,进而实现对应的灰阶显示,实现较大的对比度,从而提高显示面板

的显示效果。并且,通过第二电源电压信号和第三电源电压信号可以准确控制第一晶体管T1的开启或关闭,提高了对待驱动元件L的工作时长控制的精确性,避免了在较高值的驱动信号下进行灰阶显示的过程中,因第一晶体管T1处于不完全开启或者不完全关闭状态,使得原本应该完全开启或者完全关闭的待驱动元件L会在较低值的驱动信号下工作,导致灰阶均一性降低,显示面板色偏的问题。

[0063] 在本发明的一些实施例中,如图4所示,信号控制子电路10包括第一驱动子电路101、第一数据写入子电路102、以及第一控制子电路103。

[0064] 第一驱动子电路101包括驱动晶体管Td和第一电容C1。

[0065] 第一电容C1的第一极与第一电源电压信号端S1电连接,第一电容C1的第二极与第一节点A电连接。驱动晶体管Td的栅极与第一节点A电连接。

[0066] 第一数据写入子电路102与第一扫描信号端Gate1、第一数据信号端Data1、以及第一驱动子电路101电连接。

[0067] 第一控制子电路103与使能信号端EM、第一电源电压信号端S1、第一驱动子电路101、以及第一晶体管T1的第一极电连接。

[0068] 其中,第一数据写入子电路102用于在来自第一扫描信号端Gate1的第一扫描信号的控制下,将来自第一数据信号端Data1的第一数据信号和驱动晶体管Td的阈值电压写入第一节点A,对驱动晶体管Td进行阈值电压补偿。

[0069] 第一控制子电路103用于在来自使能信号端EM的使能信号的控制下,使驱动晶体管Td与第一电源电压信号端S1和第一晶体管T1的第一极电连接,以使驱动晶体管Td根据第一数据信号端Data1提供的第一数据信号和第一电源电压信号端S1提供的第一电压信号,向第一晶体管T1输出驱动信号。

[0070] 在此基础上,通过第一数据写入子电路102来自第一数据信号端Data1的第一数据信号和驱动晶体管Td的阈值电压写入第一节点A,对驱动晶体管Td进行阈值电压补偿,并通过驱动晶体管Td使得第一电源电压信号端S1和第一晶体管T1的第一极电连接,使得驱动晶体管Td可以根据第一数据信号和第一电源电压信号,向第一晶体管T1输出驱动信号。

[0071] 在此情况下,传输至第一晶体管T1的驱动信号与第一电源电压信号端S1提供的第一电源电压信号和第一数据信号端Data1的第一数据信号有关,与驱动晶体管Td的阈值电压无关,从而实现了第一驱动子电路101中的驱动晶体管Td的阈值电压补偿,可以消除驱动晶体管Td的阈值电压对待驱动元件L的影响。在待驱动元件L发光时,显示面板亮度的均匀性得到提升。

[0072] 在此基础上,在本发明的一些实施例中,如图4所示,信号控制子电路10还包括第一复位子电路104。

[0073] 第一复位子电路104与第一初始信号端Init1、第一复位信号端Reset1以及第一节点A电连接。

[0074] 第一复位子电路104用于在来自第一复位信号端Reset1的第一复位信号的控制下,将来自第一初始信号端Init1的第一初始信号传输至第一节点A,对第一节点A进行复位。

[0075] 在此情况下,如图1所示,显示面板还包括多条第一复位信号线R1(1)~R1(n)、以及多条第一初始信号线(图1中未示出)。其中,同一行亚像素P对应的各像素驱动电路与同

一条第一复位信号线电连接,同一列亚像素P对应的各像素驱动电路与同一条第一初始信号线电连接。多条第一复位信号线为第一复位信号端Reset1提供第一复位信号,多条第一初始信号线为第一初始信号端Init1提供第一初始信号。

[0076] 可以理解的是,由于第一电容C1的第二极和驱动晶体管Td的栅极均与第一节点A电连接,因此,在第一复位子电路104对第一节点A进行复位的同时,第一电容C1的第二极和驱动晶体管Td的栅极也均被复位,从而实现了第一驱动子电路101的降噪。

[0077] 在此基础上,在本发明的一些实施例中,如图4所示,时间控制子电路20包括第二数据写入子电路202、第二驱动子电路201、第二控制子电路203以及电位控制子电路204。

[0078] 第二驱动子电路201包括第一晶体管T1和第二电容C2。第一晶体管T1的栅极与第二节点B电连接,第二电容C2的第一极与第三节点M电连接,第二电容C2的第二极与第四节点N电连接。

[0079] 第二数据写入子电路202与第二扫描信号端Gate2、第二数据信号端Data2、第二电压信号端V2、第三节点M和第四节点N电连接。

[0080] 第二控制子电路203与使能信号端EM、第一电压信号端V1、第二驱动子电路201、以及待驱动元件L电连接。

[0081] 电位控制子电路204与第二节点B、第三节点M、第二电源电压信号端S2、以及第三电源电压信号端S3电连接。

[0082] 其中,第二数据写入子电路202用于在来自第二扫描信号端Gate2的第二扫描信号的控制下,将来自第二数据信号端Data2的第二数据信号写入第四节点N,将来自第二电压信号端V2的第二电压信号传输至第三节点M。

[0083] 第二控制子电路203用于在来自使能信号端EM的使能信号的控制下,将来自第一电压信号端V1的第一电压信号传输至第四节点N,并将第一晶体管T1与待驱动元件L电连接。

[0084] 电位控制子电路204用于在来自第三节点M的信号的控制下,将来自第二电源电压信号端S2的第二电源电压信号传输至第二节点B,或者,将来自第三电源电压信号端S3的第三电源电压信号传输至第二节点B。

[0085] 其中,第一电压信号的电位在设定电压范围内随时间发生变化,且该设定电压范围与相应的待驱动元件L的工作时长相关。每个像素驱动电路被写入的第一电压信号端V1所具有的在设定电压范围内变化的第一电压信号的电位与该像素驱动电路所驱动的待驱动元件L需要的工作时长相关。当待驱动元件L用于进行灰阶显示时,可以通过改变在设定电压范围内变化的第一电压信号的电位,控制电位控制子电路204将第二电源电压信号端S2提供的第二电源电压信号或者第三电源电压信号端S3提供的第三电源电压信号传输至第一晶体管T1的栅极的时间,以控制第一晶体管T1的开启时间,从而实现对待驱动元件L的发光时长的控制,实现对亚像素的灰阶的控制。

[0086] 可以理解的是,第二数据写入子电路202将来自第二数据信号端Data2的第二数据信号写入第四节点N,使得第四节点N的电位、第二电容C2的第二极的电位均为第二数据信号的电位V<sub>data2</sub>。并且,将来自第二电压信号端V2的第二电压信号传输至第三节点M,使得第三节点M的电位和第二电容C2的第一极的电位均为第二电压信号的电位V<sub>2</sub>。

[0087] 在此基础上,第二控制子电路203将来自第一电压信号端V1的第一电压信号传输



至第四节点N,使得第四节点N的电位变为第一电压信号的电位 $V_1$ 。由于第一电压信号的电位 $V_1$ 在设定电压范围内变化,且第二电容C2的两极的电位差不会突变,因此,第三节点M的电位会随着第一电压信号的电位变化。

[0088] 在此情况下,当第三节点M的电位变化到某一特定值时,可以使得电位控制子电路204开启,将来自第二电源电压信号端S2的第二电源电压信号传输至第二节点B,或者,将来自第三电源电压信号端S3的第三电源电压信号传输至第二节点B,使得与第二节点B电连接第一晶体管T1的栅极电位为第二电源电压信号的电位或者第三电源电压信号的电位。在此基础上,通过第二电源电压信号或者第三电源电压信号控制第一晶体管T1的开启时间,在第一晶体管T1开启时可以将驱动信号传输至待驱动元件L,驱动待驱动元件L工作,从而实现对待驱动元件L的工作时长的控制。

[0089] 具体地,在本发明的一些实施例中,如图5所示,第一数据写入子电路102包括第二晶体管T2和第三晶体管T3。

[0090] 第二晶体管T2的栅极与第一扫描信号端Gate1电连接,第二晶体管T2的第一极与驱动晶体管Td的第二极电连接,第二晶体管T2的第二极与第一节点A电连接。

[0091] 第三晶体管T3的栅极与第一扫描信号端Gate1电连接,第三晶体管的第一极与第一数据信号端Data1电连接,第三晶体管T3的第二极与驱动晶体管Td的第一极电连接。

[0092] 在本发明的一些实施例中,如图5所示,第一控制子电路103包括第四晶体管T4和第五晶体管T5。

[0093] 第四晶体管T4的栅极与使能信号端EM电连接,第四晶体管T4的第一极与第一电源电压信号端S1电连接,第四晶体管T4的第二极与驱动晶体管Td的第一极电连接。

[0094] 第五晶体管T5的栅极与使能信号端EM电连接,第五晶体管T5的第一极与驱动晶体管Td的第二极电连接,第五晶体管T5的第二极与第一晶体管T1的第一极电连接。

[0095] 在本发明的一些实施例中,如图5所示,第一复位子电路104包括第六晶体管T6。

[0096] 第六晶体管T6的栅极与第一复位信号端Reset1电连接,第六晶体管T6的第一极与第一初始信号端Init1电连接,第六晶体管T6的第二极与第一节点A电连接。

[0097] 在本发明的一些实施例中,如图5所示,第二数据写入子电路202包括第七晶体管T7和第八晶体管T8。

[0098] 第七晶体管T7的栅极与第二扫描信号端Gate2电连接,第七晶体管T7的第一极与第二数据信号端Data2电连接,第七晶体管T7的第二极与第四节点N电连接。

[0099] 第八晶体管T8的栅极与第二扫描信号端Gate2电连接,第八晶体管T8的第一极与第二电压信号端V2电连接,第八晶体管T8的第二极与第三节点M电连接。

[0100] 在本发明的一些实施例中,如图5所示,第二控制子电路203包括第九晶体管T9和第十晶体管T10。

[0101] 第九晶体管T9的栅极与使能信号端EM电连接,第九晶体管T9的第一极与第一电压信号端V1电连接,第九晶体管T9的第二极与第四节点N电连接。

[0102] 第十晶体管T10的栅极与使能信号端EM电连接,第十晶体管T10的第一极与第一晶体管T1的第二极电连接,第十晶体管T10的第二极与待驱动元件L电连接。

[0103] 在本发明的一些实施例中,如图5所示,电位控制子电路204包括第十一晶体管T11、第十二晶体管T12、第十三晶体管T13、第十四晶体管T14、第十五晶体管T15和第十六晶

体管T16。

[0104] 第十一晶体管T11的栅极与第三节点M电连接,第十一晶体管T11的第一极与第二电源电压信号端S2电连接,第十一晶体管T11的第二极与第十二晶体管T12的第一极电连接。

[0105] 第十二晶体管T12的栅极与第三节点M电连接,第十二晶体管T12的第二极与第二节点B电连接。

[0106] 第十三晶体管T13的栅极与第三节点M电连接,第十三晶体管T13的第一极与第三电源电压信号端S3电连接,第十三晶体管T13的第二极与第十四晶体管T14的第一极电连接。

[0107] 第十四晶体管T14的栅极与第三节点M点链接,第十四晶体管T14的第二极与第二节点B电连接。

[0108] 第十五晶体管T15的栅极与第二节点B电连接,第十五晶体管T15的第一极与第三电源电压信号端S3电连接,第十五晶体管T15的第二极与第十一晶体管T11的第二极和第十二晶体管T12的第一极电连接。

[0109] 第十六晶体管T16的栅极与第二节点B电连接,第十六晶体管T16的第一极与第二电源电压信号端S2电连接,第十六晶体管T16的第二极与第十三晶体管T12的第二极和第十四晶体管T14的第一极电连接。

[0110] 在此基础上,在本发明的一些实施例中,在第二电源电压信号端S2提供的第二电源电压信号为高电平信号,第三电源电压信号端S3提供的第三电源电压信号为低电平信号的情况下,第十一晶体管T11、第十二晶体管T12和第十五晶体管T15均为P型晶体管,第十三晶体管T13、第十四晶体管T14和第十六晶体管T16均为N型晶体管。

[0111] 或者,在本发明的另一些实施例中,在第二电源电压信号端S2提供的第二电源电压信号为低电平信号,第三电源电压信号端S3提供的第三电源电压信号为高电平信号的情况下,第十一晶体管T11、第十二晶体管T12和第十五晶体管T15均为N型晶体管,第十三晶体管T13、第十四晶体管T14和第十六晶体管T16均为P型晶体管。

[0112] 或者,在本发明的一些实施例中,在第二电源电压信号端S2提供的第二电源电压信号为高电平信号,第三电源电压信号端S3提供的第三电源电压信号为低电平信号的情况下,第十一晶体管T11、第十二晶体管T12和第十五晶体管T15均为N型晶体管,第十三晶体管T13、第十四晶体管T14和第十六晶体管T16均为P型晶体管。

[0113] 或者,在本发明的一些实施例中,在第二电源电压信号端S2提供的第二电源电压信号为低电平信号,第三电源电压信号端S3提供的第三电源电压信号为高电平信号的情况下,第十一晶体管T11、第十二晶体管T12和第十五晶体管T15均为P型晶体管,第十三晶体管T13、第十四晶体管T14和第十六晶体管T16均为N型晶体管。

[0114] 需要说明的是,除了电位控制子电路204中的各晶体管之外,本发明对像素驱动电路其余的晶体管的类型不作限制。

[0115] 并且,上述的晶体管的第一极可以是漏极、第二极可以是源极;或者,第一极可以是源极、第二极可以是漏极。本发明对此不作限制。当驱动晶体管Td为P型晶体管时,由于P型晶体管的源极电压高于漏极电压,因此,驱动晶体管Td的第一极为源极,第二极为漏极。当驱动晶体管为N型晶体管时,与P型晶体管正好相反。

[0116] 此外,根据晶体管导电方式的不同,可以将上述像素电路中的晶体管分为增强型晶体管和耗尽型晶体管。本发明对此不作限制。

[0117] 在此基础上,结合图6所示的信号时序图,对图5所示的像素驱动电路在不同的阶段的工作情况进行详细的举例说明。其中,图5所示的像素驱动电路中各个子电路中,除了第十三晶体管T13、第十四晶体管T14和第十六晶体管T16均为N型晶体管之外,其余的各晶体管均为P型晶体管。

[0118] 需要说明的是,如图6所示,一个帧周期包括扫描阶段(P1~P5)和工作阶段(P5~P6)。其中,扫描阶段(P1~P5)包括多个行扫描时段,该多个行扫描时段为n行扫描时段,即,n个行扫描时段分别为 $t_{s1} \sim t_{sn}$ ,例如,第一行扫描时段为 $t_{s1}$ ,第n行扫描时段为 $t_{sn}$ ,且n不小于2。图6示出了第一行亚像素在工作阶段对应的使能信号端EM提供的使能信号的时序。

[0119] 需要说明的是,在显示面板包括n行m列亚像素,每个亚像素对应一个像素驱动电路的情况下,在扫描阶段(P1~P5),对第一行至第n行的亚像素进行逐行扫描,依次将第一数据信号和第二数据信号写入每一行亚像素对应的像素驱动电路。并且,在对第一行至第n行的亚像素逐行扫描完毕后,进入工作阶段(P5~P6)。

[0120] 可以理解的是,显示面板的各行亚像素可以逐行依次进行工作阶段,即,第一行亚像素首先进入工作阶段,之后第二行亚像素进入工作阶段,直至第n行的亚像素进入工作阶段,其中,每一行亚像素在工作阶段对应的使能信号的有效时长相同。或者,显示面板的各行亚像素可以同时进入工作阶段。

[0121] 或者,在本发明的另一些实施例中,各像素驱动电路也可以在每一行的亚像素扫描时段结束后直接进入该行的工作阶段,如在第一行扫描完毕后进入第一行工作阶段,在第n行扫描完毕后进入第n行工作阶段。

[0122] 在每个行扫描时段,同一行的m个亚像素所对应的m个像素驱动电路同时被写入不同的或者相同的第一数据信号,也就是说第一数据信号为一组信号;同一行的m个亚像素所对应的m个像素驱动电路同时被写入不同的或者相同的第二数据信号,也就是说第二数据信号为一组信号。同一行的m个亚像素所对应的m个像素驱动电路所写入的第一数据信号和第二数据信号与对应亚像素需要显示的灰阶有关。

[0123] 以下以第一列亚像素所对应的像素驱动电路为例,进行说明。

[0124] 如图6所示,在扫描阶段(P1~P5)中的第一行扫描时段 $t_{s1}$ ,第一行的第一个亚像素对应的像素驱动电路包括如下驱动过程:

[0125] 在信号控制子电路10的第一阶段(P1~P2),由于第一复位信号端Reset1输入低电平信号,因此第六晶体管T6开启,使得来自第一初始信号端Init1的第一初始信号传输至第一节点A,实现对第一节点A的复位。此时,第一节点A的电位为第一初始信号的电位 $V_{init1}$ 。在此情况下,与第一节点A电连接的第一电容C1的第二极、以及驱动晶体管Td的栅极也均被复位,即,对第一驱动子电路101的电压进行复位。

[0126] 可以理解的是,第一初始信号端Init1提供的第一初始信号能够消除上一帧的信号对第一节点A的影响,该第一初始信号可以为低电平信号,也可以为高电平信号;在一些实施例中,当驱动晶体管Td为P型管时,第一初始信号为不小于0的电压信号。

[0127] 此外,由于第一扫描信号端Gate1、第二扫描信号端Gate2和使能信号端EM均输入高电平信号,因此,信号控制子电路10中的第二晶体管T2、第三晶体管T3、第四晶体管T4、第

五晶体管T5、以及时间控制子电路20中的各个晶体管均处于截止状态。

[0128] 因此,在信号控制子电路10的第一阶段(P1~P2),待驱动元件L关闭不发光。

[0129] 在信号控制子电路10的第二阶段(P2~P3),第三晶体管T3在第一扫描信号端Gate1的低电平信号的控制下开启,将来自第一数据信号端Data1的第一数据信号写入驱动晶体管Td的第一极。

[0130] 同时,第二晶体管T2在第一扫描信号端Gate1的低电平信号的控制下开启,将驱动晶体管Td的栅极和第二极相连,使驱动晶体管Td处于自饱和状态,则驱动晶体管Td的栅极的电位为其第一极的电位与其阈值电压V<sub>thd</sub>之和。由于在第三晶体管T3开启时,驱动晶体管Td的第一极与第一数据信号端Data1电连接,因此驱动晶体管Td的第一极的电位为来自第一数据信号端Data1的第一数据信号的电位V<sub>data1</sub>。在此情况下,驱动晶体管Td的栅极的电位为第一数据信号的电位V<sub>data1</sub>与驱动晶体管Td的阈值电压V<sub>thd</sub>之和,即为V<sub>data1</sub>+V<sub>thd</sub>。此时,与驱动晶体管Td的栅极电连接的第一电容C1的第二极的电位也为V<sub>data1</sub>+V<sub>thd</sub>。

[0131] 在此基础上,由于第一电容C1的第一极与第一电源电压信号端S<sub>1</sub>电连接,因此,第一电容C1的第一极的电位为第一电源电压信号的电位V<sub>S1</sub>。此时,相当于对第一电容C1的两个极板充电,第一电容C1的两极存在电位差V<sub>S1</sub>-V<sub>data1</sub>-V<sub>thd</sub>。

[0132] 由于使能信号端EM输入高电平信号,使得第五晶体管T5截止,因此时间控制子电路20中的第一晶体管T1与信号控制子电路10中的驱动晶体管Td未连接,待驱动元件L关闭不发光。

[0133] 此外,由于第一复位信号端Reset1、使能信号端EM、第二扫描信号端Gate1均输入高电平信号,因此信号控制子电路10中的第六晶体管T6和时间控制子电路20中的各晶体管均处于截止状态。

[0134] 综上,在信号控制子电路10的第二阶段(P2~P3),待驱动元件L关闭不工作。

[0135] 在时间控制子电路20的第一阶段(P3~P4),在第二扫描信号端Gate2输入低电平信号的控制下,第七晶体管T7开启,将来自第二数据信号端Data2的第二数据信号写入第四节点N。由于第二电容C2的第二极与第四节点N电连接,因此,第四节点N的电位、第二电容C2的第二极的电位均为第二数据信号的电位V<sub>data2</sub>。

[0136] 同时,在第二扫描信号端Gate2输入低电平信号的控制下,第八晶体管T8开启,将来自第二电压信号端V<sub>2</sub>的第二电压信号传输至第三节点M,此时第三节点M的电位为第二电压信号的电位V<sub>2</sub>。

[0137] 在此基础上,由于第二电容C2的第一极与第三节点M电连接,使得第二电容C2的第一极的电位也为第二电压信号的电位V<sub>2</sub>,且第二电容C1的第二极的电位为第二数据信号的电位V<sub>data2</sub>,因此,相当于对第二电容C2的两个极板充电,第二电容C2的两极存在电位差V<sub>V2</sub>-V<sub>data2</sub>。

[0138] 需要说明的是,第二电压信号端V<sub>2</sub>提供的第二电压信号可以对第三节点M进行复位,以消除上一帧的信号对第三节点M的影响。在此情况下,第二电压信号可以为固定高电平信号,也可以为固定低电平信号。

[0139] 此外,由于使能信号端EM、第一扫描信号端Gate1、以及第一复位信号端Reset1均输入高电平信号,因此,第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六

晶体管T6、第九晶体管T9和第十晶体管T10均处于截止状态。此时，第一晶体管T1与驱动晶体管Td和待驱动元件L的连接均断开，待驱动元件L关闭不工作。

[0140] 综上，在时间控制子电路20的第一阶段(P3~P4)，待驱动元件L关闭不工作。

[0141] 需要说明的是，在不考虑各信号之间可能会存在信号干扰的情况下，本发明也可以在信号控制子电路10进入第二阶段时，时间控制子电路20也进入第一阶段。

[0142] 需要说明的是，第二行至第n行的亚像素对应的像素驱动电路的驱动过程与第一行的亚像素对应的像素驱动电路的驱动过程一致，对于在扫描阶段(P1~P5)的第二行扫描时段至第n行扫描时段的说明均参见对第一行扫描时段的说明。

[0143] 需要说明的是，在整个扫描阶段(P1~P5)，n个行扫描时段中的每个行扫描时段均包括上述的信号控制子电路10的扫描时间段和时间控制子电路20的扫描时间段，这样就实现了对n行亚像素进行扫描，对n行亚像素，实现了将来自第一数据信号端Data1的第一数据信号和来自第二数据信号端Data2的第二数据信号均写入像素驱动电路，并进行了存储，为工作阶段(P5~P6)向待驱动元件L提供驱动信号做准备。

[0144] 示例的，可以在对第一行亚像素进行扫描的时段结束之后，依次对第二行亚像素至第n行亚像素进行扫描。例如，如图6所示，从第一行亚像素的扫描时段的结束时刻(P4)开始，在P4~P5时间段内，对第二行亚像素至第n行亚像素逐行扫描，直至第n行亚像素的扫描时段的结束时刻(P5)。

[0145] 可以理解的是，在对第一行至第n行的亚像素逐行扫描完毕后，显示面板的各行亚像素进入工作阶段(P5~P6)。在此基础上，第一行的第一个亚像素的工作阶段包括如下过程：

[0146] 对于信号控制子电路10，第四晶体管T4在使能信号端EM的低电平信号的控制下开启，将来自第一电源电压信号端S1的第一电源电压信号传输至驱动晶体管Td的第一极，此时，驱动晶体管Td的第一极的电位为第一电源电压信号的电位 $V_{S1}$ ，即，驱动晶体管Td的源极的电位为 $V_{S1}$ 。

[0147] 根据电容的电荷保持定律，第一电容C1的第一极和第二极的电位差保持不变。因此，在第一电容C1的第一极的电位保持为第一电源电压信号的电位 $V_{S1}$ 的情况下，第一电容C1的第二极的电位仍为 $V_{data1}+V_{thd}$ ，此时驱动晶体管Td的栅极的电位为 $V_{data1}+V_{thd}$ 。

[0148] 在此情况下，在驱动晶体管Td的栅源电压差大于或等于其阈值电压 $V_{thd}$ 时，驱动晶体管Td开启，并产生驱动信号，该驱动信号从驱动晶体管Td的第二极输出。由于第五晶体管T5在使能信号端EM的控制下开启，将驱动晶体管Td的第二极与时间控制子电路20中的第一晶体管T1的第一极相连，因此驱动信号经过第五晶体管T5传输至第一晶体管T1的第一极。

[0149] 在此情况下，由于驱动晶体管Td的栅极的电位为 $V_{data1}+V_{thd}$ ，驱动晶体管Td的源极的电位为 $V_{S1}$ ，此时，驱动晶体管Td的栅源电压 $V_{gs}=V_{data1}+V_{thd}-V_{S1}$ 。因此，流过驱动晶体管Td的驱动电流 $I=1/2 \times K \times (V_{gs}-V_{thd})^2=1/2 \times K \times (V_{data1}+V_{thd}-V_{S1}-V_{thd})^2=1/2 \times K \times (V_{data1}-V_{S1})^2$ ，即为驱动晶体管Td向待驱动元件L提供的驱动信号。

[0150] 其中， $K=W/L \times C \times u$ ， $W/L$ 为驱动晶体管Td的宽长比， $C$ 为沟道绝缘层电容， $u$ 为沟道载流子迁移率。

[0151] 由此可知，上述参数只与驱动晶体管Td结构有关，因此，流过驱动晶体管Td的电流

只与第一数据信号端Data1的第一数据信号的电位Vdata1和第一电源电压信号端S1的第一电源电压信号的电位 $V_{S1}$ 有关,与驱动晶体管Td的阈值电压Vthd无关,从而对驱动晶体管Td进行了阈值补偿,改善了驱动晶体管Td的阈值电压Vthd对待驱动元件L发光亮度的影响,提高了待驱动元件L亮度的均一性。

[0152] 在此基础上,当亚像素显示不同灰阶时,由于第一电源电压信号端S1的第一电源电压信号的电位 $V_{S1}$ 相同,且第一电源电压信号为固定电平信号,因此,可以通过控制第一数据信号端Data1提供的第二数据信号的电位Vdata1,来控制驱动晶体管Td向待驱动元件L提供的驱动信号的大小。

[0153] 同时,在时间控制子电路20,使能信号端EM输入低电平信号,第九晶体管T9开启,将来自第一电压信号端V1的第一电压信号传输至第四节点N,使得第四节点N的电位为第一电压信号的电位 $V_1$ 。此时,与第四节点N电连接的第二电容C2的第二极的电位也为第一电压信号的电位 $V_1$ 。

[0154] 其中,在工作阶段第一电压信号端V1提供的第一电压信号的电位 $V_1$ 在设定电压范围内变化。

[0155] 根据电容的电荷保持定律,第二电容C2的第一极和第二极的电位差保持不变。由于在来自第一电压信号端V1的第一电压信号还未传输至第二电容C2的第二极时,第二电容C2的第一极和第二极的电位差为 $V_2 - Vdata2$ ,因此,当第二电容C2的第二极的电位由第二数据信号的电位Vdata2变为第一电压信号的电位 $V_1$ 时,第二电容C2的第一极的电位为 $V_2 - Vdata2 + V_1$ 。

[0156] 在此情况下,与第二电容C2的第一极电连接的第三节点M的电位也变为 $V_2 - Vdata2 + V_1$ 。由于第一电压信号端V1提供的第一电压信号的电位 $V_1$ 在设定电压范围内变化,因此,第三节点M的电位会随着第一电压信号的电位 $V_1$ 变化,且第三节点M的电位与第一电压信号的电位的变化速度相同。

[0157] 如图5所示,在第十一晶体管T11、第十二晶体管T12、第十五晶体管T15均为P型晶体管,第十三晶体管T13、第十四晶体管T14、以及第十六晶体管T16均为N型晶体管的情况下,第二电源电压信号端S2提供的第二电源电压信号为高电平信号,第三电源电压信号端S3提供的第三电源电压信号为低电平信号。

[0158] 在此情况下,如图6所示,当第一电压信号的电位逐渐升高,使得第三节点M的电位( $V_2 - Vdata2 + V_1$ )为低电平时,第十一晶体管T11和第十二晶体管T12开启,第十一晶体管T11将来自第二电源电压信号端S2的第二电源电压信号传输至第十二晶体管T12的第一极,通过第十二晶体管T12的第二极输出至第二节点B,此时第二节点B的电位为第二电源电压信号的电位 $V_{S2}$ 。由于第二电源电压信号端S2提供的第二电源电压信号为高电平信号,因此第十六晶体管T16开启,将第二电源电压信号端S2的第二电源电压信号传输至第十三晶体管T13的第二极和第十四晶体管T14的第一极。此时,第十三晶体管T13的第二极和第十四晶体管T14的第一极的电位均为第二电源电压信号的电位 $V_{S2}$ 。

[0159] 在此情况下,第十四晶体管T14的第二极与第二节点B电连接,使得第十四晶体管T14的第二极的电位为第二电源电压信号的电位 $V_{S2}$ ,即,第十四晶体管T14的第一极和第二极的电位同为第二电源电压信号的电位 $V_{S2}$ ,此时,第十四晶体管T14的压降为零。并且,第十一晶体管T11和第十二晶体管T12的压降也均为零。

[0160] 第十三晶体管T13的第一极的电位为第三电源电压信号端S3提供的第三电源电压信号的电位 $V_{S3}$ ，第十三晶体管T13的第二极的电位为第二电源电压信号的电位 $V_{S2}$ ，使得第十三晶体管T13承担了较大的压降。因此，第三电源电压信号不会通过第十三晶体管T13和第十四晶体管T14传输至第二节点B。

[0161] 在此基础上，在第十一晶体管T11和第十二晶体管T12处于开启状态时，即使第十四晶体管T14和第十三晶体管T13处于不完全关闭或者不完全开启的过渡态，来自第三电源电压信号端S3的第三电源电压信号也不会通过第十三晶体管T13和第十四晶体管T14传输至第二节点B，即，第三电源电压信号不会对第二节点B产生影响，使得第二节点B的电位可以精确地保持在第二电源电压信号的电位上，从而可以将向第一晶体管T1的栅极输出的信号的电位精确控制在第二电源电压信号的电位 $V_{S2}$ 。

[0162] 因此，当第三节点M的电位为低电平时，在电位控制子电路204的作用下，第二节点B的电位为高电平。

[0163] 此时，第一晶体管T1在高电平的第三电源电压信号的控制下处于截止状态，第一晶体管T1与驱动晶体管Td和待驱动元件L的连接均断开，待驱动元件L关闭不工作。

[0164] 在此基础上，当第三节点M的电位随着第一电压信号的电位变化至高电平时，第十三晶体管T13和第十四晶体管T14开启，第十三晶体管T13将来自第三电源电压信号端S3的第三电源电压信号传输至第十四晶体管T14的第一极，通过第十四晶体管T14的第二极输出至第二节点B，此时第二节点B的电位为第三电源电压信号的电位 $V_{S3}$ 。

[0165] 由于第三电源电压信号端S3的第三电源电压信号为低电平信号，因此第十五晶体管T15开启，将第三电源电压信号端S3的第三电源电压信号传输至第十一晶体管T11的第二极和第十二晶体管T12的第一极。此时，第十一晶体管T11的第二极和第十二晶体管T12的第一极的电位均为第三电源电压信号的电位 $V_{S3}$ 。

[0166] 在此情况下，第十二晶体管T12的第二极与第二节点B电连接，使得第十二晶体管T12的第二极的电位为第三电源电压信号的电位 $V_{S3}$ ，即，第十二晶体管T12的第一极和第二极的电位同为第三电源电压信号的电位 $V_{S3}$ ，此时，第十二晶体管T12的压降为零。并且，第十三晶体管T13和第十四晶体管T14的压降也均为零。

[0167] 第十一晶体管T11的第一极的电位为第二电源电压信号端S2提供的第二电源电压信号的电位 $V_{S2}$ ，第十一晶体管T11的第二极的电位为第三电源电压信号的电位 $V_{S3}$ ，使得第十一晶体管T11承担了较大的压降。因此，第二电源电压信号不会通过第十一晶体管T11和第十二晶体管T12传输至第二节点B。

[0168] 在此基础上，在第十三晶体管T13和第十四晶体管T14处于开启状态时，即使第十一晶体管T11和第十二晶体管T12处于不完全关闭或者不完全开启的过渡态，来自第二电源电压信号端S2的第二电源电压信号也不会通过第十一晶体管T11和第十二晶体管T12传输至第二节点B，即，第二电源电压信号不会对第二节点B产生影响，使得第二节点B的电位可以精确地保持在第三电源电压信号的电位上，从而可以将向第一晶体管T1的栅极输出的信号的电位精确控制在第三电源电压信号的电位 $V_{S3}$ 。

[0169] 因此，当第三节点M的电位为高电平时，在电位控制子电路204的作用下，使得第二节点B的电位为低电平。

[0170] 此时，第一晶体管T1在低电平的第三电源电压信号的控制下处于开启状态，第一

晶体管T1与驱动晶体管Td和待驱动元件L的连接,待驱动元件L工作。

[0171] 在此基础上,由于第十晶体管T10在使能信号端EM的控制下开启,使得第一晶体管T1和待驱动元件L的连接,从而将来自信号控制子电路10的驱动信号传输至待驱动元件L,驱动待驱动元件L工作。因此,可以通过控制第一晶体管T1的开启时间,控制驱动信号传输至待驱动元件L的时间,从而控制待驱动元件L的工作时长。

[0172] 并且,在工作阶段的结束时刻,使能信号端EM输入的使能信号由低电平变为高电平时,第四晶体管T4、第五晶体管T5、第九晶体管T9和第十晶体管T10同时截止,从而使得待驱动元件L关闭不工作。因此,对于连接同一根使能信号线,受到相同的使能信号控制的亚像素,各待驱动元件L开启的时刻不同,但关闭的时刻是相同的。

[0173] 相比于如图8所示的像素驱动电路中,第三节点M与第二节点B直接连接,使得第一晶体管T1的栅极的电位与第三节点M的电位( $V_2 - V_{data2} + V_1$ )相等。由于第一电压信号端V1提供的第一电压信号的电位在设定电压范围内变化,使得第一晶体管T1的栅极的电位会在某一时间段内处于非高电平或非低电平的狀態,并且第一晶体管T1的源极电位取决于驱动信号,在一图像帧下该驱动信号不变,因此,当第一晶体管T1的栅极和源极的压差在其阈值电压附近时,第一晶体管T1处于非完全开启或者非完全关闭的过渡状态。在此情况下,当待驱动元件L在较高值的驱动信号下显示灰阶时,处于过渡状态的第一晶体管T1会将较低值的驱动信号传输至待驱动元件,使得待驱动元件L会在较低值的驱动信号下工作,导致该待驱动元件L的工作时长无法准确控制,引起显示灰阶的均一性下降,出现色偏。

[0174] 在此基础上,对图8中的像素驱动电路进行仿真测试。如图9所示,第二节点B的电位为横轴,待驱动元件L中的驱动电流为纵轴,第二节点B(也就是第三节点M)的电压范围约为 $-10V \sim 10V$ ,Q1和Q4分别表示的是第二节点B的电位的最高点和最低点,Q2和Q3分别表示的是第二节点B的电位处于非高和非低的过渡状态。可以看出,第二节点B的电位在随着第一电压信号的电位逐渐变化的过程中,会出现非高电平也非低电平的过渡状态(即从Q2到Q3),该过渡状态的电压范围约为 $4V$ 。在此情况下,待驱动元件L中会有较低值的驱动电流流过,如果第二节点B的电位在电压区间内电压匀速变化,则待驱动元件L大约有 $1/5$ 的时间处于低电流密度状态。因此,由于第二节点B的电位位于非高电平也非低电平的过渡状态,使得第一晶体管T1处于不完全开启或者不完全关闭的状态,导致原本应该关闭的待驱动元件L还会在低电流密度下继续工作,待驱动元件L无法及时关闭或者开启,降低了灰阶的均一性。

[0175] 然而,对图5中的像素驱动电路的进行仿真测试。如图10所示,第二节点B的电位为横轴,待驱动元件L中的驱动电流为纵轴。可以看出,第三节点M的电位在随着第一电压信号端V1提供的第一电压信号的电位匀速变化的过程中,可以将过渡状态的第二节点B的电位的控制在小于 $10^{-6}V$ 的电压范围内,使得第二节点B的电位只会处于高电平状态或者低电平状态,而不会明显的存在图9中第二节点B的非高电平也非低电平的过渡状态。在此情况下,待驱动元件L的全灰阶显示时,可以准确控制第一晶体管T1的开启或者关闭,使得待驱动元件L的驱动电流均保持为来自信号控制子电路10的驱动信号下,从而保证了全灰阶的均匀性及色坐标稳定。

[0176] 并且,对图5中的像素驱动电路的仿真测试,如图11所示,第三节点M的电位为横轴,第二节点B的电位为纵轴,可以看出,当第三节点M的电位从高电平逐渐变化至低电平



时,第二节点B的电位可以从低电平突变至高电平,并且第二节点B的电位只保持低电平状态或者高电平状态,而不会处于非高电平或非低电平的中间态,因此通过电位控制子电路204可以将电位为非高电平或非低电平的中间态的信号转化为电位为高电平或者低电平的信号,从而能够控制第一晶体管T1的处于完全开启或者完全关闭,实现对待驱动元件L的工作时长的准确控制。此时,待驱动元件L从开启到关闭的时间可以控制在纳秒级别,从而避免了因待驱动元件L无法及时关闭或开启导致灰阶均匀性下降的问题。

[0177] 综上所述,通过将第二节点B的电位控制为第二电源电压信号的电位或者第三电源电压信号的电位,即第二节点B的电位仅为高电平或者低电平,不会存在非高电平或非低电平的中间过渡态。在此情况下,第一晶体管T1的栅极的电位也仅为高电平或低电平,从而能够准确控制第一晶体管T1的开启或关闭,实现对待驱动元件L的工作时长的准确控制,在待驱动元件L进行不同灰阶的显示时,通过控制待驱动元件L的驱动信号幅值以及发光时长,实现改变待驱动元件L的发光强度,进而实现对应的灰阶显示,提高显示面板的显示效果。

[0178] 在此基础上,可以通过缩短待驱动元件L的发光时长实现低灰阶显示,可以使驱动信号的幅值维持在较高值范围内,提高待驱动元件L的发光效率,避免使用小电流幅值实现低灰阶显示的情况下待驱动元件L发光效率较低、功耗较高的问题,从而提高显示面板的显示效果。

[0179] 需要说明的是,由于第一晶体管T1的栅极电位为第二电源电压信号或者第三电源电压信号,第一晶体管T1的源极的电位与驱动信号有关,且该驱动信号与第一电源电压信号和一幅图像帧下的第一数据信号和有关,因此,第二电源电压信号和第三电源电压信号的电位需要保证在各图像帧下,第一晶体管T1均可以完全开启或者完全关闭。

[0180] 需要说明的是,在驱动信号相对较小的情况下,高电平的第一电源电压信号可以与高电平的第二电源电压信号相同,低电平的第三电源电压信号可以与低电平第四电源电压信号相同,即,第一电源电压信号端S1与第二电源电压信号端S2为同一信号端,第三电源电压信号端S3与第四电源电压信号端S4为同一信号端。其中,该相对较小的驱动信号仍能够保证待驱动元件L在发光效率稳定且具有较高驱动电流的情况下工作。

[0181] 同样的,在本发明的另一些实施例中,第十一晶体管T11、第十二晶体管T12、第十五晶体管T15均为N型晶体管,第十三晶体管T13、第十四晶体管T14、以及第十六晶体管T16均为P型晶体管,且第二电源电压信号端S2提供的第二电源电压信号为低电平信号,第三电源电压信号端S3提供的第三电源电压信号为高电平信号时,对时间控制子电路20在工作阶段的说明均可以参考上述说明,在此不再赘述。

[0182] 在此情况下,当第三节点M的电位随着第一电压信号的电位变化至可以控制第十一晶体管T11和第十二晶体管T12开启时,第十一晶体管T11将来自第二电源电压信号端S2的第二电源电压信号传输至第十二晶体管T12的第一极,通过第十二晶体管T12的第二极输出至第二节点B,此时第二节点B的电位为第二电源电压信号的电位 $V_{S2}$ 。

[0183] 由于第二电源电压信号端S2提供的第二电源电压信号为低电平信号,因此第十六晶体管T16开启,将第二电源电压信号端S2的第二电源电压信号传输至第十三晶体管T13的第二极和第十四晶体管T14的第一极。此时,第十三晶体管T13的第二极和第十四晶体管T14的第一极的电位均为第二电源电压信号的电位 $V_{S2}$ 。

[0184] 在此情况下,第十四晶体管T14的第二极与第二节点B电连接,使得第十四晶体管T14的第二极的电位为第二电源电压信号的电位 $V_{S2}$ ,即,第十四晶体管T14的第一极和第二极的电位同为第二电源电压信号的电位 $V_{S2}$ ,此时,第十四晶体管T14的压降为零。第十一晶体管T11和第十二晶体管T12的压降也均为零。

[0185] 第十三晶体管T13的第一极的电位为第三电源电压信号端S3提供的第三电源电压信号的电位 $V_{S3}$ ,第十三晶体管T13的第二极的电位为第二电源电压信号的电位 $V_{S2}$ ,使得第十三晶体管T13承担了较大的压降。因此,第三电源电压信号不会通过第十三晶体管T13和第十四晶体管T14传输至第二节点B。

[0186] 在此基础上,在第十一晶体管T11和第十二晶体管T12处于开启状态时,即使第十四晶体管T14和第十三晶体管T13处于不完全关闭或者不完全开启的过渡态,来自第三电源电压信号端S3的第三电源电压信号也不会通过第十三晶体管T13和第十四晶体管T14传输至第二节点B,即,第三电源电压信号不会对第二节点B产生影响,使得第二节点B的电位可以精确地保持在第二电源电压信号的电位上,从而可以将向第一晶体管T1的栅极输出的信号的电位精确控制在第二电源电压信号的电位 $V_{S2}$ 。

[0187] 此时,第一晶体管T1在低电平的第二电源电压信号的控制下处于开启状态。在此基础上,第十晶体管T10在使能信号端EM的控制下开启,使得第一晶体管T1和待驱动元件L的连接,从而将来自信号控制子电路10的驱动信号传输至待驱动元件L,驱动待驱动元件L工作。

[0188] 在此基础上,当第三节点M的电位随着第一电压信号的电位变化至可以控制第十三晶体管T13和第十四晶体管T14开启时,第十三晶体管T13将来自第三电源电压信号端S3的第三电源电压信号传输至第十四晶体管T14的第一极,通过第十四晶体管T14的第二极输出至第二节点B,此时第二节点B的电位为第三电源电压信号的电位 $V_{S3}$ 。

[0189] 由于第三电源电压信号端S3的第三电源电压信号为高电平信号,因此第十五晶体管T15开启,将第三电源电压信号端S3的第三电源电压信号传输至第十一晶体管T11的第二极和第十二晶体管T12的第一极。此时,第十一晶体管T11的第二极和第十二晶体管T12的第一极的电位均为第三电源电压信号的电位 $V_{S3}$ 。

[0190] 在此情况下,第十二晶体管T12的第二极与第二节点B电连接,使得第十二晶体管T12的第二极的电位为第三电源电压信号的电位 $V_{S3}$ ,即,第十二晶体管T12的第一极和第二极的电位同为第三电源电压信号的电位 $V_{S3}$ ,此时,第十二晶体管T12的压降为零。第十三晶体管T13和第十四晶体管T14的压降也均为零。

[0191] 第十一晶体管T11的第一极的电位为第二电源电压信号端S2提供的第二电源电压信号的电位 $V_{S2}$ ,第十一晶体管T11的第二极的电位为第三电源电压信号的电位 $V_{S3}$ ,使得第十一晶体管T11承担了较大的压降。因此,第二电源电压信号不会通过第十一晶体管T11和第十二晶体管T12传输至第二节点B。

[0192] 在此基础上,在第十三晶体管T13和第十四晶体管T14处于开启状态时,即使第十一晶体管T11和第十二晶体管T12处于不完全关闭或者不完全开启的过渡态,来自第二电源电压信号端S2的第二电源电压信号也不会通过第十一晶体管T11和第十二晶体管T12传输至第二节点B,即,第二电源电压信号不会对第二节点B产生影响,使得第二节点B的电位可以精确地保持在第三电源电压信号的电位上,从而可以将向第一晶体管T1的栅极输出的信

号的电位精确控制在第三电源电压信号的电位 $V_{S3}$ 。

[0193] 此时,第一晶体管T1在高电平的第三电源电压信号的控制下处于截止状态,使得待驱动元件L关闭不工作。因此,可以根据第一晶体管T1的开启时间,控制驱动信号传输至待驱动元件L的时间,从而控制待驱动元件L的工作时长。

[0194] 示例的,如图6和图7所示,对于同一个亚像素在显示不同灰阶的过程中,图6中的M(1)表示一图像帧的第三节点M的信号时序,第三节点M的电位为 $V_{M1}$ 随第一电压信号的电位 $V_1$ 按变化量 $\Delta V_{M1}$ 变化,第三节点M的电位为 $V_{M1} = V_1 - \Delta V_{M1}$ ,图7中的M(2)表示另一图像帧的第三节点M的信号时序,第三节点M的电位为 $V_{M2}$ 随着第一电压信号的电位 $V_1$ 按变化量 $\Delta V_{M2}$ 变化,第三节点M的电位为 $V_{M2} = V_1 - \Delta V_{M2}$ 时,第三节点M与第一电压信号的电位 $V_1$ 的电位差为 $\Delta V_{M2} = V_1 - V_{M2}$ 。由于第二数据信号端Data2提供的第二数据信号的电位Vdata2不同,使得 $\Delta V_{M2}$ 的值与 $\Delta V_{M1}$ 的值也不同。在此情况下,当 $\Delta V_{M2}$ 的值大于 $\Delta V_{M1}$ 的值时,在图5中,第三节点M的电位 $V_{M1}$ 变化至使电位控制子电路20向第二节点B传输的低电平的第三电源电压信号的时间,大于第三节点M的电位 $V_{M2}$ 变化至使电位控制子电路20向第二节点B传输的低电平的第三电源电压信号的时间,即,图6所示的一帧图像下的第一晶体管T1相对于图7所示的一帧图像下的第一晶体管T1较早开启,因此,图6所示的一帧图像下的待驱动元件L(1)相对于图7中的待驱动元件L(2)较早开启,使得待驱动元件L(1)的发光时长 $t1$ 相对于待驱动元件L(2)的发光时长 $t2$ 较长。

[0195] 需要说明的是,对于不同的亚像素在同一图像帧下,或者不同的亚像素在不同图像帧下,第三节点M的信号时序和待驱动元件L的发光情况也可以参考图6和图7,在此不再赘述。

[0196] 因此,可以在信号控制子电路10和时间控制子电路20的共同作用下,通过信号控制子电路10控制传输至待驱动元件L的驱动信号的强度大小,通过时间控制子电路20控制待驱动元件L的开启时长,实现亚像素对应的灰阶显示。

[0197] 需要说明的是,对于第二行至第n行的亚像素对应的像素驱动电路在工作阶段(P5~P6)的驱动过程,可参见上面对第一行的亚像素对应的像素驱动电路在工作阶段(P5~P6)的驱动过程的驱动过程的描述。

[0198] 在此基础上,由于流过待驱动元件L的驱动电流 $I = 1/2 \times K \times (V_{data1} - V_{S1})^2$ ,只与来自第一数据信号端Data1的第一数据信号的电位Vdata1有关,因此,可以通过控制在第一行扫描时段至第n行扫描时段对每行亚像素多对应的像素驱动电路所写入的第一数据信号的电位,控制每一行的像素驱动电路所产生的驱动信号的幅值,从而实现控制待驱动元件L的发光强度。

[0199] 综上所述,在一个帧周期内,在扫描阶段(P1~P5)实现了各行亚像素的第一数据信号和第二数据信号的写入,在工作阶段(P5~P6)产生驱动信号,并控制该驱动信号传输至待驱动元件L的时间,这样,通过控制驱动信号的幅值、以及待驱动元件L的时间,实现对待驱动元件L的发光亮度的控制。在此基础上,通过控制待驱动元件L的驱动信号的幅值以及发光时长,改变了待驱动元件L的发光强度,实现了灰阶显示。在显示较高灰阶时,可以通过增大待驱动元件L的驱动信号的强度,提高待驱动元件L的发光强度,在显示较低灰阶时,通过控制待驱动元件L的开启时间,即,通过缩短较大的驱动信号传输至待驱动元件L的时长,实现低灰阶显示,从而可以使驱动信号的幅值维持在较高值范围内,通过控制待驱动元

件L的开启时间,使得亚像素可以显示对应的灰阶,提高待驱动元件L的发光效率,降低了显示面板的功耗。

[0200] 基于此,本发明实施例还提供一种像素驱动电路的驱动方法,如图6所示,一个帧周期包括扫描阶段(P1~P5)和工作阶段(P5~P6),扫描阶段(P1~P5)包括多个行扫描时段(ts1~tsn)。在多个行扫描时段(ts1~tsn)中的每个行扫描时段:

[0201] 信号控制子电路10在来自第一扫描信号端Gate1的第一扫描信号的控制下,至少写入来自第一数据信号端Data1的第一数据信号。

[0202] 时间控制子电路20在来自第二扫描信号端Gate2的第二扫描信号的控制下,写入来自第二数据信号端Data2的第二数据信号和来自第二电压信号端V2的第二电压信号。

[0203] 在工作阶段(P5~P6):

[0204] 信号控制子电路10在来自使能信号端EM的使能信号的控制下,使信号控制子电路10中的驱动晶体管Td根据第一数据信号端Data1提供的第一数据信号和第一电源电压信号端S1提供的第一电源电压信号,向第一晶体管T1输出驱动信号。

[0205] 时间控制子电路20来自使能信号端EM的使能信号的控制下,根据第一电压信号端V1提供的第一电压信号、第二电压信号端V2提供的第二电压信号和第二数据信号端Data2提供的第二数据信号,将来自第二电源电压信号端S2的第二电源电压信号或者来自第三电源电压信号端S3的第三电源电压信号传输至时间控制子电路20中的第一晶体管T1的栅极,以通过控制第一晶体管T1来控制待驱动元件L的工作时长。

[0206] 在此基础上,在本发明的一些实施例中,参考图4,在信号控制子电路10包括第一驱动子电路101、第一数据写入子电路102、以及第一控制子电路103的情况下,在多个行扫描时段中的每个行扫描时段,信号控制子电路10在来自第一扫描信号端Gate1的第一扫描信号的控制下,至少写入来自第一数据信号端Data1的第一数据信号,在工作阶段,信号控制子电路10在来自使能信号端EM的使能信号的控制下,使信号控制子电路10中的驱动晶体管Td根据第一数据信号端Data1提供的第一数据信号和第一电源电压信号端S1提供的第一电源电压信号,向第一晶体管T1输出驱动信号,包括:

[0207] 在多个行扫描时段中的每个行扫描时段:

[0208] 第一数据写入子电路102在来自第一扫描信号端Gate1的第一扫描信号的控制下,将来自第一数据信号端Data1的第一数据信号和驱动晶体管Td的阈值电压写入第一节点A,对驱动晶体管Td进行阈值电压补偿。

[0209] 在工作阶段:

[0210] 第一控制子电路103在来自使能信号端EM的使能信号的控制下,使驱动晶体管Td与第一电源电压信号端S1和第一晶体管T1的第一极电连接,以使驱动晶体管Td根据第一数据信号端Data1提供的第一数据信号和第一电源电压信号端S1提供的第一电源电压信号,向第一晶体管T1提供驱动信号。

[0211] 在此基础上,在本发明的一些实施例中,参考图4,在时间控制子电路20包括第二数据写入子电路202、第二驱动子电路201、第二控制子电路203以及电位控制子电路204的情况下,在多个行扫描时段中的每个行扫描时段,时间控制子电路20在来自第二扫描信号端Gate2的第二扫描信号的控制下,写入来自第二数据信号端Data2的第二数据信号和来自第二电压信号端V2的第二电压信号,在工作阶段,时间控制子电路20来自使能信号端EM的

使能信号的控制下,根据第一电压信号端V1提供的第一电压信号、第二电压信号端V2提供的第二电压信号和第二数据信号端Data2提供的第二数据信号,将来自第二电源电压信号端S2的第二电源电压信号或者来自第三电源电压信号端S3的第三电源电压信号传输至时间控制子电路20中的第一晶体管T1的栅极,以通过控制第一晶体管T1来控制待驱动元件L的工作时长,包括:

[0212] 在多个行扫描时段中的每个行扫描时段:

[0213] 第二数据写入子电路202在来自第二扫描信号端Gate2的第二扫描信号的控制下,将来自第二数据信号端Data2的第二数据信号写入第四节点N,将来自第二电压信号端V2的第二电压信号传输至第三节点M。

[0214] 在工作阶段:

[0215] 第二控制子电路203在来自使能信号端EM的使能信号的控制下,将来自第一电压信号端V1的第一电压信号传输至第四节点N,并将第一晶体管T1与待驱动元件L电连接。

[0216] 电位控制子电路204在来自第三节点M的信号的控制下,将来自第二电源电压信号端S2的第二电源电压信号传输至第二节点B,或者,将来自第三电源电压信号端S3的第三电源电压信号传输至第二节点B。

[0217] 上述的像素驱动电路的驱动方法具有与上述的像素驱动电路相同的有益效果,因此不再赘述。

[0218] 在此基础上,在本发明的一些实施例中,参考图4,在信号控制子电路10还包括第一复位子电路104的情况下,在多个行扫描时段中的每个行扫描时段:

[0219] 在如图6所示的信号控制子电路10的第一阶段(P1~P2),第一复位子电路104在第一复位信号端Reset1的控制下,将来自第一初始信号端Init1的第一初始信号传输至第一节点A,对第一节点A进行复位。

[0220] 如图5所示,在第一复位信号端Reset1的控制下,第一复位子电路104中的第六晶体管T6开启,将来自第一初始信号端Init1的第一初始信号传输至第一节点A,对第一节点A进行复位。此时,第一节点A的电位为第一初始信号的电位Vinit1。在此情况下,与第一节点A电连接的第一电容C1的第二极、以及驱动晶体管Td的栅极也均被复位,即,对第一驱动子电路101的电压进行复位。

[0221] 在此基础上,在每个行扫描时段,通过第一复位子电路104对第一驱动子电路101的电压进行复位,实现了对第一驱动子电路101的降噪,从而避免对后续写入的第一数据信号造成影响。

[0222] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

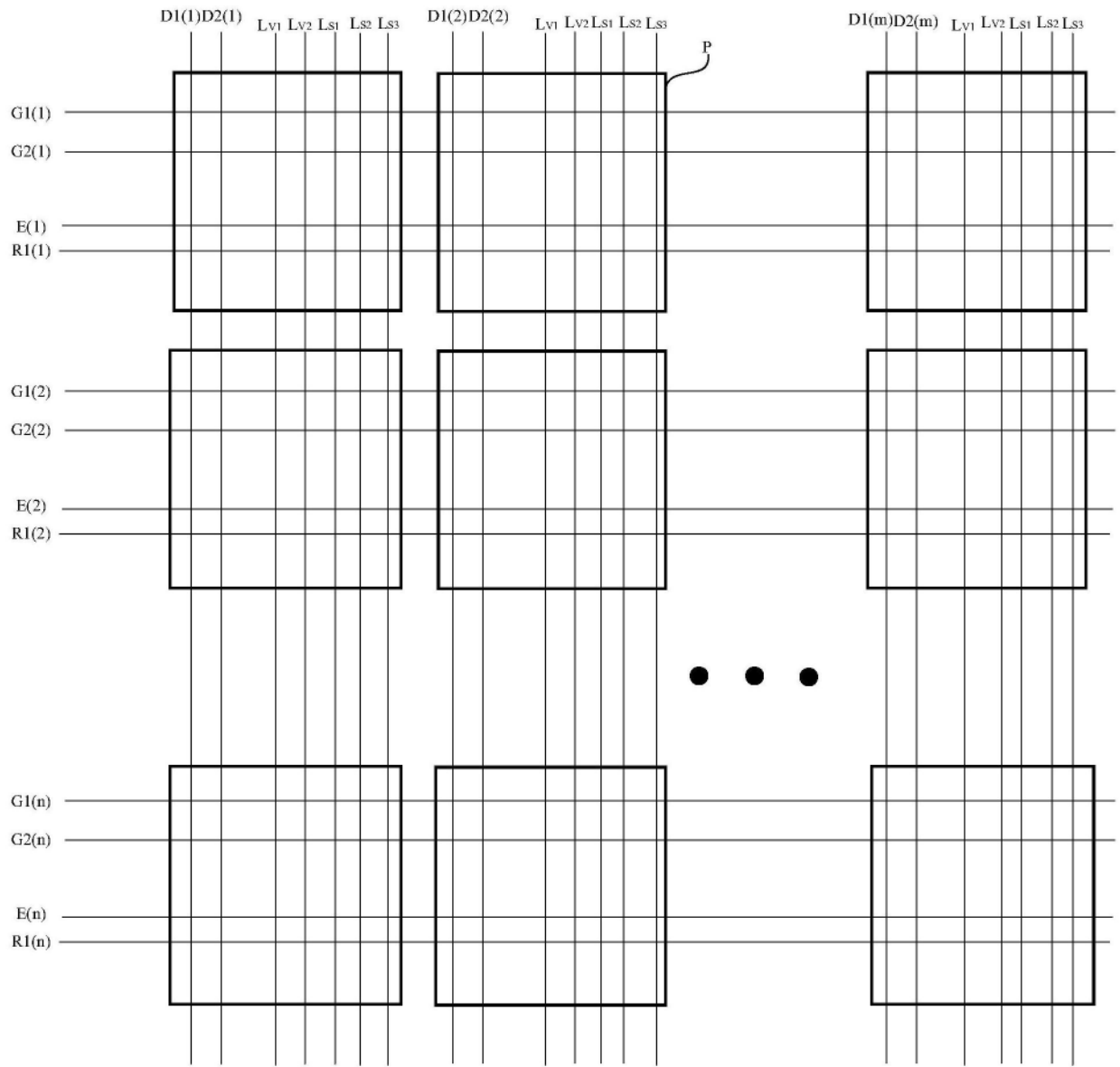


图1

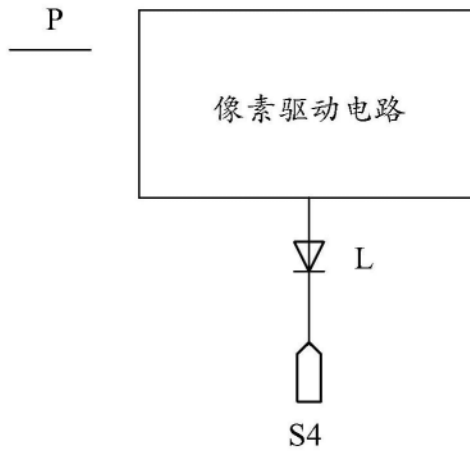


图2

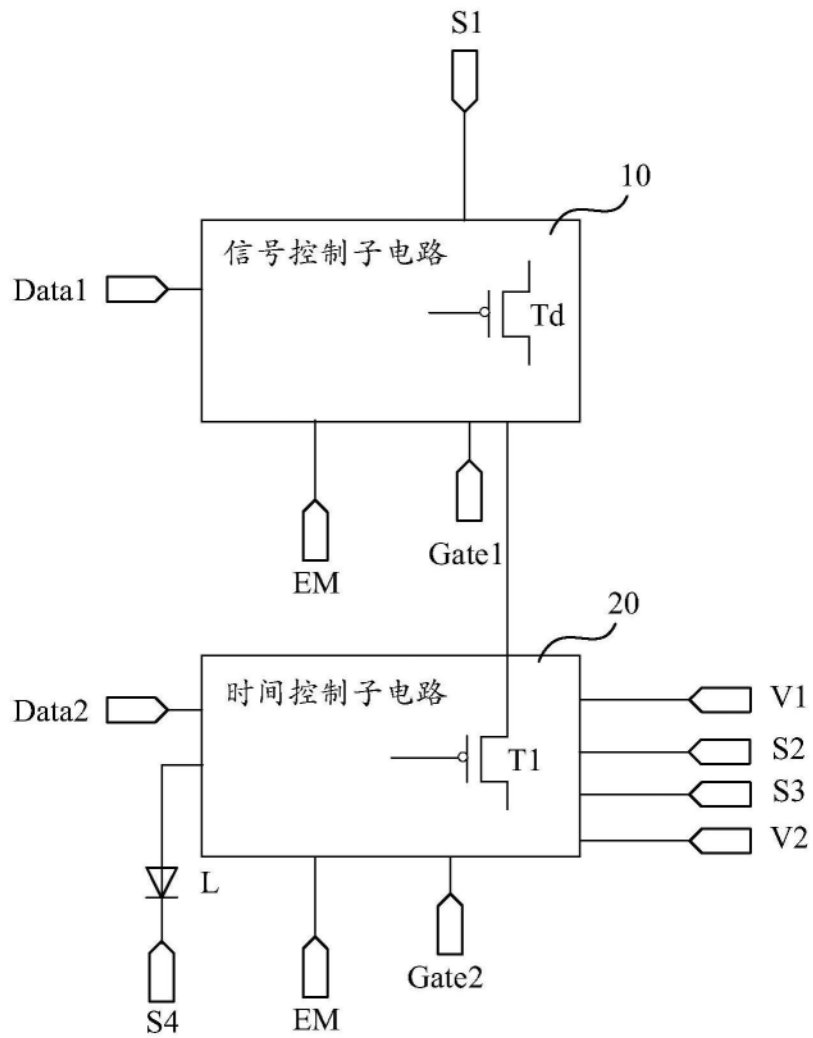


图3

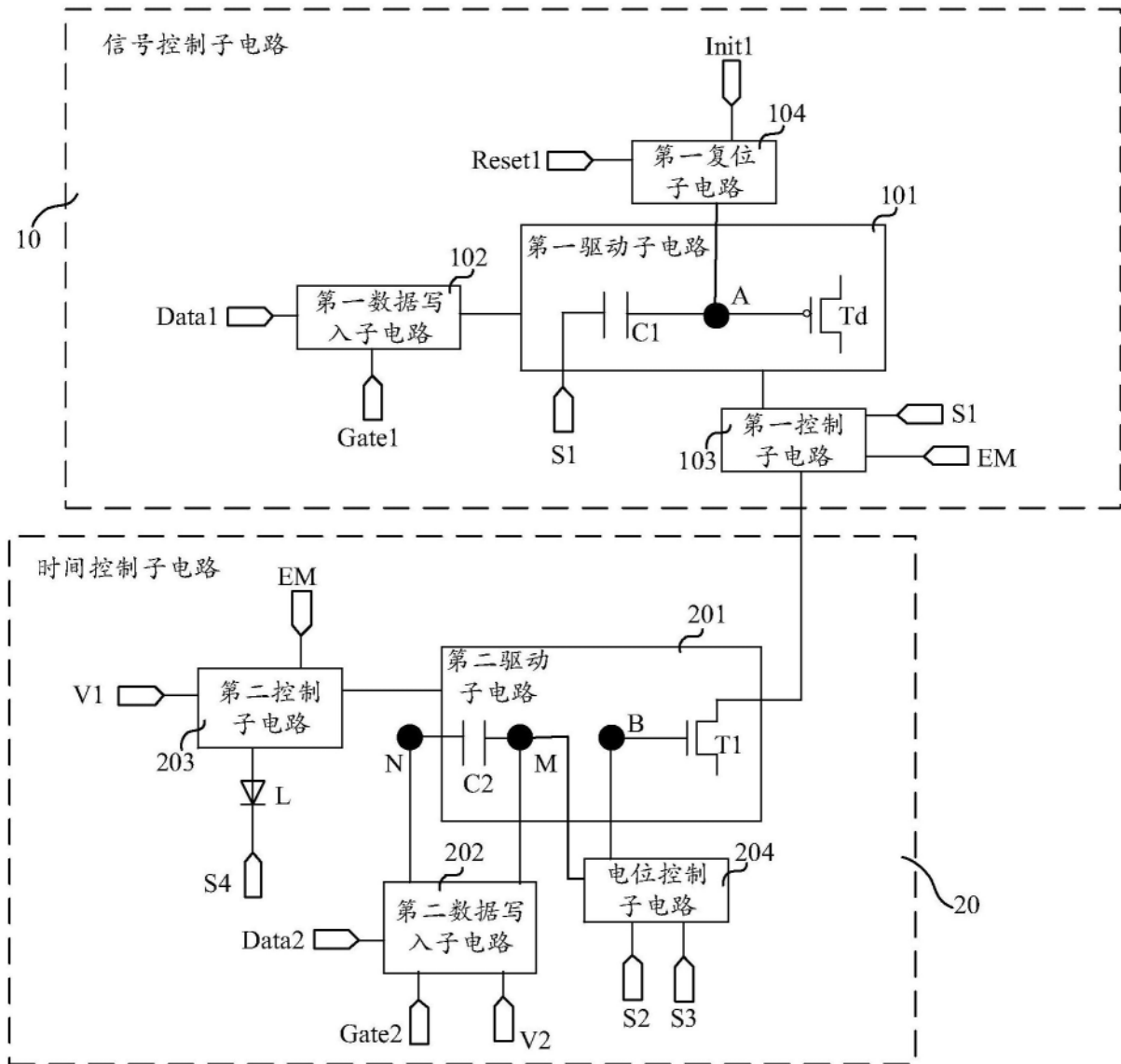


图4



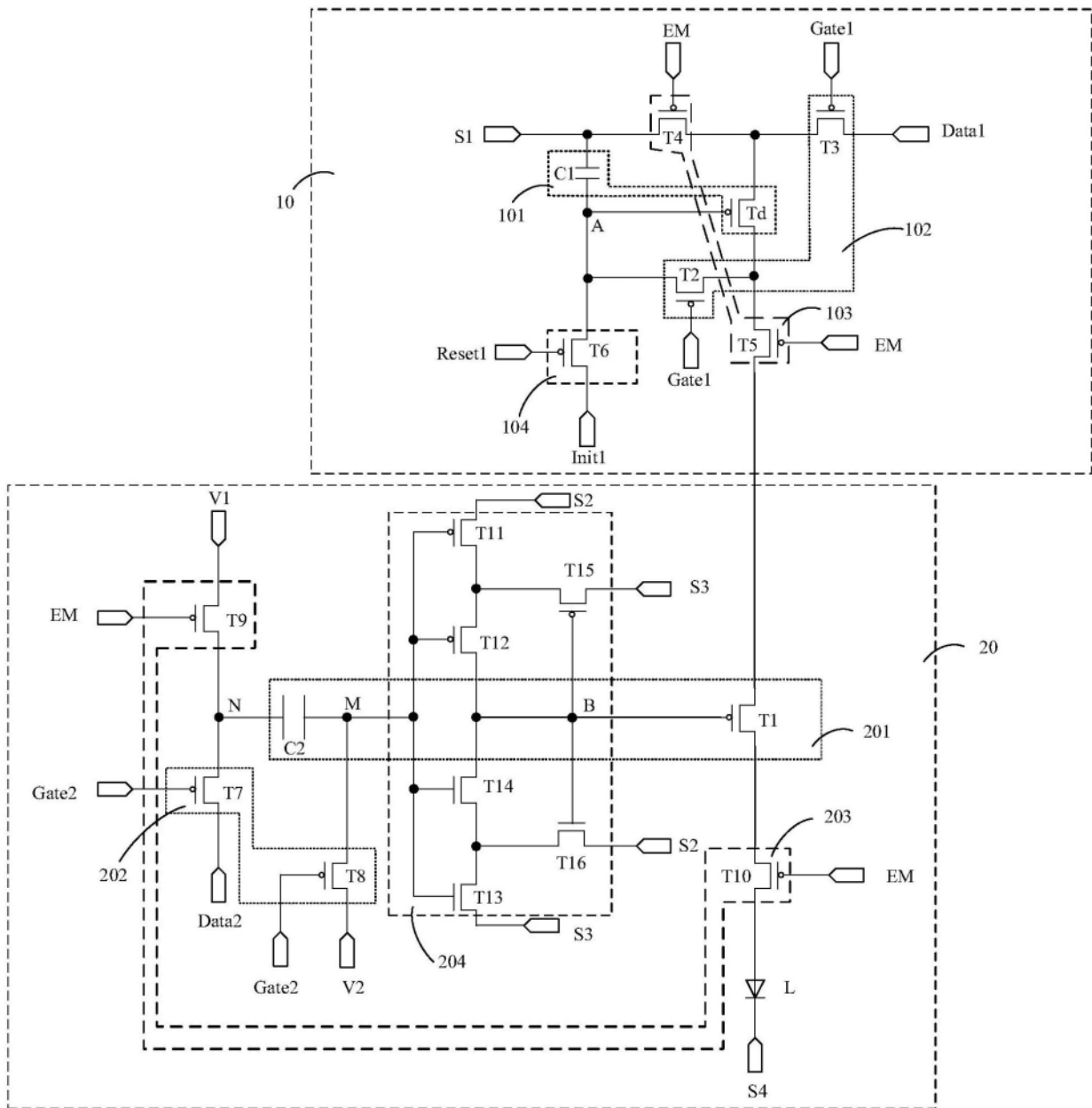


图5

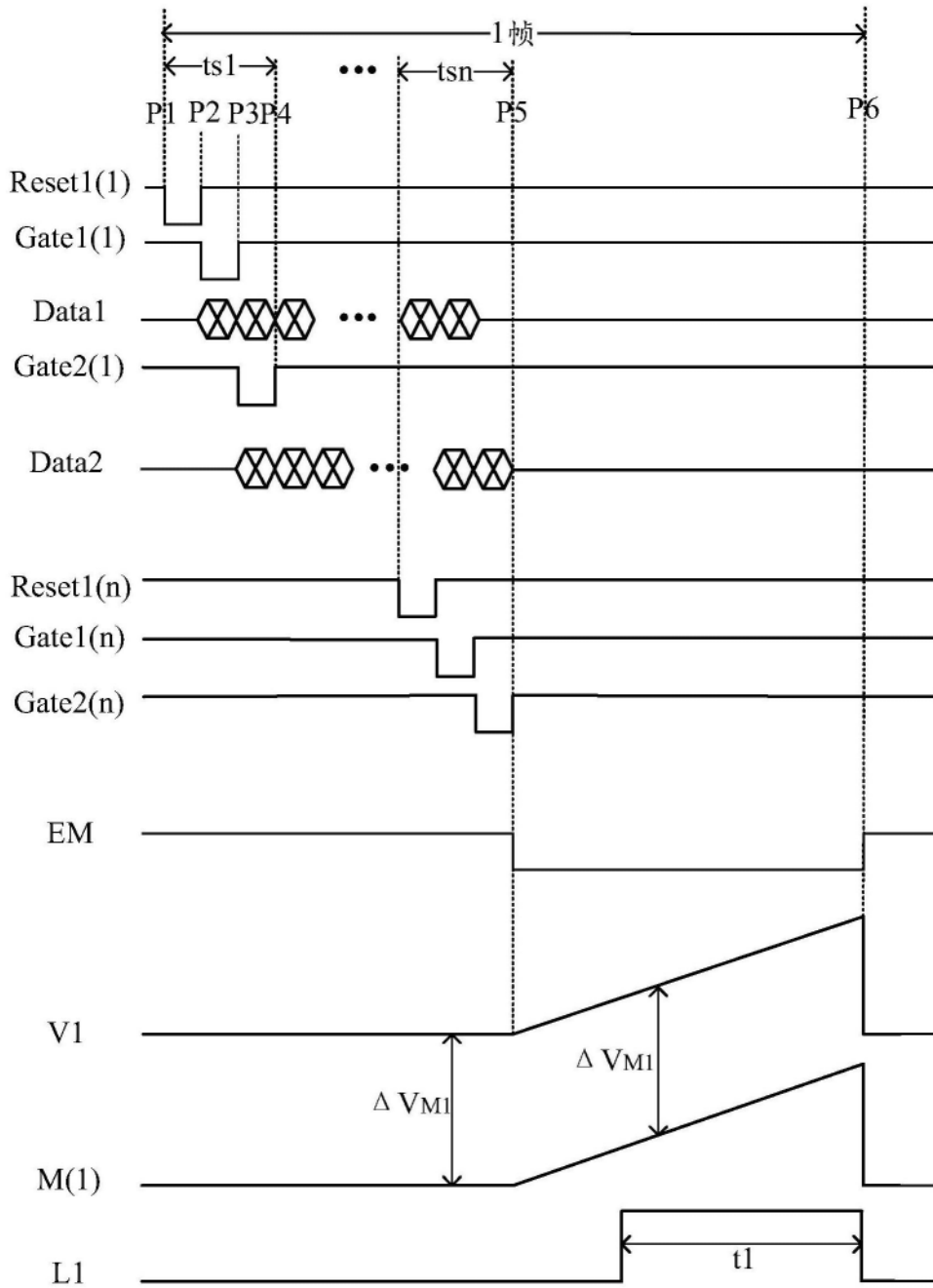


图6

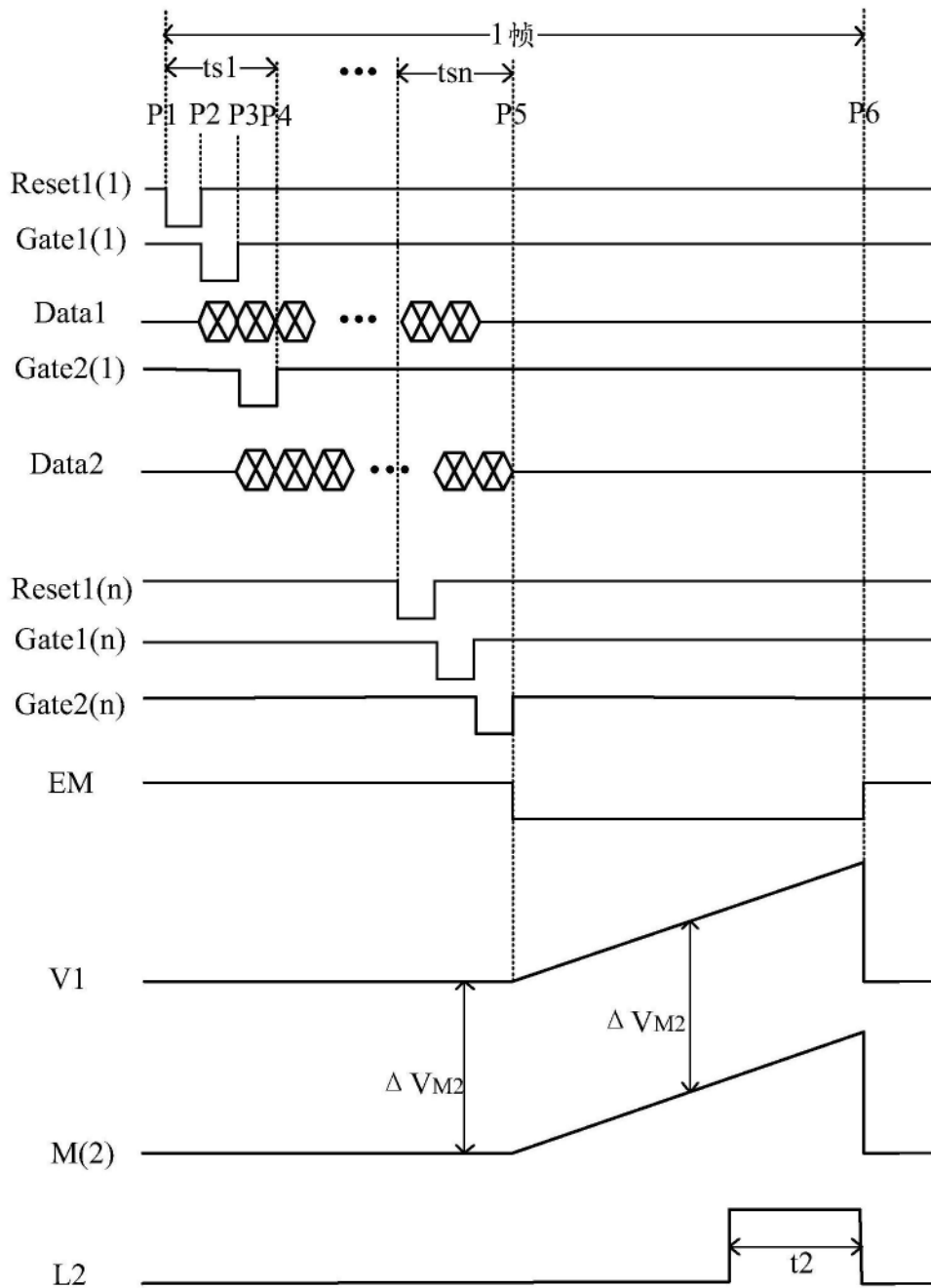


图7

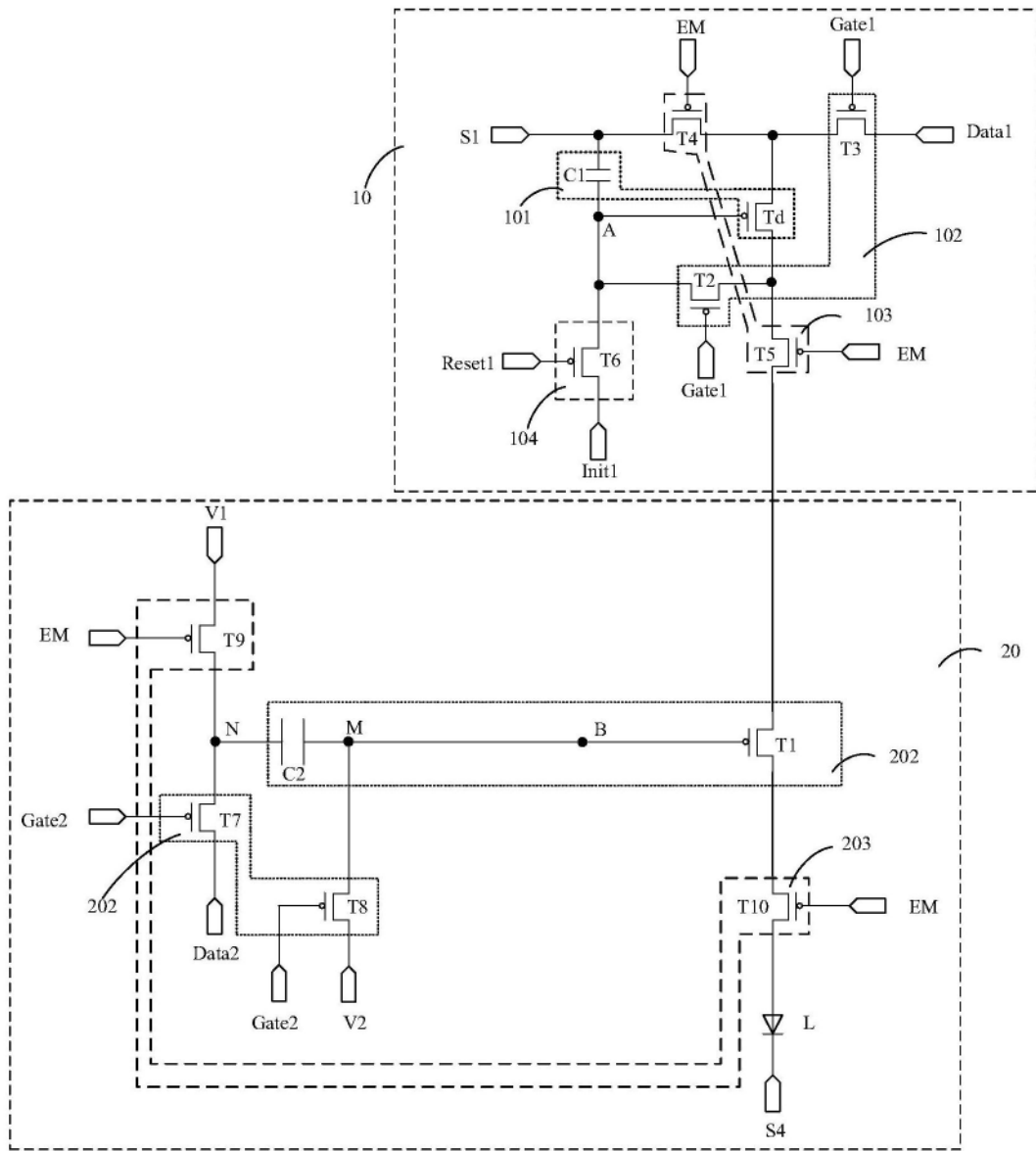


图8

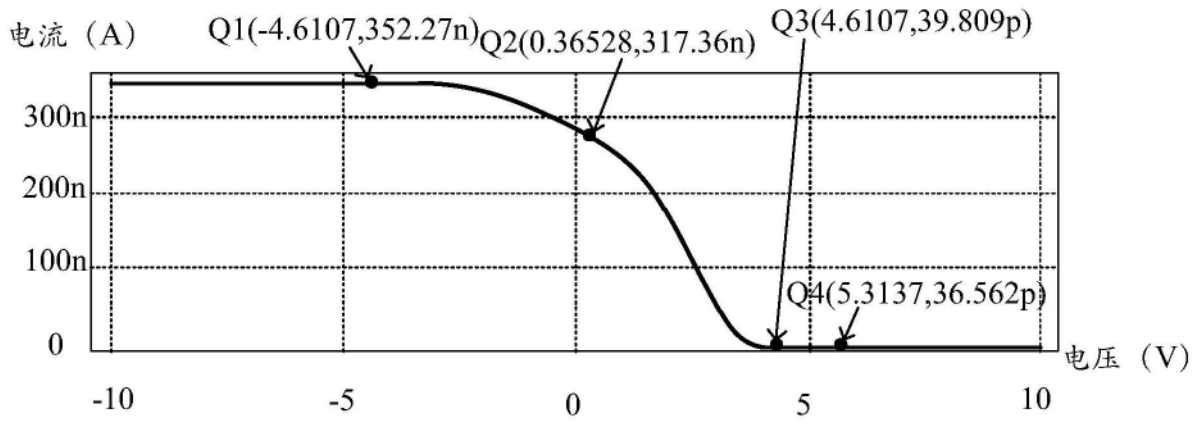


图9

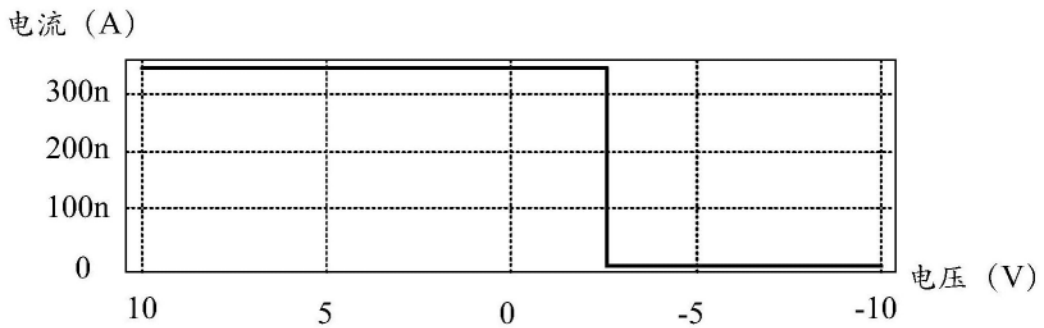


图10

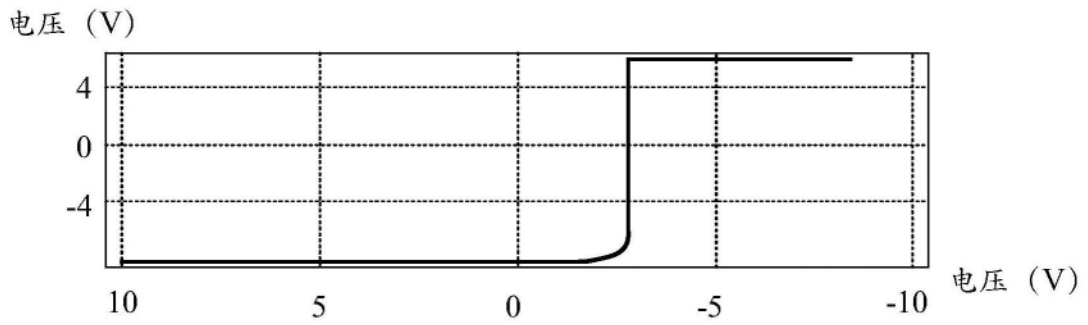


图11